

**ГОСУДАРСТВЕННОЕ ОБРАЗОВАТЕЛЬНОЕ УЧРЕЖДЕНИЕ  
ВЫСШЕГО ПРОФЕССИОНАЛЬНОГО ОБРАЗОВАНИЯ**

**МОСКОВСКИЙ ГОСУДАРСТВЕННЫЙ ТЕХНИЧЕСКИЙ  
УНИВЕРСИТЕТ ИМЕНИ Н.Э. БАУМАНА**

**УТВЕРЖДАЮ**  
**Зав. кафедрой ИУ6**  
**Сюзов В.В.**  
\_\_\_\_\_ **2014 г.**

**МЕТОДИЧЕСКИЕ УКАЗАНИЯ**  
**к лабораторным работам по курсу**  
**«Схемотехника ЭВМ»**  
**Часть 2**

**Автор к.т.н., доцент Жирков В.Ф.**

**Москва – 2014**

## **Работа №5 . Исследование регистров**

Цель работы – изучение принципов построения регистров сдвига, способов преобразования параллельного кода в последовательный и обратно, сборка схем регистров сдвига и их экспериментальное исследование.

В процессе самостоятельной подготовки к работе необходимо ознакомиться с теоретическими сведениями и подготовить по каждому пункту раздела «Задание и порядок выполнения работы» расчетные и теоретические материалы, электрические функциональные схемы исследуемых регистров сдвига. Перед началом работы предъявить преподавателю рабочие материалы для проверки и обсуждения. После выполнения работы каждый студент обязан представить преподавателю аккуратно оформленный отчет.

Продолжительность работы – 4 часа.

### **Теоретические сведения**

*Регистр* - операционный узел ЭВМ, предназначенный для выполнения микроопераций записи, хранения, преобразования и считывания слова (или части слова) данных и простейших поразрядных логических операций.

Регистры осуществляют кратковременное хранение информации в течение одного или нескольких циклов работы устройства.

Регистр представляет набор триггеров, число которых равно или кратно разрядности регистра, и комбинационных схем. Триггер служит для хранения одного разряда двоичного слова, т.е. является одноразрядным регистром. В регистрах применяются синхронные D- и DV-триггеры с динамическим и статическим управлением записью.

Комбинационные схемы обеспечивают запись и считывание информации из регистра, преобразование и сдвиг слова, хранящегося в регистре, вправо или влево на требуемое число разрядов, преобразование последовательного кода слова в параллельный и наоборот.

В регистрах можно выполнять поразрядные логические операции: логическое сложение, логическое умножение, сложение по модулю два, эквивалентность, инверсию.

*Записью* (или вводом, или приемом) называется занесение нового слова данных в регистр. Данные - это числа, команды, управляющие коды и другие упорядоченные последовательности букв двоичного алфавита. Каждая буква представляется двоичным сигналом. Частным случаем записи является операция начальной установки регистра, например, всех разрядов в нуль или в единицу.

Кратковременное хранение информации оказывается необходимым при выполнении арифметических и логических операций над словами данных, а также при согласовании скорости работы различных устройств ЭВМ.

*Считывание* (или вывод) - выдача данных из регистра и передача в другие узлы и устройства.

Основными признаками классификации регистров являются способы ввода и вывода информации из регистра, а также представление вводимой и выводимой информации.

По способу ввода и вывода информации различают следующие типы регистров:

- параллельные (или регистры памяти),
- последовательные,
- параллельно-последовательные,
- последовательно-параллельные,
- универсальные или многофункциональные.

В параллельных регистрах ввод и вывод слов данных выполняется во всех разрядах одновременно. Время ввода (вывода) слова равно времени ввода (вывода) одного разряда и равно длительности такта  $T$ . Основная функция параллельного регистра - хранение слова информации.

В последовательных регистрах все разряды слова вводятся в регистр и выводятся из него последовательно во времени один за другим. Время ввода (вывода)  $n$ -разрядного слова равно  $nT$ , где  $T$  - период следования тактирующих сигналов. Последовательные регистры называются также регистрами сдвига, или сдвигающими (сдвиговыми).

В параллельно-последовательных регистрах ввод слова осуществляется параллельным кодом, а вывод - последовательным кодом.

В последовательно-параллельных регистрах ввод слова

осуществляется последовательным кодом, а вывод - параллельным.

В универсальных регистрах реализуется несколько названных выше способов ввода и вывода информации.

По количеству линий передачи информации различают однофазные и парафазные регистры. В однофазных регистрах каждый разряд слова передается по одной линии в виде прямого значения переменной  $D_i$  или ее инверсии  $\bar{D}_i$ , в парафазных - по двум линиям прямым  $D_i$  и инверсным  $\bar{D}_i$  значениями в каждом разряде.

По используемой системе синхронизации различают одноктактные и многотактные регистры. Одноктактные регистры управляются одной последовательностью синхронизирующих сигналов, многотактные - несколькими.

По направлению передачи (сдвига) данных регистры разделяются на однонаправленные и реверсивные. В однонаправленных регистрах сдвиг данных выполняется или влево, или вправо. Сдвиг данных от старших разрядов к младшим называется правым сдвигом, а от младших к старшим - левым сдвигом.

Параллельный регистр, или регистр памяти, представляет собой набор разрядных схем, не связанных между собой. Параллельные регистры предназначены для ввода, хранения и вывода двоичных слов параллельным кодом.

В интегральной схематехнике параллельные регистры всего выполняются на синхронных D- или DV-триггерах с независимыми информационными входами и объединенными тактовыми входами, а также объединенными входами начальной установки. Параллельные регистры с однофазным входом на синхронных D-триггерах со статическим и динамическим управлением записью показаны на рис. 3, а, б соответственно. Прием слова осуществляется за один такт.

Типичными примерами параллельных регистров с тремя состояниями выхода являются регистры микросхем ИР22 и ИР23, которые имеются как в сериях ИМС ТТЛШ, так и КМОП - логики (например микросхемы ТТЛШ КР1533ИР22, КР1533 ИР23, КМОП-логики КР1554 ИР22, КР1554 ИР23). Регистры ИР22 и ИР23- восьмиразрядные с тремя состояниями выходов. Третье состояние выхода реализуется логическими элементами (ЛЭ) с

тремя состояниями выхода, входы которых в каждом разряде соединены с выходами триггеров регистра. На объединенные входы EZ ЛЭ подается управляющий сигнал EZ (или OE), разрешающий или запрещающий выходы регистра. Регистры ИР22 построены на синхронных D-триггерах со статическим управлением записью, т.е. прием информации в регистр выполняется при  $C=1$ , а фиксация входного кода при  $C=0$ , т.е. регистр является прозрачным при  $C=1$  и  $EN=0$ . Регистры ИР22 построены на D- триггерах с динамическим управлением записью. Прием информации в регистр выполняется перепадом 0/1 сигнала C. Такой регистр является непрозрачным.

Быстродействие регистров памяти оценивается временем задержки распространения сигнала в трактах вход C - выход  $Q_i$ , вход R - выход Q, вход EN - выход  $Q_i$ .

#### Регистры сдвига

Регистры сдвига представляют собой набор разрядных схем, содержащих триггеры, связанные между собой непосредственно или через комбинационные схемы.

Регистры сдвига выполняют сдвиг двоичного слова вправо или влево по регистру в зависимости от управляющих сигналов, преобразование последовательного кода слова в параллельный и параллельного в последовательный. Для этого каждый разряд регистра должен принимать информацию с входной линии или из одного из разрядов, хранить ее и передавать хранящуюся информацию в другие разряды регистра или на выходную линию.

Регистры сдвига с однофазной синхронизацией строятся на синхронных D-триггерах с динамическим управлением записью. Функциональная схема 4-разрядного регистра сдвига вправо приведена на рис. 1.

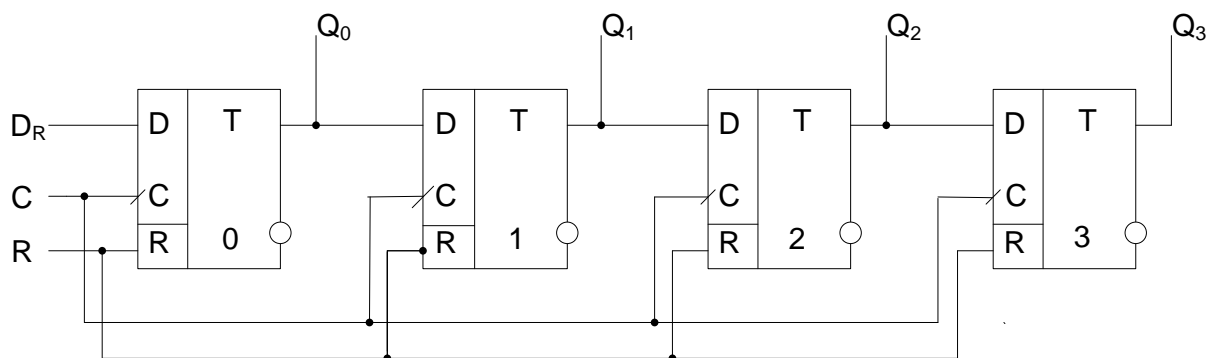


Рис. 1

Входные данные  $D_R$  в последовательном коде поступают на вход  $D$  триггера нулевого разряда регистра сдвига. Для передачи информационных сигналов из одного разряда в другой при сдвиге вправо выход  $Q_i$  триггера  $i$ -го разряда регистра соединен с входом  $D_{i+1}$  триггера  $(i+1)$ -го разряда, т.е.  $D_{i+1} = Q_i$  для всех разрядов от 0 до  $n-2$ . Каждым тактовым сигналом  $C$ , поступающим на входы  $C$  всех триггеров регистра, происходит перезапись (сдвиг) содержимого каждого разряда в соседний разряд. Временная диаграмма (рис. 2) поясняет процесс передачи информации в регистре сдвига. В моменты времени  $t_0$  и  $t_1$  показано, как сдвигаются биты информации из одного разряда в другой.

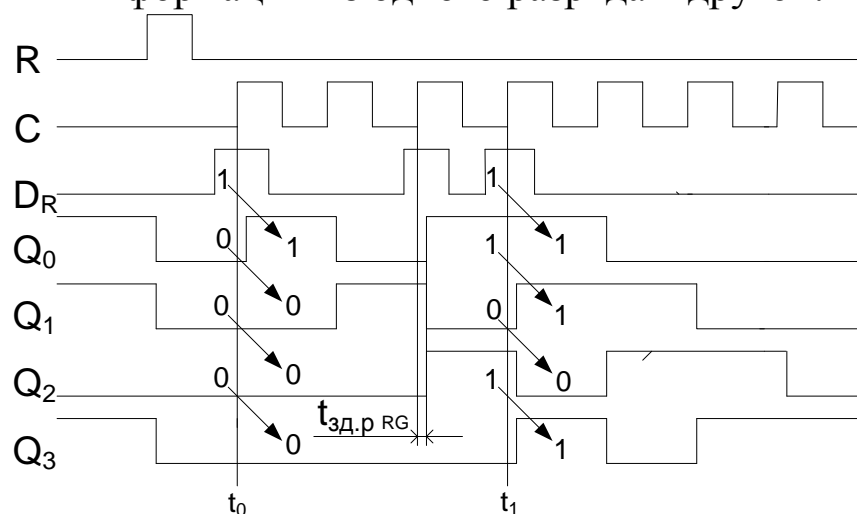


Рис. 2

Время задержки распространения сигнала в регистре сдвига от входа  $C$  до любого выхода  $Q$  равно времени задержки распространения сигнала одного триггера от входа  $C$  до выхода  $Q$ .

В регистре сдвига влево выход  $Q_i$  триггера  $i$ -го разряда регистра соединен с входом  $D_{i-1}$  триггера  $(i-1)$ -го разряда, т.е.  $D_{i-1} = Q_i$  для всех разрядов от 0 до  $n-2$ .

В реверсивных регистрах сдвига выполняется сдвиг информации как вправо (от нулевого разряда к  $(n-1)$ -му), так и влево (от  $(n-1)$ -го к нулевому).

Универсальные регистры сдвига выполняют также и другие микрооперации, например, параллельного ввода данных, хранения и др. Режим работы регистра обычно задается управляющим кодом, поступающим на входы выбора режима. Сигналы выбора режима коммутируют цепи сдвига влево и вправо, параллельного ввода в

соответствии с выполняемой микрооперацией. При этом регистр может иметь последовательный и параллельный ввод и вывод информации.

Синтез универсального регистра, как регулярной структуры, сводится к выбору типа триггера и построению комбинационной схемы, выполняющей передачу и прием информации в триггер данного разряда.

На рис. 3 приведена логическая схема универсального 8-разрядного регистра, состоящего из двух интегральных схем (ИС) 74LS194 (отечественный аналог К555ИР11).

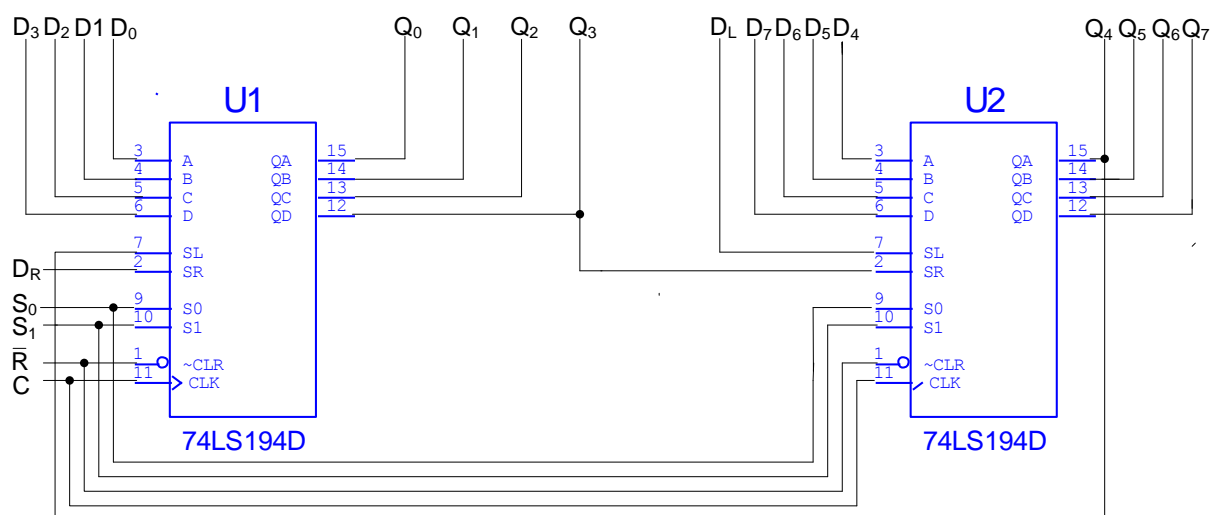


Рис. 3

На схеме  $D_R$  (SR) и  $D_L$  (SL) – входы ввода данных в регистр последовательным кодом при сдвиге вправо и влево соответственно,  $S_1$  и  $S_0$  – управляющие сигналы выбора режима,  $D_0$ - $D_7$  – входные данные для параллельной загрузки регистра,  $Q_0$ - $Q_7$  – выходные данные регистра в параллельном коде. В табл.1 приведено кодирование режимов регистра сдвига управляющим словом  $S_1S_0$ .

Сдвиг и параллельный ввод выполняются синхронно тактовыми сигналами 0/1, поступающими на входы C D-триггеров регистра. В режиме хранения на входы C также поступают синхросигналы.

Таблица 1

S1	S0	Режим
0	0	Хранение
0	1	Сдвиг вправо
1	0	Сдвиг влево
1	1	Параллельный ввод данных ввод

Установка в 0 (очистка или обнуление регистра) может рассматриваться независимо от других микроопераций. Регистр является полностью программно-управляемым. Рис. 3 поясняет соединения ИС регистров при наращивании разрядности универсального регистра.

### **Задание и порядок выполнения работы**

#### 1. Исследование регистра сдвига:

– составить и собрать схему пятиразрядного регистра сдвига на синхронных D-триггерах с динамическим управлением записью, организовав сначала соединения триггеров для сдвига информации вправо;

– соединить прямой выход пятого разряда Q (нумерация слева направо) с входом D триггера первого разряда регистра (циклический режим);

- проверить работу регистров сдвига влево в статическом и динамическом режимах;

- повторить ознакомление с регистром сдвига, соединив инверсный выход  $\overline{Q}$  пятого разряда с входом D триггера первого разряда.

#### 2. Исследование универсального регистра на ИС К555ИР11 (74LS194):

- собрать схему 8-разрядного регистра сдвига (рис. 3);

- провести исследование режимов работы универсального регистра в статическом и динамическом режимах.

Примечание: начальный код, который следует ввести в регистры, задается преподавателем.



3. Определить по временным диаграммам параметры быстроедействия от входа С до выходов регистров и максимальную частоту сигналов сдвига.

4. Составить отчет.

### **Требования к отчету**

Отчет должен содержать электрическую функциональную схему регистров сдвига, временные диаграммы сигналов регистров сдвига с указанием параметров управляющих сигналов, расчетные и экспериментальные данные для оценки быстроедействия регистра.

### **Контрольные вопросы**

1. Что называется регистром? Какие функции выполняют регистры?
2. Как классифицируются регистры по способу ввода-вывода информации?
3. Как работает параллельный регистр с однофазным и парафазным приемом информации?
4. Какие типы триггеров применяются в регистрах сдвига?
5. Как работает регистр сдвига, выполненный на триггерах с двухступенчатым запоминанием информации? Как работает регистр сдвига на триггерах с динамическим управлением записью?
6. Объясните работу универсального регистра сдвига.

Цель работы – изучение принципов построения счетчиков, овладение методом синтеза асинхронных счетчиков, экспериментальная оценка динамических параметров счетчиков.

Во время самостоятельной подготовки к работе необходимо ознакомиться с теоретическими сведениями, изучить методы синтеза асинхронных счетчиков, синтезировать безвентильный счетчик с заданным коэффициентом пересчета, подготовить по каждому пункту раздела «Задание и порядок выполнения работы» расчетные и теоретические материалы, электрические функциональные схемы исследуемых счетчиков. Перед началом работы студент должен предъявить преподавателю рабочие материалы для проверки и обсуждения. После выполнения работы студенты обязаны представить преподавателю оформленный отчет. Экспериментальная часть работы проводится или на персональном компьютере путем математического моделирования, используя прикладные программы Electronics Workbench, Multisim или на физических моделях на базе учебного макета. Вначале проводится сборка схемы счетчиков, затем исследование его временных диаграмм и параметров с помощью логического анализатора (осциллографа).

Продолжительность работы – 4 часа.

### **Теоретические сведения**

*Счетчик* - операционный узел ЭВМ, предназначенный для выполнения счета, кодирования в определенной системе счисления и хранения числа сигналов импульсного типа, поступающих на его счетный вход.

Кроме микроопераций счета, счетчики могут выполнять микрооперации установки произвольного состояния (запись числа параллельным кодом) и установки в нулевое или начальное состояние.

Счетчик состоит из разрядных схем, связанных между собой и содержащих триггеры и комбинационные схемы. Для счета и кодирования счетных сигналов наиболее широко применяется двоичная система счисления, а также двоично-кодированные системы, в которых цифры 0, 1, 2, ... кодируются многоразрядными двоичными кодами, последовательно изменяющимися на единицу,

начиная с начального. В качестве начального кода часто применяется нулевой код 000...0.

Конкретное значение цифрового кода фиксируется в триггерах (разрядах) счетчика и называется *состоянием* счетчика.

Порядок изменения состояния, начиная с нулевого, когда значения кодов состояний отличаются на единицу от кодов предыдущих состояний, называется *естественным*.

Порядок изменения состояний называется *произвольным*, если значения кодов соседних состояний могут отличаться больше, чем на единицу.

Счетчики с произвольным порядком изменения состояний называют также пересчетными схемами.

### **Основные параметры счетчиков**

*Модуль счета*  $M$  - это число разрешенных состояний счетчика, включая начальные или нулевые.

Модуль счета или коэффициент пересчета пересчетной схемы – это число входных сигналов, которое возвращает пересчетную схему в начальное состояние, в качестве которого может быть принято любое ее состояние.

Модуль счета равен  $M=q^n$ , где  $q$  - основание системы счисления,  $n$  - число разрядов счетчика в системе счисления с основанием  $q$ .

Двоичный  $m$ -разрядный счетчик имеет  $2^m$  состояний: 0, 1, 2,...,  $2^m-1$ , а его модуль счета  $M=2^m$ . Одноразрядный двоично-десятичный счетчик имеет модуль счета  $M=10$ .

*Емкость счетчика*  $N$  - максимальное число импульсов, которое может быть зафиксировано в счетчике. Этот параметр определяется числом разрядов и модулем счета:  $N=q^m - 1$ .

Двоичный  $m$ -разрядный счетчик имеет емкость  $N=2^m-1$ . Емкость двоично-десятичного  $m$ -разрядного счетчика равна  $N=10^m-1$ .

*Статические параметры счетчика*  $U_{вх}^0, U_{вх}^1, U_{вых}^0, U_{вых}^1, I_{вх}^0, I_{вх}^1, K_{раз}$  и другие определяются аналогичными параметрами логических и запоминающих элементов, на которых он реализован.

*Динамические параметры.* Динамические свойства счетчиков характеризуются большим числом параметров, из которых отметим следующие:

- максимальная частота счета,

- времена задержек распространения трактов: счетный вход - выход  $Q_i$ , счетный вход - выход переноса (заема), вход параллельной записи - выход  $Q_i$ , вход  $R$  - выход  $Q_i$ .

- минимальные длительности импульсов счета, установки в 0, параллельной записи.

Время задержки распространения  $t_{\text{э.р.сч}}^{0,1}$  ( $t_{\text{э.р.сч}}^{1,0}$ ) сигнала в счетчике – интервал времени между входным и выходными сигналами при переходе напряжения на выходе счетчика от  $U^0$  к  $U^1$  (или от  $U^1$  к  $U^0$ ), измеренный на уровне 0,5 логического перепада входного и выходного сигналов.

Для триггеров счетчика должны быть обеспечены необходимые времена предустановки и выдержки информационных сигналов относительно активного перепада сигнала параллельной записи.

Максимальной частотой счета  $f_{\text{макс}}$  называется частота счетных сигналов, при которой счетчик сохраняет нормальную работоспособность (отсутствуют пропуски счета входных сигналов). Для надежной фиксации состояний триггеров, анализа и передачи выходных сигналов счетчика максимальную частоту уменьшают в 1,5-2 раза и называют ее рабочей частотой  $f_{\text{раб}} = (0,5 \div 0,7) f_{\text{макс}}$

### **Классификация счетчиков по основным признакам**

По значению модуля счета различают двоичные ( $M=2^n$ ,  $n$  – количество двоичных разрядов), двоично-кодированные (например, двоично-десятичные) счетчики, счетчики с одинарным кодированием, когда состояние представлено местом расположения единственной единицы и др.

По направлению счета счетчики делят на суммирующие, вычитающие, реверсивные. Суммирующие счетчики выполняют микрооперацию типа  $СТ := СТ+1$ , вычитающие -  $СТ := СТ-1$ . Реверсивные счетчики выполняют обе микрооперации.

По способу организации межразрядных связей различают счетчики с последовательным, сквозным, параллельным и групповым переносами.

По порядку изменения состояний различают счетчики с естественным порядком счета и с произвольным порядком счета (пересчетные схемы).

По способу управления переключением триггеров во время счета сигналов счетчики разделяют на синхронные и асинхронные.

В асинхронных счетчиках триггер каждого данного разряда переключается входными сигналами счета, или выходными сигналами триггеров других разрядов, или комбинацией этих сигналов. Переключение триггеров происходит последовательно во времени.

В синхронных счетчиках триггеры осуществляют переходы из одного состояния в другое в соответствии со значениями сигналов на информационных входах в момент прихода синхронизирующего (тактового) сигнала. Сигналы счета являются синхронизирующими сигналами.

Таким образом, при изменении состояния синхронного счётчика переключение триггеров всех разрядов происходит одновременно, последовательно во времени, а в асинхронном счётчике этот процесс протекает во всех разрядах последовательно во времени.

По способу организации переноса различают счётчики с последовательным, сквозным параллельным и групповым переносами.

Для построения счётчиков могут быть использованы интегральные триггеры разных типов:  $T$ ,  $D$ ,  $DV$ ,  $JK$  с внутренней задержкой, имеющие двухступенчатую структуру, а также  $D$ ,  $DV$ ,  $JK$  с прямым или инверсным динамическим управлением. В счётчиках, построенных на триггерах с прямым динамическим управлением, изменение состояний происходит от положительного перепада счётного импульса; если применяются триггеры с инверсным динамическим управлением – от отрицательного перепада.

Рассмотрим принципы построения счётчиков разных типов.

### **Асинхронные двоичные счетчики с последовательным переносом**

При построении асинхронных двоичных счетчиков используются счетные триггеры, соединенные между собой цепями переносов. В каждом разряде асинхронного двоичного суммирующего счетчика, представленного на рис. 1,а, в качестве Т-триггеров применены D-триггеры с прямыми динамическими синхронизирующими входами. Благодаря обратной связи с инверсного выхода триггера на вход D, синхронный D-триггер преобразуется в асинхронный Т-триггер с прямым динамическим Т-входом.

При переходе триггера из единичного состояния в нулевое на инверсном выходе формируется сигнал переноса в виде положительного перепада, поступающий по линии связи в следующий старший разряд. Сигнал переноса переключает триггер этого разряда в противоположное состояние. Следует отметить, что при отрицательном перепаде в случае перехода триггера в единичное состояние перенос в следующий разряд отсутствует (рис. 1,б). Поэтому в суммирующем счетчике входные сигналы счета подаются на счетный вход триггера первого разряда счетчика, выход  $\bar{Q}_i$  триггера  $i$ -го разряда соединен с входом  $T_{i+1}$  триггера  $i+1$ -го разряда (это вход  $C_{i+1}$  D-триггера), т.е. триггера соседнего старшего разряда.  $Q_2$ -старший разряд,  $Q_0$ -младший разряд кода состояния счетчика (рис. 1).

Начальная установка нулевого состояния проводится сигналом  $R$ , длительность которого должна быть больше, чем время распространения сигнала переноса. При этом исключается влияние ложных переносов, возникающих при установке нулевого кода. Под действием входных сигналов счетчик последовательно переходит из одного состояния в другое в соответствии с табл. 1.

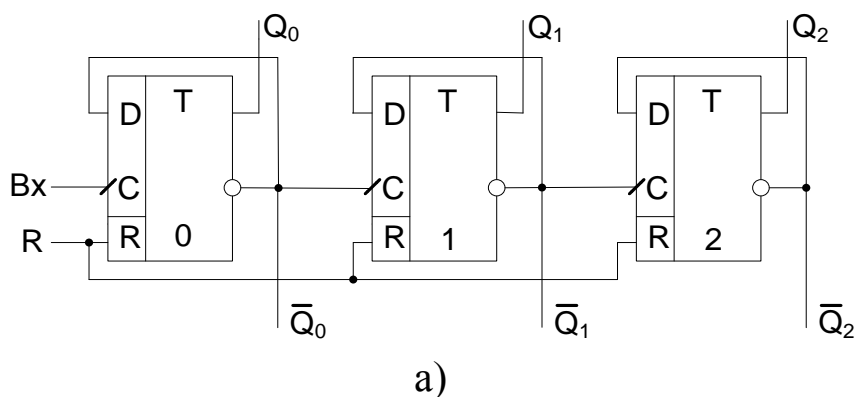
Таблица 1

№ п/п	$Q_2$	$Q_1$	$Q_0$	№ п/п	$Q_2$	$Q_1$	$Q_0$
0	0	0	0	4	1	0	0
1	0	0	1	5	1	0	1
2	0	1	0	6	1	1	0
3	0	1	1	7	1	1	1

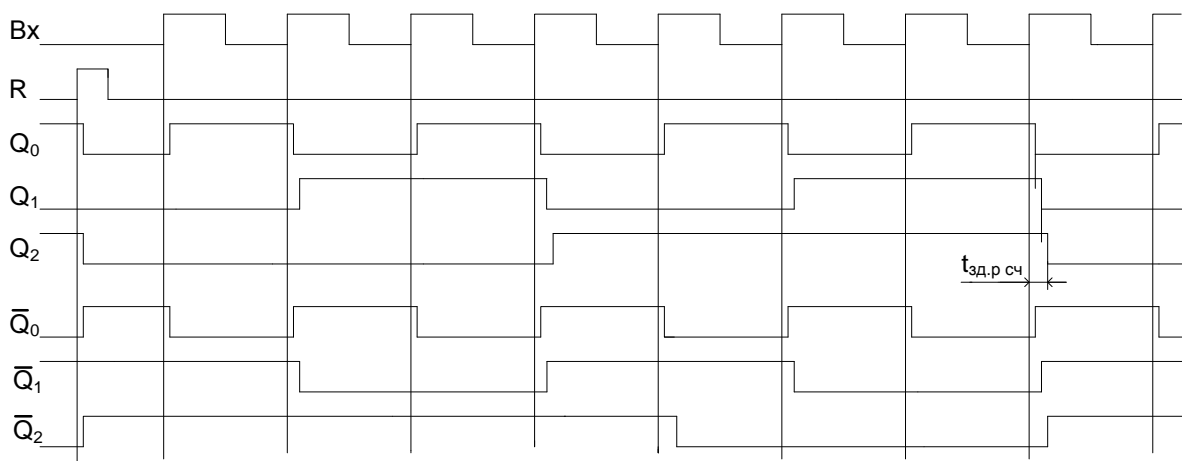
Переход в новое состояние происходит с задержкой, обусловленной задержкой переключения триггеров. В счетчике с последовательным распространением переноса время задержки распространения сигнала определяется соотношением  $t_{зд.р.сч} = nt_{зд.р.тр}$ , где  $n$  – число разрядов счетчика;  $t_{зд.р.тр}$  – время задержки распространения сигнала в триггере от информационного входа до выхода триггера.

В вычитающем счетчике входные сигналы счета подаются на счетный вход триггера первого разряда счетчика, выход  $Q_i$  любого другого триггера соединен с входом  $T_{i+1}$  (это вход  $C_{i+1}$  D-триггера) триггера соседнего старшего разряда. Выходные сигналы состояния

вычитающего счетчика снимаются, как и в схеме суммирующего счетчика, с прямых выходов триггеров (  $Q_2$ -старший разряд,  $Q_0$ -младший разряд кода состояния).



а)



б)

Рис. 1

Переход в новое состояние происходит с задержкой, обусловленной задержкой переключения триггеров. В счетчике с последовательным распространением переноса время задержки распространения сигнала определяется соотношением  $t_{зд.р.сч} = nt_{зд.р.тр}$ , где  $n$  – число разрядов счетчика;  $t_{зд.р.тр}$  - время задержки распространения сигнала в триггере от информационного входа до выхода триггера.

В счетчике, построенном на Т-триггерах с инверсным динамическим входом, сигнал переноса в следующий разряд снимается с прямого выхода триггера. Это вызвано тем, что переключение триггера происходит в тот момент, когда на входе

его появляется отрицательный перепад. Тогда, если триггер предыдущего разряда счётчика переключается в нулевое состояние, на его прямом выходе формируется отрицательный перепад, который обеспечивает перенос в следующий разряд счетчика.

Простой двоичный код обладает свойством дополненности: сумма двоичной цифры и ее инверсии равна  $q-1$ , где  $q$ -основание двоичной системы счисления. Следствием этого свойства является то, что, если на прямых выходах триггеров изменения состояния счетчика соответствуют режиму сложения, то на инверсных выходах эти изменения состояния счетчика будут соответствовать режиму вычитания, и наоборот.

**Асинхронные счетчики с параллельным переносом.** Для повышения быстродействия счетчика необходимо ввести в схему цепи, ускоряющие распространение переноса. В асинхронном счетчике с параллельным переносом (рис.2) сигналы на счетных входах Т-триггеров формируются следующими логическими функциями:

$$T_0 = Vx, T_1 = Vx \cdot Q_0, T_2 = Vx \cdot Q_0 \cdot Q_1, T_3 = Vx \cdot Q_0 \cdot Q_1 \cdot Q_2, \\ T_i = Vx \cdot Q_0 \cdot Q_1 \cdot Q_2 \dots Q_{i-1}.$$

Переносы в разряды счетчика формируются параллельно, т.е. одновременно, логическими элементами И. В четырехразрядном счетчике сигнал  $T_3$  является сигналом переноса CR (carry-перенос) в следующую группу разрядов счетчика.

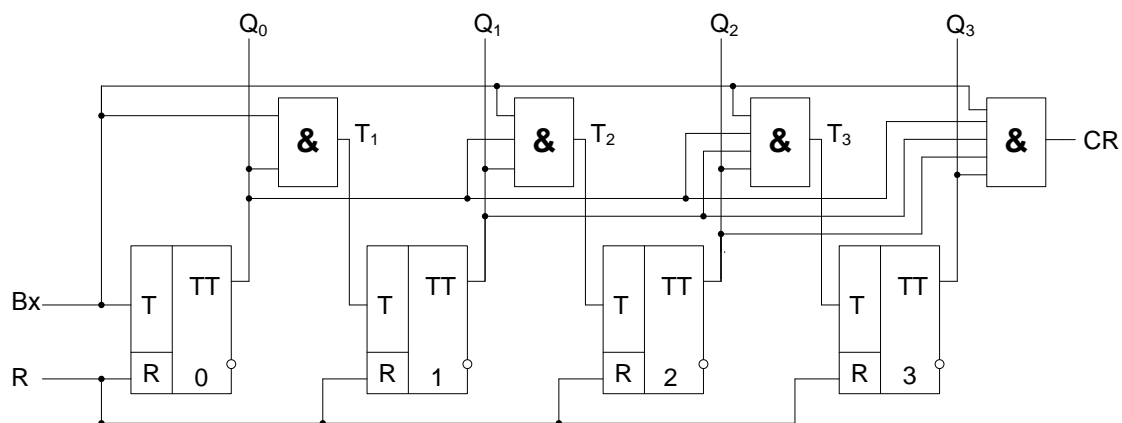


Рис. 2



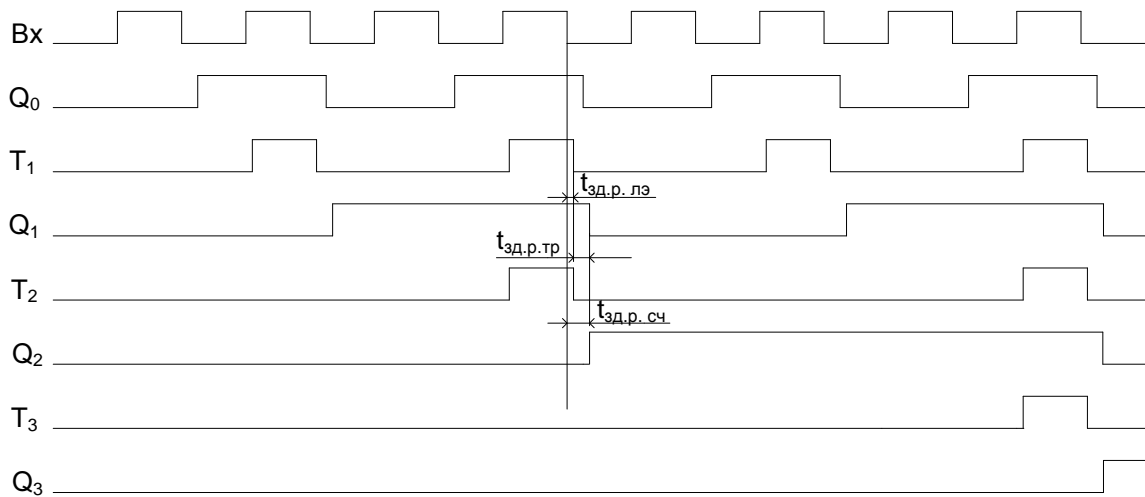


Рис. 3

Временная диаграмма асинхронного двоичного суммирующего счетчика с параллельным переносом (рис. 2) показана на рис. 3. Время задержки распространения сигнала в счетчике от входа счетных сигналов до выходов  $Q_i$  равна сумме времен задержек распространения сигнала в логическом элементе (ЛЭ) И и триггере:

$$t_{\text{зд.р.сч}} = t_{\text{зд.р.тр}} + t_{\text{зд.р.лэ}} .$$

**Безвентильные счетчики.** В практике проектирования часто применяется безвентильный способ построения счётчиков с  $M \neq 2^n$ , не требующий применения дополнительных межразрядных логических элементов. В основе построения таких счётчиков лежит принцип организации счёта по произвольному модулю  $2^n + 1$ , т. е. на счётчиках, позволяющих увеличить модуль счёта на единицу. Для построения безвентильного счётчика требуемый модуль счёта необходимо представить в виде произведения сомножителей (групп), каждый из которых состоит из чисел степени 2 или степени 2 и добавочных единиц.

Например:

$$9 = 2^3 + 1 = (2 + 1)(2 + 1)$$

$$10 = 2^1(2^2 + 1) = 2(4 + 1)$$

$$11 = 2^1(2^2 + 1) + 1$$

$$12 = 2^2(2^1 + 1)$$

$$27 = (2^1 + 1)(2^1 + 1)(2^1 + 1)$$

$$27 = (2^3 + 1)(2 + 1)$$

$$27 = 2^1 [2^2(2^1 + 1) + 1] + 1$$

Увеличение модуля счёта группы двоичного счётчика на 1 осуществляется на дополнительном (“единичном”) JK–триггере.

Единичный JK-триггер должен иметь J-входы, объединенные конъюнктивно, число которых равно числу триггеров предшествующих двоичных разрядов своей группы.

Правила соединения триггеров группы счётчика:

-на K-входы единичного триггера и триггера младшего разряда группы подается сигнал 1,

-С-вход единичного триггера соединяется с С-входом JK-триггера младшего разряда своей группы,

-выходы Q всех двоичных разрядов группы подключаются к J-входам единичного триггера,

-выход  $\bar{Q}$  единичного триггера подключается к J-входу триггера младшего разряда своей группы,

-выходом группы является выход Q единичного триггера. С выхода Q единичного триггера снимается сигнал для запуска следующей группы.

В качестве триггеров группы двоичного счетчика и единичного триггера, можно применить D-триггеры.

Если единичный триггер служит для увеличения на 1 модуля счёта нескольких последовательно включенных групп и отдельно двоичных триггеров, каждый из которых в этом случае условно можно считать отдельной группой, то у единичного триггера число J-входов должно равняться количеству всех предшествующих групп, и к этим входам необходимо подключить выходы Q всех предшествующих групп счётчика. Остальные связи единичного JK-триггера в схеме счётчика должны быть аналогичны ранее описанным.

На рис. 4 приведена схема безвентильного счётчика с модулем  $M=21=2^2 \cdot (2^2 + 1) + 1$ .

Термин «безвентильный» счетчик, используемый в литературе, неточен. Объяснение, что для построения счетчика не требуются логические элементы (вентили), если триггеры имеют необходимое число J-входов, объединенных конъюнктивно, неубедительно, так как в действительности эти вентили размещены в триггере.

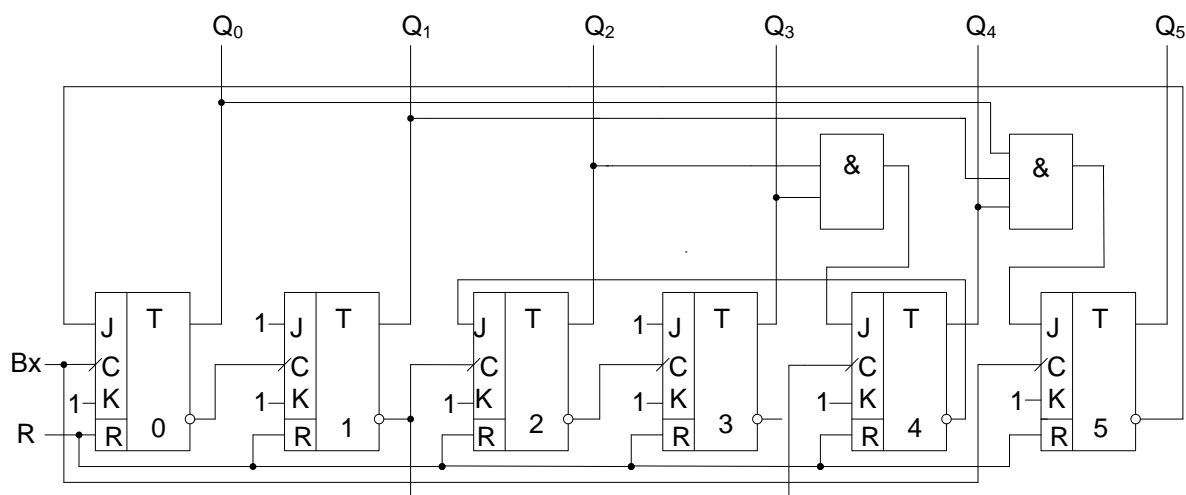


Рис. 4

Достоинством безвентильных счётчиков является простота их синтеза для произвольного модуля.

Недостатки безвентильных счётчиков:

- неестественный порядок счёта (в общем случае);
- низкое быстродействие ввиду последовательного срабатывания разрядов и групп;
- большее по сравнению с другими типами счётчиков количество триггеров.

### Задание и порядок проведения работы

1. Исследование четырёхразрядного асинхронного суммирующего счётчика с последовательным переносом, используя для этого *D*-триггеры с прямым динамическим синхронизирующим входом. Проверить работу счётчика

- от одиночных импульсов, подключив к прямым выходам разрядов световые индикаторы,
- от импульсов генератора.

Просмотреть на экране логического анализатора (осциллографа) временную диаграмму сигналов на входе и выходах счетчика, провести анализ временной диаграммы сигналов счетчика. Измерить время задержки распространения счетчика.

2. Исследование четырехразрядного асинхронного суммирующего счётчика с последовательным переносом на *JK*-триггерах в статическом и динамическом режимах. Проверить его работу и построить временные диаграммы. Провести анализ временной диаграммы сигналов счетчика. Измерить время задержки распространения счетчика.

3. Исследование четырехразрядного асинхронного суммирующего счётчика с параллельным переносом на *JK*-триггерах. Проверить его работу в статическом и динамическом режимах. Провести анализ временной диаграммы сигналов счетчика. Измерить время задержки распространения счетчика.

4. Синтезировать безвентильный счётчик с заданным коэффициентом пересчета (табл. 2).

Таблица 2

№ вари- анта	1	2	3	4	5	6	7	8	9	10
Модуль	5	6	7	9	10	11	12	13	14	15

Проверить работу счётчика

- от одиночных импульсов, подключив к прямым выходам разрядов световые индикаторы,

- от импульсов генератора.

Просмотреть на экране логического анализатора (осциллографа) временную диаграмму сигналов на входе и выходах счетчика, зафиксировать их и измерить их параметры. Измерить время задержки распространения сигнала счетчика.

### Требования к отчету

Отчёт должен содержать электрические функциональные схемы исследуемых счетчиков, временные диаграммы сигналов счетчиков, материалы по синтезу безвентильных двоично-

десятичного счётчика и счетчика с заданным коэффициентом пересчета, результаты измерений.

### **Контрольные вопросы**

1. Что называется счетчиком?
2. Что называется коэффициентом пересчета?
3. Перечислить основные классификационные признаки счетчиков.
4. Указать основные параметры счетчиков.
5. Что такое время задержки распространения сигнала счетчика?
6. Объяснить работу асинхронного счетчика с последовательным переносом, оценить его быстродействие.
7. Объяснить работу асинхронного счетчика с параллельным переносом, оценить его быстродействие.
8. Что такое безвентильный счётчик?
9. На чём основано построение безвентильных счётчиков?
10. Объяснить методику синтеза асинхронных безвентильных счетчиков на *JK*-триггерах, на *D*-триггерах.
11. Проиллюстрируйте правила построения безвентильных счётчиков на конкретных примерах ( $M=3; 5; 9$ ).

## Работа №7. Исследование синхронных счетчиков

Цель работы – изучение принципов построения счетчиков, овладение методом синтеза синхронных счетчиков, экспериментальная оценка динамических параметров счетчиков, изучение способов наращивания разрядности синхронных счетчиков.

Во время самостоятельной подготовки к работе необходимо ознакомиться с теоретическими сведениями, изучить методы синтеза синхронных счетчиков, синтезировать синхронный суммирующий двоично-десятичный счетчик с заданным порядком изменения состояний, подготовить по каждому пункту раздела «Задание и порядок выполнения работы» расчетные и теоретические материалы, электрические функциональные схемы исследуемых счетчиков. Перед началом работы студент должен предъявить преподавателю рабочие материалы для проверки и обсуждения. После выполнения работы студенты обязаны представить преподавателю оформленный отчет.

Экспериментальная часть работы проводится или на персональном компьютере путем математического моделирования, используя прикладные программы Electronics Workbench, Multisim или на физических моделях на базе учебного макета. Вначале проводится сборка схемы счетчиков, затем исследование его временных диаграмм и параметров с помощью логического анализатора (осциллографа).

Продолжительность работы – 4 часа.

### Теоретические сведения

*Счетчик* - операционный узел ЭВМ, предназначенный для выполнения счета, кодирования в определенной системе счисления и хранения числа сигналов импульсного типа, поступающих на его счетный вход.

Кроме микроопераций счета, счетчики могут выполнять микрооперации установки произвольного состояния (запись числа параллельным кодом) и установки в нулевое или начальное состояние.

Счетчик состоит из разрядных схем, связанных между собой и содержащих триггеры и комбинационные схемы. Для счета и

кодирования счетных сигналов наиболее широко применяется двоичная система счисления, а также двоично-кодированные системы, в которых цифры 0, 1, 2, ... кодируются многоразрядными двоичными кодами, последовательно изменяющимися на единицу, начиная с начального. В качестве начального кода часто применяется нулевой код 000...0.

Конкретное значение цифрового кода фиксируется в триггерах (разрядах) счетчика и называется *состоянием* счетчика.

Порядок изменения состояния, начиная с нулевого, когда значения кодов состояний отличаются на единицу от кодов предыдущих состояний, называется *естественным*.

Порядок изменения состояний называется *произвольным*, если значения кодов соседних состояний могут отличаться больше, чем на единицу.

Счетчики с произвольным порядком изменения состояний называют также пересчетными схемами.

### **Основные параметры счетчиков**

*Модуль счета*  $M$  - это число разрешенных состояний счетчика, включая начальные или нулевые.

Модуль счета или коэффициент пересчета пересчетной схемы – это число входных сигналов, которое возвращает пересчетную схему в начальное состояние, в качестве которого может быть принято любое ее состояние.

Модуль счета равен  $M=q^n$ , где  $q$  - основание системы счисления,  $n$  - число разрядов счетчика в системе счисления с основанием  $q$ .

Двоичный  $m$ -разрядный счетчик имеет  $2^m$  состояний: 0, 1, 2, ...,  $2^m-1$ , а его модуль счета  $M=2^m$ . Одноразрядный двоично-десятичный счетчик имеет модуль счета  $M=10$ .

*Емкость счетчика*  $N$  - максимальное число импульсов, которое может быть зафиксировано в счетчике. Этот параметр определяется числом разрядов и модулем счета:  $N=q^m - 1$ .

Двоичный  $m$ -разрядный счетчик имеет емкость  $N=2^m-1$ . Емкость двоично-десятичного  $m$ -разрядного счетчика равна  $N=10^m-1$ .

*Статические параметры счетчика  $U_{вх}^0, U_{вх}^1, U_{вых}^0, U_{вых}^1, I_{вх}^0, I_{вх}^1, K_{раз}$  и другие определяются аналогичными параметрами логических и запоминающих элементов, на которых он реализован.*

Динамические параметры. Динамические свойства счетчиков характеризуются большим числом параметров, из которых отметим следующие:

- максимальная частота счета,
- времена задержек распространения трактов: счетный вход - выход  $Q_i$ , счетный вход - выход переноса (заема), вход параллельной записи - выход  $Q_i$ , вход R - выход  $Q_i$ .
- минимальные длительности импульсов счета, установки в 0, параллельной записи.

Время задержки распространения  $t_{\text{э.р.сч}}^{01} (t_{\text{э.р.сч}}^{10})$  сигнала в счетчике – интервал времени между входным и выходными сигналами при переходе напряжения на выходе счетчика от  $U^0$  к  $U^1$  (или от  $U^1$  к  $U^0$ ), измеренный на уровне 0,5 логического перепада входного и выходного сигналов.

Для триггеров счетчика должны быть обеспечены необходимые времена предустановки и выдержки информационных сигналов относительно активного перепада сигнала параллельной записи.

Максимальной частотой счета  $f_{\text{макс}}$  называется частота счетных сигналов, при которой счетчик сохраняет нормальную работоспособность (отсутствуют пропуски счета входных сигналов). Для надежной фиксации состояний триггеров, анализа и передачи выходных сигналов счетчика максимальную частоту уменьшают в 1,5-2 раза и называют ее рабочей частотой  $f_{\text{раб}} = (0,5 \div 0,7) f_{\text{макс}}$

### **Классификация счетчиков по основным признакам**

По значению модуля счета различают двоичные ( $M=2^n$ , n- количество двоичных разрядов), двоично-кодированные (например, двоично-десятичные) счетчики, счетчики с одинарным кодированием, когда состояние представлено местом расположения единственной единицы и др.

По направлению счета счетчики делят на суммирующие, вычитающие, реверсивные. Суммирующие счетчики выполняют



микрооперацию типа  $CT := CT+1$ , вычитающие -  $CT := CT-1$ . Реверсивные счетчики выполняют обе микрооперации.

По способу организации межразрядных связей различают счетчики с последовательным, сквозным, параллельным и групповым переносами.

По порядку изменения состояний различают счетчики с естественным порядком счета и с произвольным порядком счета (пересчетные схемы).

По способу управления переключением триггеров во время счета сигналов счетчики разделяют на синхронные и асинхронные.

В асинхронных счетчиках триггер каждого данного разряда переключается входными сигналами счета, или выходными сигналами триггеров других разрядов, или комбинацией этих сигналов. Переключение триггеров происходит последовательно во времени.

В синхронных счетчиках триггеры осуществляют переходы из одного состояния в другое в соответствии со значениями сигналов на информационных входах в момент прихода синхронизирующего (тактового) сигнала. Сигналы счета являются синхронизирующими сигналами.

Таким образом, при изменении состояния синхронного счётчика переключение триггеров всех разрядов происходит одновременно, последовательно во времени, а в асинхронном счётчике этот процесс протекает во всех разрядах последовательно во времени.

По способу организации переноса различают счётчики с последовательным, сквозным параллельным и групповым переносами.

Для построения счётчиков могут быть использованы интегральные триггеры разных типов:  $T$ ,  $D$ ,  $DV$ ,  $JK$  с внутренней задержкой, имеющие двухступенчатую структуру, а также  $D$ ,  $DV$ ,  $JK$  с прямым или инверсным динамическим управлением. В счётчиках, построенных на триггерах с прямым динамическим управлением, изменение состояний происходит от положительного перепада счётного импульса; если применяются триггеры с инверсным динамическим управлением – от отрицательного перепада.

Синхронные счетчики строятся на синхронных триггерах, все тактовые (синхронизирующие) входы которых объединены. Счетные сигналы (импульсы) подают на объединенные синхронизирующие входы всех триггеров счетчика. Поэтому триггеры, которые должны изменять свои состояния при поступлении очередного счетного импульса, переключаются одновременно. Следовательно, время задержки распространения сигнала от счетного входа счетчика до выходов его триггеров, на которых формируется новое состояние счетчика, равно времени задержки распространения сигнала любого триггера счетчика от С-входа до его выхода:

$$t_{зд.р.сч.} = t_{зд.р.тр.}$$

При этом полагаем, что время задержки распространения сигнала от С-входа до выхода у всех триггеров счетчика одинаковое.

Максимальная частота счета достигается при параллельном, т.е. одновременном, образовании сигналов переноса во всех разрядах счетчика. Сигналы переноса формируются в каждом разряде логическими схемами независимо друг от друга. В качестве триггеров используются синхронные триггеры с динамическим управлением записью JK-, D- и режее T-типа.

В синхронном двоичном суммирующем счетчике с параллельным переносом, построенном на JK-триггерах, функции возбуждения (они же функции переносов) формируются независимо друг от друга одновременно, т.е. параллельно:

$$J_0=K_0=1, J_1=K_1=Q_0, J_2=K_2=Q_0Q_1, \\ J_3=K_3=Q_0Q_1Q_2, \dots, J_i=K_i=Q_0Q_1Q_2 \dots Q_{i-1}.$$

Поскольку функции возбуждения  $J_i=K_i$ ,  $i=0,1,2,\dots,n$ , n-число разрядов счетчика, то JK-триггеры работают в счетном режиме, т.е. являются синхронными T-триггерами.

Функциональная схема 4-разрядного синхронного двоичного суммирующего счетчика с параллельным переносом, построенном на синхронных T-триггерах, и его временная диаграмма приведены на рис. 1 и 2 соответственно.

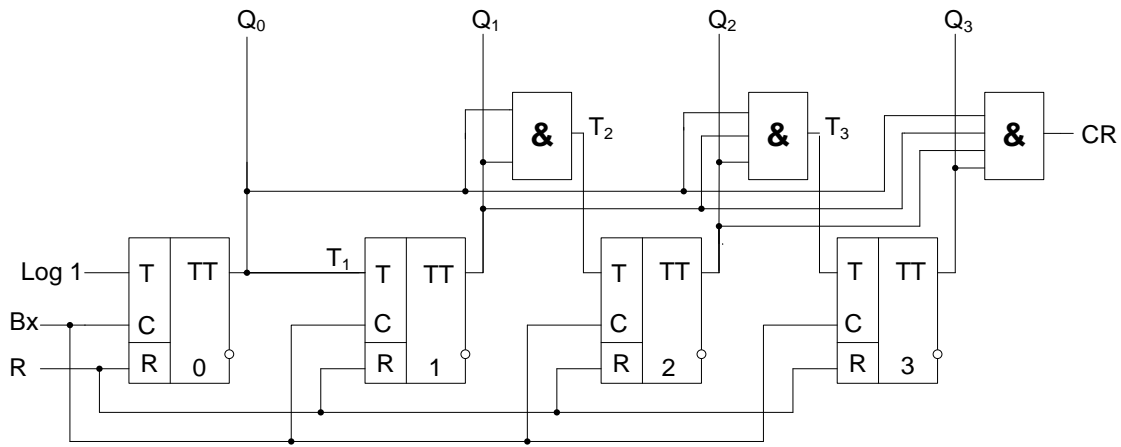


Рис.1

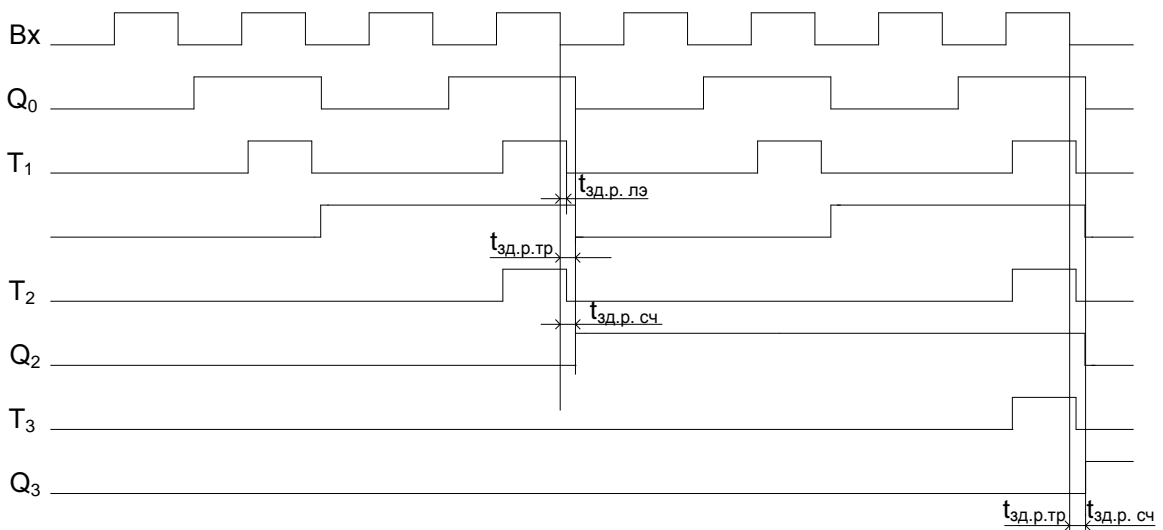


Рис. 2

В цифровых устройствах применяются не только двоичные счетчики, но и счетчики, имеющие модуль счета  $M \neq 2^n$  (недвоичные счетчики). К ним относятся двоично-десятичные счетчики с модулем счета  $M=10$ .

Методика синтеза синхронных счетчиков позволяет найти функции возбуждения счетчиков с произвольным модулем счета и с произвольным порядком изменения состояний, построенных на синхронных триггерах различных типов: JK, D, T.

Основные исходные данные для синтеза счетчика:

- модуль счета  $M$ ,
- порядок изменения состояний,
- максимальное значение состояния  $L$ ,

- тип триггера,
- базовый логический элемент или серия ИМС.

Синтез синхронного счетчика как цифрового автомата содержит следующие этапы:

1. Определение числа триггеров счетчика, исходя из модуля счета  $M$  и максимального состояния  $L$  счетчика:

$$n_1 = \lceil \log_2 M \rceil, \quad n_2 = \lceil \log_2 L \rceil,$$

где символ  $\lceil \dots \rceil$  означает округление до ближайшего большего целого числа.

Число триггеров счетчика равно  $n = \max\{n_1, n_2\}$ .

Если порядок изменения состояний естественный, то  $n_1 = n_2$ .

## 2. Составление обобщенной таблицы переходов счетчика и функций возбуждения триггеров

Таблица содержит двоичные коды предыдущих и последующих состояний счетчика, определяемых через состояние триггеров в моменты времени  $t$  и  $t+1$  до и после прихода очередного входного сигнала соответственно. Так как триггер может иметь два устойчивых состояния (0 и 1), то возможны четыре типа переходов из текущего состояния  $Q_i^t$  в последующее состояние  $Q_i^{t+1}$ : 0-0, 0-1, 1-0, 1-1. Пользуясь матрицей переходов триггера, определяют и заносят в обобщенную таблицу значения сигналов  $J_i$ ,  $K_i$  для JK-триггеров или  $D_i$  для D-триггеров, обеспечивающие соответствующие переходы счетчика.

Зависимость информационного сигнала  $J_i(t)$ ,  $K_i(t)$  или  $D_i(t)$  триггера от значений состояний всех триггеров счетчика в момент времени  $t$  и от значений входного сигнала счетчика в момент времени  $t$  называют функцией возбуждения триггера. Так как при переключении счетчика его входной сигнал является активным, т.е. равен 1, то его значение и записи функции возбуждения можно опустить.

Таким образом в обобщенной таблице определены функции возбуждения триггеров счетчика:

$$J_i(t) = f_i(Q_{n-1}^t, Q_{n-2}^t, \dots, Q_0^t), \quad K_i(t) = \varphi_i(Q_{n-1}^t, Q_{n-2}^t, \dots, Q_0^t) \text{ для JK-триггеров}$$

$$\text{и } D_i(t) = \psi_i(Q_{n-1}^t, Q_{n-2}^t, \dots, Q_0^t) \text{ для D-триггеров,}$$

$$i = 0, 1, 2, \dots, n-1.$$

3. Минимизация функции возбуждения триггеров счетчика.

4. Перевод минимизированных функций возбуждения в заданный базис логических функций.

5. Построение функциональной схемы счетчика.

6. Проверка полученной схемы счетчика на самовосстановление после сбоев.

Счетчик с модулем  $M$  имеет  $2^n - M$  лишних состояний, которые исключаются в процессе счета тем или иным образом. Таким образом лишние состояния не используются. Однако эти состояния счетчик может принимать в результате сбоев или при подаче на схему напряжения питания. Если лишние состояния существуют временно и по истечении нескольких тактов работы счетчика исчезают без специального внешнего воздействия, то такая схема является самовосстанавливающейся после сбоев. Не все синтезированные схемы счетчиков обладают этим свойством.

Проверка на самовосстановление заключается в том, что для каждого лишнего (т. е. не используемого) состояния счетчика определяются последующие переходы. Если после нескольких тактов счетчик переходит в одно из рабочих состояний, то он является самовосстанавливающимся после сбоев, в противном случае не самовосстанавливающимся. Без внешнего воздействия не самовосстанавливающийся счетчик не может перейти к рабочему состоянию. Для обеспечения самовосстановления после сбоя в счетчик вводят дополнительные специальные логические элементы.

Пример 1. Синтезировать синхронный суммирующий счетчик с модулем счета  $M=10$  с естественным порядком изменения состояний на JK- и D-триггерах.

1. Определяем количество триггеров  $n_1 = \lceil \log_2 10 \rceil = 4$ .

2. Составляем обобщенную таблицу функционирования счетчика (табл. 1), пользуясь матрицами переходов (они называются также характеристическими таблицами) для JK- и D-триггеров (табл.2).

Таблица 1

№ п.п.	Время t.				Время t+1.				Время t Счетчик на JK-триггерах.							
	Функции возбуждения JK-триггеров															
	$Q_3$	$Q_2$	$Q_1$	$Q_0$	$Q_3^*$	$Q_2^*$	$Q_1^*$	$Q_0^*$	$J_3$	$K_3$	$J_2$	$K_2$	$J_1$	$K_1$	$J_0$	$K_0$
0	0	0	0	0	0	0	0	1	0	$\alpha$	0	$\alpha$	0	$\alpha$	1	$\alpha$
1	0	0	0	1	0	0	1	0	0	$\alpha$	0	$\alpha$	1	$\alpha$	$\alpha$	1
2	0	0	1	0	0	0	1	1	0	$\alpha$	0	$\alpha$	$\alpha$	0	1	$\alpha$
3	0	0	1	1	0	1	0	0	0	$\alpha$	1	$\alpha$	$\alpha$	1	$\alpha$	1
4	0	1	0	0	0	1	0	1	0	$\alpha$	$\alpha$	0	0	$\alpha$	1	$\alpha$
5	0	1	0	1	0	1	1	0	0	$\alpha$	$\alpha$	0	1	$\alpha$	$\alpha$	1
6	0	1	1	0	0	1	1	1	0	$\alpha$	$\alpha$	0	$\alpha$	0	1	$\alpha$
7	0	1	1	1	1	0	0	0	1	$\alpha$	$\alpha$	1	$\alpha$	1	$\alpha$	1
8	1	0	0	0	1	0	0	1	$\alpha$	0	0	$\alpha$	0	$\alpha$	1	$\alpha$
9	1	0	0	1	0	0	0	0	$\alpha$	1	0	$\alpha$	0	$\alpha$	$\alpha$	1
					$D_3$	$D_2$	$D_1$	$D_0$								
					Функции возбуждения D- триггеров											
					Время t											

Таблица 2

$Q_i^t \rightarrow Q_i^{t+1}$	J	K	D
0 - 0	0	$\alpha$	0
0 - 1	1	$\alpha$	1
1 - 0	$\alpha$	1	0
1 - 1	$\alpha$	0	1

3. Минимизация функций возбуждения выполняется с помощью известных методов, например, по методу Квайна с применением карт Карно. При минимизации следует учитывать неиспользуемые состояния счетчика. Для двоично-десятичного кода с весами разрядов 8-4-2-1 это состояния 1010, 1011, 1100, 1101, 1110, 1111.

В приложениях Electronics Workbench и Multisim имеются программные средства минимизации Logic Converter функций алгебры логики до 8 переменных.

В результате минимизации получены функции возбуждения JK- и D-триггеров счетчиков:

$$J_3 = Q_2 Q_1 Q_0, \quad K_3 = Q_0, \quad J_2 = K_2 = Q_1 Q_0, \quad J_1 = \bar{Q}_3 Q_0, \\ K_1 = Q_0,$$

$$J_0 = K_0 = 1;$$

$$D_3 = Q_2 Q_1 Q_0 \vee Q_3 \bar{Q}_0, \quad D_2 = Q_2 \bar{Q}_1 \vee Q_2 \bar{Q}_0 \vee \bar{Q}_2 Q_1 Q_0,$$

$$D_1 = \bar{Q}_3 \bar{Q}_1 Q_0, \quad D_0 = \bar{Q}_0.$$

4. Реализуем комбинационную часть счетчика в базисе И, ИЛИ, НЕ. В качестве примера схема синхронного суммирующего двоично-десятичного счетчика на JK-триггерах приведена на рис. 3.

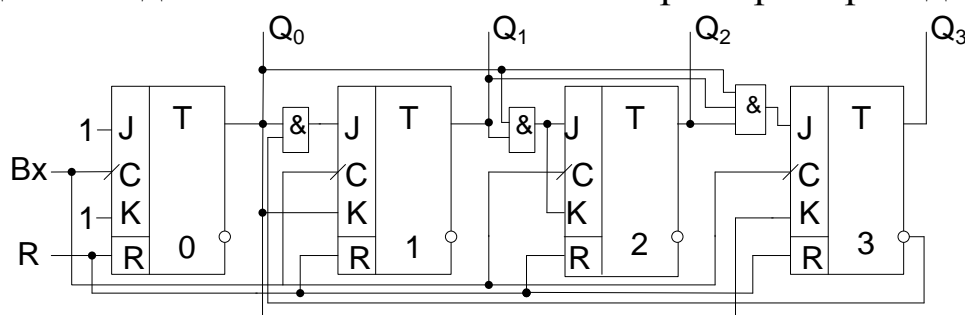


Рис. 3

Для проверки правильности функционирования следует построить временные диаграммы работы счетчиков по модулю 10 на JK- и D-триггерах.

### Задание и порядок проведения работы

1. Исследование четырёхразрядного синхронного суммирующего счётчика с параллельным переносом на Т-триггерах. Проверить работу счётчика

- от одиночных импульсов, подключив к прямым выходам разрядов световые индикаторы,

- от импульсов генератора.

Просмотреть на экране логического анализатора (осциллографа) временную диаграмму сигналов на входе и выходах счетчика, провести анализ временной диаграммы сигналов счетчика. Измерить время задержки распространения счетчика и максимальную частоту счета.

3. Синтезировать двоично-десятичный счётчик с заданной последовательностью состояний. Последовательность состояний счётчика для каждого варианта работы приведена в табл.3; десятичными числами обозначены номера двоичных наборов, изображающие десятичные цифры и определяющие состояние счётчика. Начертить схему счётчика на элементах интегрального базиса (И-НЕ; И, ИЛИ, НЕ), синхронных *JK*-триггерах.

4. Собрать десятичный счётчик, используя элементную базу приложения Multisim или учебного макета. Установить счётчик в начальное состояние, подав на установочные входы R соответствующий сигнал.

Таблица 3

№ варианта двоично-десятичного кода	Десятичные номера двоичных наборов переменных, изображающих десятичные цифры 0,1,...,9
1	3, 4,5,6,7,8,9,10,11,12
2	0,1,2,3,5,10,12,13,14,15
3	0,1,4,5,7,8,10,12,14,15
4	0,1,2,3,4,5,8,9,10,11
5	0,1,2,3,4,5,6,8,9,10
6	0,1,2,3,6,9,12,13,14,15
7	5,6,7,8,9,10,11,12,13,14
8	0,1,2,3,4,8,9,10,11,12,
9	0,1,3,4,5,7,8,10,11,12
10	0,1,2,4,5,6,7,8,9,10
11	0,1,2,3,4,5,6,7,12,13
12	0,1,2,3,7,8,12,13,14,15
13	0,1,2,4,5,6,8,9,10,12
14	2,3,4,5,6,7,8,9,10,11
15	0,1,3,4,5,7,11,12,13,15
16	0,1,2,3,5,6,9,10,12,13
17	0,1,2,3,6,7,8,9,10,11
18	0,1,2,4,5,6,10,11,13,14
19	0,1,3,4,5,8,9,11,12,13
20	4,5,6,7,8,9,10,11,12,13
21	0,1,2,3,4,11,12,13,14,15
22	0,1,2,3,5,7,8,12,13,14



23	0,1,2,3,6,7,9,10,11,14
24	0,1,2,3,5,6,7, 10,12,13
25	0,1,2,3,6,7,8,10,14,15

5. Исследование четырёхразрядного синхронного суммирующего счётчика с параллельным переносом. Проверить работу счётчика

- от одиночных импульсов, подключив к прямым выходам разрядов световые индикаторы,
- от импульсов генератора.

Просмотреть на экране логического анализатора (осциллографа) временную диаграмму сигналов на входе и выходах счетчика, провести анализ временной диаграммы сигналов счетчика. Измерить время задержки распространения счетчика и максимальную частоту счета.

6. Исследование четырёхразрядного синхронного суммирующего счётчика с параллельным переносом ИС К555ИЕ9, аналог ИС 74LS160 (рис.4).

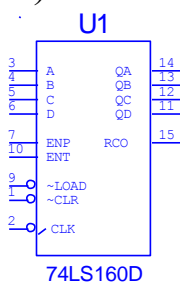


Рис.4

Проверить работу счётчика

- от одиночных импульсов, подключив к прямым выходам разрядов световые индикаторы,
- от импульсов генератора.

Просмотреть на экране логического анализатора (осциллографа) временную диаграмму сигналов на входе и выходах счетчика, провести анализ временной диаграммы сигналов счетчика. Измерить время задержки распространения счетчика и максимальную частоту счета.

7. Исследование схем наращивания разрядности счетчиков ИЕ9 до четырех секций с последовательным переносом между секциями (рис. 5) и по структуре «быстрого» счета(рис. 6).

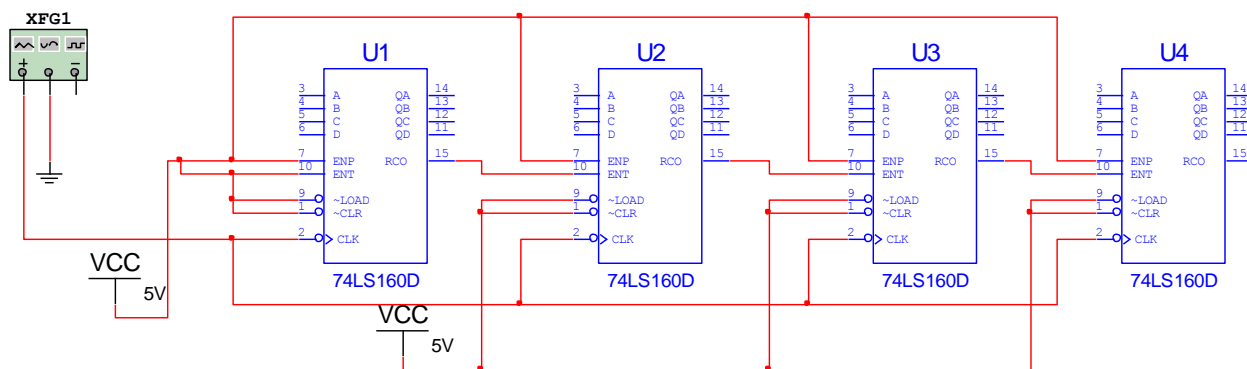


Рис. 5

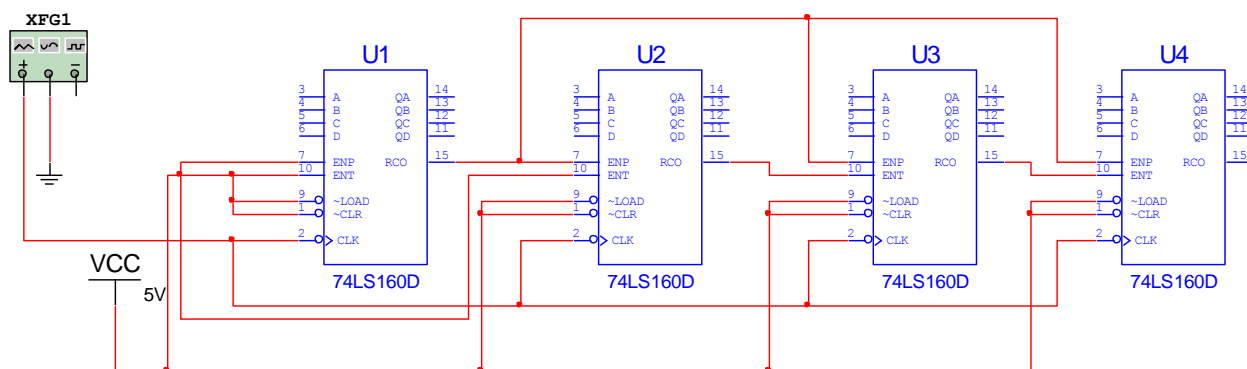


Рис. 6

### Требование к отчёту

Отчёт должен содержать электрические функциональные схемы исследуемых счётчиков, временные диаграммы сигналов счётчиков, материалы по синтезу двоично-десятичного счётчика, результаты измерений.

### Контрольные вопросы

8. Что называется счётчиком?
9. Что называется коэффициентом пересчёта?
10. Перечислить основные классификационные признаки счётчиков.
11. Указать основные параметры счётчиков.
12. Что такое время установки кода счётчика?
13. Объяснить работу синхронного счётчика с параллельным переносом, оценить его быстродействие.
14. Объяснить методику синтеза синхронных счётчиков на двухступенчатых *JK*- и *D*-триггерах.

## Работа №8. Исследование мультиплексоров

Цель работы: изучение принципов построения, практического применения и экспериментального исследования мультиплексоров

Продолжительность работы – 4 часа.

Самостоятельная работа студента включает изучение принципов построения мультиплексоров и подготовку индивидуального задания. Перед началом работы преподаватель проводит собеседование, дает пояснения по выполнению работы с целью теоретической и практической подготовленности студента к лабораторной работе. Студент должен подготовить отчет по каждому пункту раздела «Задание и порядок выполнения работы» и знать методику выполнения каждого пункта задания. После выполнения работы студент обязан представить преподавателю на проверку оформленный индивидуальный отчет. Студент должен уметь отвечать на вопросы к лабораторной работе и знать методику выполнения каждого пункта задания.

### Теоретические сведения

Мультиплексор – это функциональный узел, имеющий  $n$  адресных входов и  $N=2^n$  информационных входов и выполняющий коммутацию на выход того информационного сигнала, адрес (т.е. номер) которого установлен на адресных входах. Иначе мультиплексор – это адресный коммутатор. Мультиплексор обозначается MUX  $N - 1$  или MS  $N - 1$ , т.е. коммутатор, имеющий  $N$  информационных входов и один выход. Мультиплексор переключает сигнал с одной из  $N$  входных линий на один выход.

Мультиплексор реализует логическую функцию

$$Y = EN \cdot \bigvee_{j=0}^{2^n-1} D_j \cdot m_j(A_{n-1}, A_{n-2}, \dots, A_i, \dots, A_1, A_0), \quad (1)$$

где  $A_i$  – адресные входы и сигналы,  $i=0, 1, \dots, n-1$ ;  $D_j$  – информационные входы и сигналы,  $j=0, 1, \dots, 2^n-1$ ;  $m_j$  – конституента единицы (конъюнкция всех переменных  $A_i$ ), номер которой равен числу, образованному двоичным кодом сигналов на адресных входах;  $EN$  – вход и сигнал разрешения (стробирования).

Такой мультиплексор называется мультиплексором с прямым выходом. Выход мультиплексора может быть инверсным. Тогда на этом выходе реализуется функция  $\bar{Y}$ . Некоторые мультиплексоры ИС имеют прямой и инверсный выходы.

Вход разрешения EN используется:

- собственно для разрешения работы мультиплексора,
- для стробирования,
- для наращивания числа информационных входов.

При EN=1 разрешается работа мультиплексора и выполнение им своей функции, при EN=0 работа мультиплексора запрещена и на его выходах устанавливаются неактивные уровни сигналов.

Для исключения на выходе ложных сигналов, вызванных гонками входных сигналов, вход EN используется как стробирующий: для выделения полезного сигнала на вход EN подается сигнал в интервале времени, свободном от действия ложных сигналов.

Мультиплексоры ИС средней степени интеграции строятся по линейной схеме в соответствии с функцией (1). Вариант реализации мультиплексора с четырех входных линий на одну выходную и УГО приведены на рис. 1, а, б соответственно.

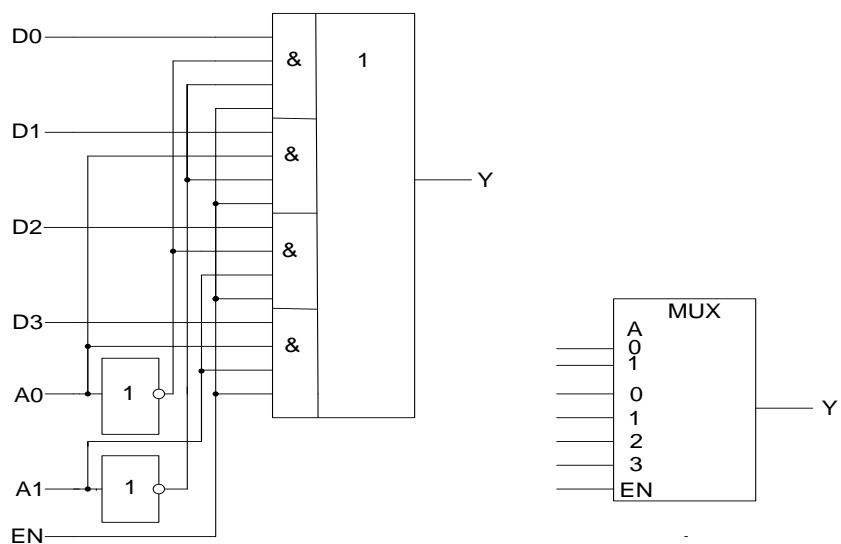


Рис. 1

Мультиплексор MUX 4 – 1 состоит из дешифратора DC 2 – 4, каждый конъюнктор которого имеет дополнительный вход для соответствующего информационного сигнала  $D_j$ . Выходы конъюнкторов объединены по операции ИЛИ дизъюнктором. Выход дизъюнктора является выходом мультиплексора.

Время задержки распространения по каждому тракту передачи сигналов определяется временем задержки цепи последовательно включенных логических элементов соответствующего тракта.

Мультиплексоры широко применяются для построения:

- коммутаторов-селекторов,
- постоянных запоминающих устройств емкостью  $2^n \times 1$  бит,
- комбинационных схем, реализующих функции алгебры логики,
- преобразователей кодов (например, параллельного кода в последовательный) и других узлов.

**Нарращивание мультиплексоров.** ИС Мультиплексоры, выпускаемые в виде самостоятельных ИС, имеют число информационных входов не более шестнадцати. Нарращивание числа коммутируемых каналов выполняется двумя способами:

- по пирамидальной схеме соединения мультиплексоров меньшей размерности,
- путем выбора мультиплексора группы информационных входов по адресу (т.е. номеру) мультиплексора с помощью дешифратора адреса мультиплексора группы, а затем выбором информационного сигнала мультиплексором группы по адресу информационного сигнала в группе.

Информационные входы разделяются на группы по  $N_1$  входов в каждой. Информационные входы каждой группы являются входами простого мультиплексора. Информационным входам и группам присваиваются адреса.

В первой ступени пирамидальной схемы число простых мультиплексоров равно  $(N : N_1)$ ,  $N$  и  $N_1$  – число входов сложного (нарращиваемого) и простого мультиплексоров. Младшие  $n_1$  разрядов кода адреса подаются на адресные входы всех мультиплексоров первой ступени, следующие  $n_1$  разрядов кода адреса подаются на адресные входы всех мультиплексоров второй

ступени и т.д. Обычно количество ступеней две, реже – три и более. В первой ступени в каждом мультиплексоре выбираются информационные каналы согласно младшим  $n_1$  разрядам адреса и коммутируются на информационные входы мультиплексоров второй ступени и т.д. На рис. 2 показан мультиплексор MUX 16 – 1, построенный по пирамидальной схеме наращивания числа входов на основе мультиплексоров MUX 4 – 1.

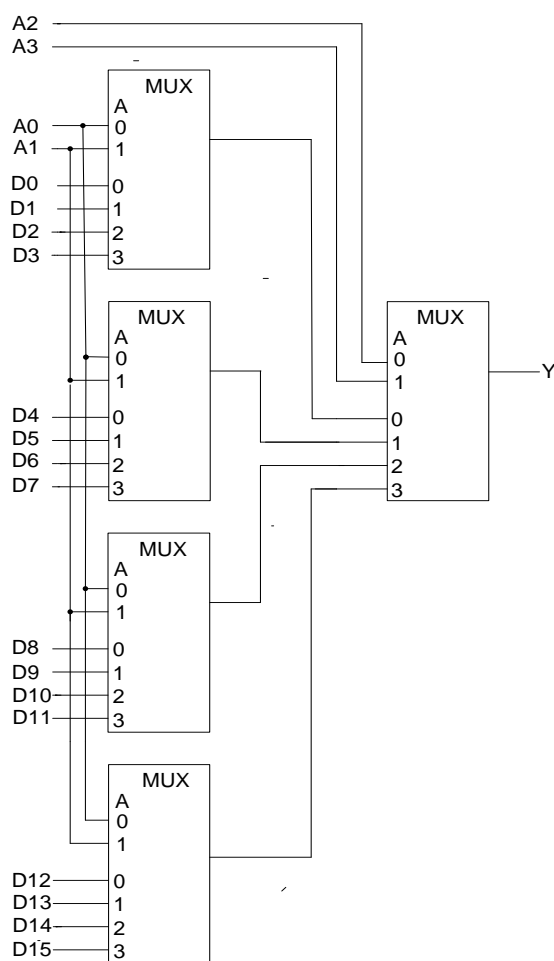


Рис.2

Согласно второму варианту наращивания дешифратор по адресу группы выбирает мультиплексор группы, для чего используется вход разрешения EN простого мультиплексора, а последний выбирает информационный канал из группы. Выходы простых мультиплексоров объединяются по операции ИЛИ. Поэтому выбранный информационный канал выбранной группы подключается к выходу мультиплексора MUX 16 – 1 (Рис. 3).

Наращивание мультиплексора можно проиллюстрировать аналитически. Для построения мультиплексора MUX 16 – 1 требуется четыре мультиплексора MUX 4 – 1, реализующие функции:

$$\begin{aligned} Y_0 &= EN_0 (D_0 \cdot \bar{A}_1 \bar{A}_0 \vee D_1 \cdot \bar{A}_1 A_0 \vee D_2 \cdot A_1 \bar{A}_0 \vee D_3 \cdot A_1 A_0), \\ Y_1 &= EN_1 (D_4 \cdot \bar{A}_1 \bar{A}_0 \vee D_5 \cdot \bar{A}_1 A_0 \vee D_6 \cdot A_1 \bar{A}_0 \vee D_7 \cdot A_1 A_0), \\ Y_2 &= EN_2 (D_8 \cdot \bar{A}_1 \bar{A}_0 \vee D_9 \cdot \bar{A}_1 A_0 \vee D_{10} \cdot A_1 \bar{A}_0 \vee D_{11} \cdot A_1 A_0), \\ Y_3 &= EN_3 (D_{12} \cdot \bar{A}_1 \bar{A}_0 \vee D_{13} \cdot \bar{A}_1 A_0 \vee D_{14} \cdot A_1 \bar{A}_0 \vee D_{15} \cdot A_1 A_0). \end{aligned}$$

Сделав подстановки  $EN_0 = \bar{A}_3 \bar{A}_2$ ,  $EN_1 = \bar{A}_3 A_2$ ,  $EN_2 = A_3 \bar{A}_2$ ,  $EN_3 = A_3 A_2$  и объединяя по операции ИЛИ функции  $Y_0, Y_1, Y_2, Y_3$ , получим

$$\begin{aligned} Y &= Y_0 \vee Y_1 \vee Y_2 \vee Y_3 = \\ &= D_0 \cdot \bar{A}_3 \bar{A}_2 \bar{A}_1 \bar{A}_0 \vee D_1 \cdot \bar{A}_3 \bar{A}_2 \bar{A}_1 A_0 \vee D_2 \cdot \bar{A}_3 \bar{A}_2 A_1 \bar{A}_0 \vee D_3 \cdot \bar{A}_3 \bar{A}_2 A_1 A_0 \vee \\ &\vee D_4 \cdot \bar{A}_3 A_2 \bar{A}_1 \bar{A}_0 \vee D_5 \cdot \bar{A}_3 A_2 \bar{A}_1 A_0 \vee D_6 \cdot \bar{A}_3 A_2 A_1 \bar{A}_0 \vee D_7 \cdot \bar{A}_3 A_2 A_1 A_0 \vee \\ &\vee D_8 \cdot A_3 \bar{A}_2 \bar{A}_1 \bar{A}_0 \vee D_9 \cdot A_3 \bar{A}_2 \bar{A}_1 A_0 \vee D_{10} \cdot A_3 \bar{A}_2 A_1 \bar{A}_0 \vee D_{11} \cdot A_3 \bar{A}_2 A_1 A_0 \vee \\ &\vee D_{12} \cdot A_3 A_2 \bar{A}_1 \bar{A}_0 \vee D_{13} \cdot A_3 A_2 \bar{A}_1 A_0 \vee D_{14} \cdot A_3 A_2 A_1 \bar{A}_0 \vee D_{15} \cdot \\ &A_3 A_2 A_1 A_0 = \\ &= \bigvee_{j=0}^{15} D_j \cdot m_j (A_3, A_2, A_1, A_0). \end{aligned}$$

Функции  $\bar{A}_3 \bar{A}_2$ ,  $\bar{A}_3 A_2$ ,  $A_3 \bar{A}_2$ ,  $A_3 A_2$  реализуются дешифратором DC 2-4 адресных переменных  $A_3, A_2$  (рис.3).

**Реализация функций алгебры логики (ФАЛ) на мультиплексорах.** На основе мультиплексора, имеющего  $n$  адресных входов, можно реализовать ФАЛ  $(n+1)$  переменных.

**Примечание.** Реализация ФАЛ  $n$  переменных на мультиплексоре с  $n$  адресными входами тривиальна: на адресные входы подаются переменные, на информационные входы – значения ФАЛ на соответствующих наборах переменных. На выходе мультиплексора образуются значения ФАЛ в соответствии с наборами переменных. В этом случае мультиплексор выполняет функцию ПЗУ.

Для реализации ФАЛ  $n+1$  переменных на адресные входы мультиплексора подаются  $n$  переменных, на информационные входы –  $(n+1)$ -я переменная или ее инверсия, константы 0 или 1 в соответствии со значениями ФАЛ.

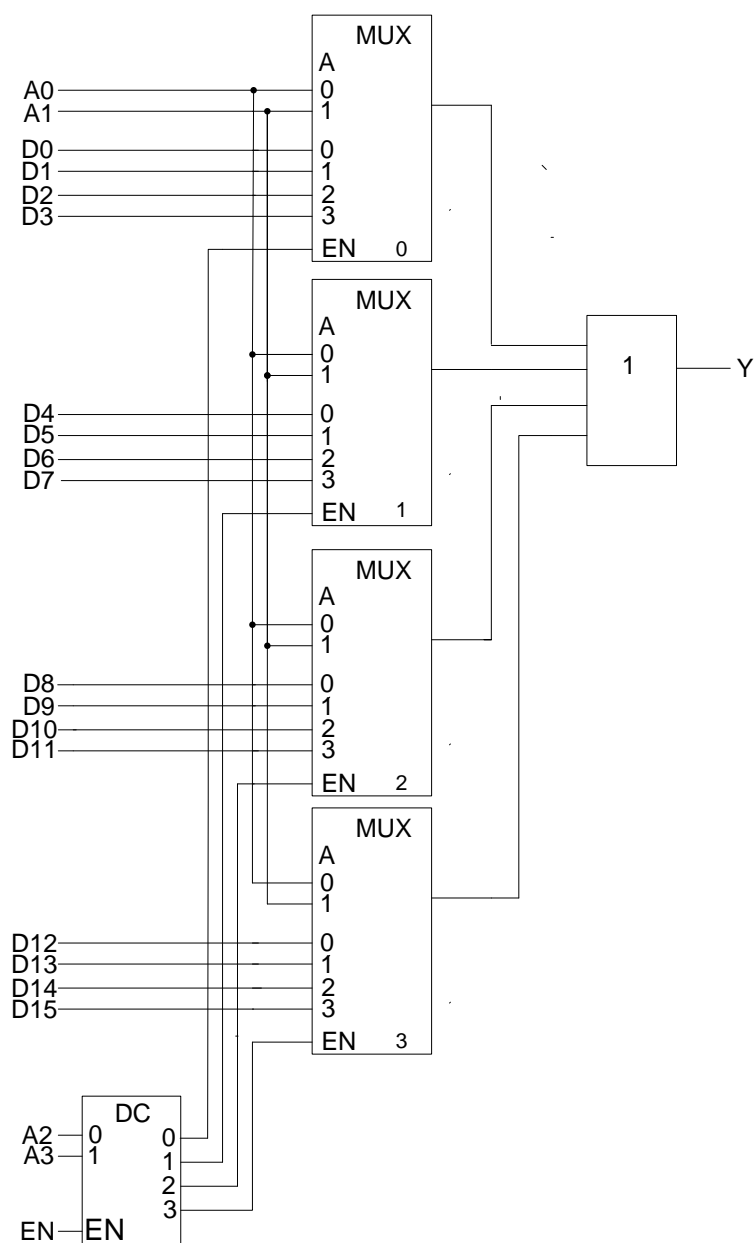


Рис.3

**Пример.** Реализовать ФАЛ  $f(x_4, x_3, x_2, x_1)$  четырех переменных  $x_4, x_3, x_2, x_1$ , заданную таблицей истинности (табл.1), на мультиплексоре MUX 8 – 1.

**Решение.** На адресные входы задаем переменные  $x_4, x_3, x_2$ :  $A_2 = x_4, A_1 = x_3, A_0 = x_2$ , на информационные входы -  $x_1, \overline{x_1}, 0$  или  $1$  в соответствии с табл.1.



Таблица 1

№ набора	X <sub>4</sub>	X <sub>3</sub>	X <sub>2</sub>	X <sub>1</sub>	f	Примечание
0	0	0	0	0	1	D <sub>0</sub> = 1
1	0	0	0	1	1	
2	0	0	1	0	1	D <sub>1</sub> = $\overline{X_1}$
3	0	0	1	1	0	
4	0	1	0	0	0	D <sub>2</sub> = X <sub>1</sub>
5	0	1	0	1	1	
6	0	1	1	0	0	D <sub>3</sub> = 0
7	0	1	1	1	0	
8	1	0	0	0	0	D <sub>4</sub> = 0
9	1	0	0	1	0	
10	1	0	1	0	1	D <sub>5</sub> = $\overline{X_1}$
11	1	0	1	1	0	
12	1	1	0	0	1	D <sub>6</sub> = 1
13	1	1	0	1	1	
14	1	1	1	0	1	D <sub>7</sub> = 1
15	1	1	1	1	1	

Рассматривая попарно строки таблицы, в которых переменные  $x_4, x_3, x_2$  неизменны, определяем значения переменной  $x_1$ , констант 0 и 1, которые нужно задать для каждой пары строк сигналами на информационных входах мультиплексора, чтобы на его выходе получить сигналы, соответствующие значениям ФАЛ:  $D_0=1, D_1=\overline{x_1}, D_2=x_1, D_3=0, D_4=0, D_5=\overline{x_1}, D_6=1, D_7=1$  (рис. 4).

### Аналоговые мультиплексоры

Мультиплексоры КМОП-логики, в которых для коммутации каналов используются двунаправленные ключи (рис. 5), могут переключать как цифровые, так и аналоговые напряжения. Цифровой сигнал – это частный случай аналогового сигнала. Такие мультиплексоры называют аналоговыми.

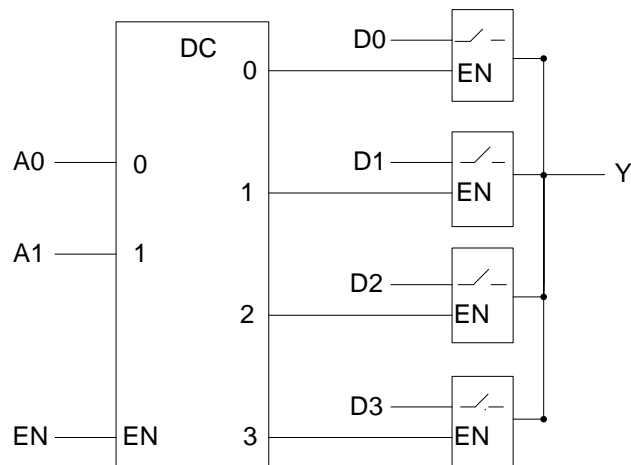


Рис. 5

Аналоговые мультиплексоры можно использовать как демультиплексоры. В этом случае информационным входом является объединенный вывод двунаправленных ключей, а выходами – их отдельные выводы. Аналоговыми мультиплексорами являются мультиплексоры ИС К561КП1, К561КП2, ADG408, ADG508 и др

### Задание и порядок выполнения работы

1. Исследование ИС ADG408 или ADG508 (рис.6) в качестве коммутатора MUX 8 – 1 цифровых сигналов:

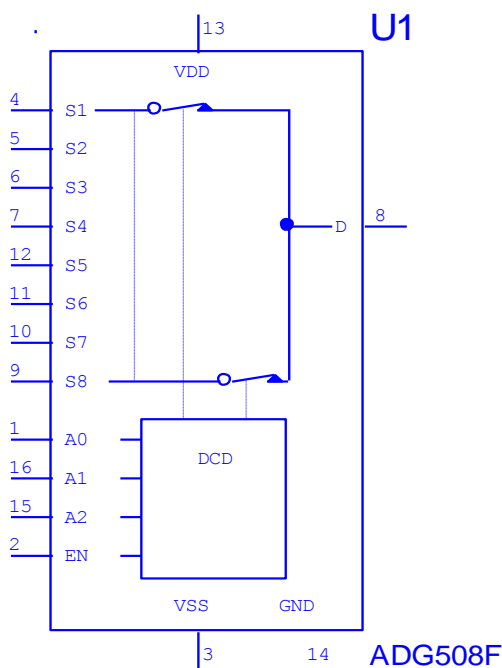


Рис. 6

а) на информационные входы  $D_0 \dots D_7$  мультиплексора подать комбинацию сигналов, заданную преподавателем из табл. 2. Логические уровни 0 и 1 задавать источниками напряжения  $U=5$  В и 0 В (общая);

б) на адресные входы  $A_2, A_1, A_0$  подать сигналы  $Q_3, Q_2, Q_1$  соответственно с выходов 4-разрядного двоичного счетчика (младший разряд –  $Q_0$ ). На вход счетчика подать импульсы генератора с частотой 500 кГц.

в) снять временную диаграмму сигналов при  $EN=1$  и провести ее анализ. Наблюдение сигналов выполнить на логическом анализаторе.

2. Исследование ИС ADG408 или ADG508 (рис.6) в качестве коммутатора MUX 8 – 1 аналоговых сигналов:

а) на информационные входы  $D_0 \dots D_7$  мультиплексора подать дискретные уровни напряжений с источников напряжения UCC (приложение Multisim): 0 В; 0.7 В; 1.4 В; 2.1 В; 2.8 В; 3.5 В; 4.2 В; 5.0 В;

б) на адресные входы  $A_2, A_1, A_0$  подать сигналы  $Q_3, Q_2, Q_1$  соответственно с выходов 4-разрядного двоичного счетчика (младший разряд –  $Q_0$ ). На вход счетчика подать импульсы генератора с частотой 500 кГц;

в) снять временную диаграмму сигналов при  $EN=1$  и провести ее анализ. Наблюдение сигналов выполнить на логическом анализаторе, выходного сигнала мультиплексора – на логическом анализаторе и осциллографе. Совместить развертки сигналов, регистрируемых логическим анализатором и осциллографом.

3. Исследование ИС ADG408 или ADG508 (рис.6) как коммутатора MUX 8 – 1 цифровых сигналов в качестве формирователя ФАЛ четырех переменных. ФАЛ задается преподавателем из табл. 2.

Проверить работу формирователя в статическом и динамическом режимах. Снять временную диаграмму сигналов формирователя ФАЛ и провести ее анализ.

4. Нарращивание мультиплексора.

Построить схему мультиплексора MUX 16 – 1 на основе простого мультиплексора MUX 4 – 1 и дешифратора DC 2-4 (рис.2, второй вариант наращивания, см. выше). Исследовать мультиплексора MUX 16 – 1 в динамическом режиме. На адресные входы подать сигналы с 4-разрядного двоичного счетчика, на информационные входы  $D_0 \dots D_{15}$  – из табл. 2. Провести анализ временной диаграммы сигналов мультиплексора MUX 16 – 1.

5. Составить отчет.

### **Требования к отчету**

Отчет должен содержать электрические функциональные схемы исследуемых мультиплексоров, временные диаграммы процессов в схемах, результаты исследований и их анализ.

### **Контрольные вопросы**

1. Что такое мультиплексор?
2. Какую логическую функцию выполняет мультиплексор?
3. Каково назначение и использование входа разрешения?
4. Какие функции может выполнять мультиплексор?
5. Какие способы наращивания мультиплексоров?
6. Поясните методику синтеза формирователя ФАЛ на мультиплексоре?
7. Почему возникают ложные сигналы на выходе мультиплексора? Как их устранить?

