

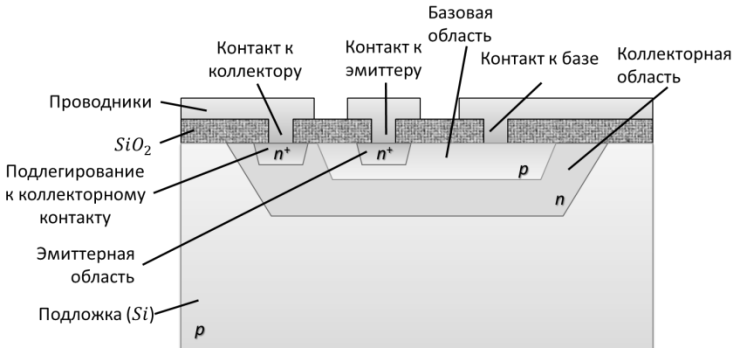
## 1.17. ОСНОВНЫЕ ЭЛЕМЕНТЫ ПОЛУПРОВОДНИКОВЫХ ИНТЕГРАЛЬНЫХ СХЕМ

**Цель лекции:** ознакомление с основными элементами полупроводниковых интегральных схем.

### 1.17.1. БИПОЛЯРНЫЙ ТРАНЗИСТОР В ИНТЕГРАЛЬНОМ ИСПОЛНЕНИИ

Основной структурой, используемой при производстве интегральных микросхем, является транзисторная. На основе её могут выполняться и другие элементы: диоды, резисторы, конденсаторы.

В классических структурах изоляция элементов осуществляется обратным смещенным  $p-n$ -переходом. Самой первой появившейся структурой, используемой для создания биполярных транзисторов, была диффузионно-планарная (рис. 1.17.1). В качестве заготовки для создания  $n-p-n$  транзистора берется подложка, легированная кремнием  $p$ -типа. Далее с помощью диффузии последовательно получают коллекторную, базовую и эмиттерную область. Одновременно с эмиттерной областью получают подлегирование под эмиттерный контакт. Концентрация примеси в этой области выше, чем в коллекторе, что служит для уменьшения сопротивления тела коллектора. Далее выполняют металлизацию.



**Рис. 1.17.1.** Структура диффузионно-планарного биполярного транзистора

Данная структура имеет ряд недостатков. Контакты эмиттера, коллектора и базы транзистора лежат в одной плоскости, поэтому коллекторный ток вынужден протекать по большому горизонтальному участку под дном базы, причем сечение этого участка невелико, а концентрация примеси там минимальная. Это увеличивает время переключения транзистора. Кроме того, неравномерное распределение примеси по областям максимально

приближенным к поверхности, что также ухудшает параметры транзистора (например, повышает напряжение насыщения).

После открытия эпитаксии диффузионно-планарную структуру заменила новая – эпитаксиально планарная (рис. 1.17.2). Для создания  $n$ - $p$ - $n$  транзистора берется подложка, легированная кремнием  $p$ -типа, на которой с помощью операции эпитаксии с одновременным равномерным легированием примеси  $n$ -типа формируют  $n^+$  и  $n$  области. Далее с помощью диффузии примеси  $p^+$  по контуру коллектора формируют разделительную область. Затем в коллекторной области диффузией формируют базовую и эмиттерную области, а также подлегирование под коллекторный контакт. Далее выполняют металлизацию.

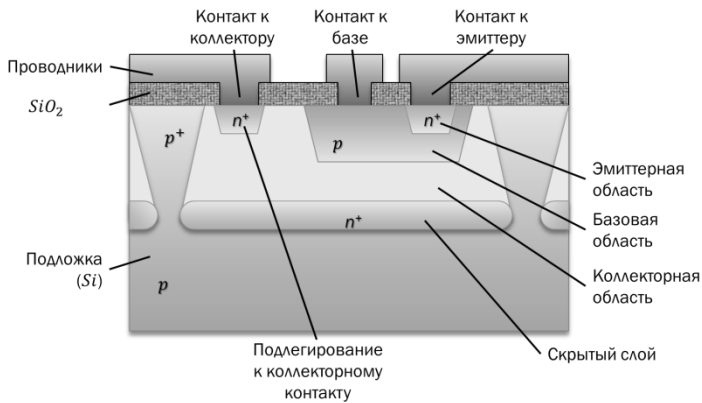
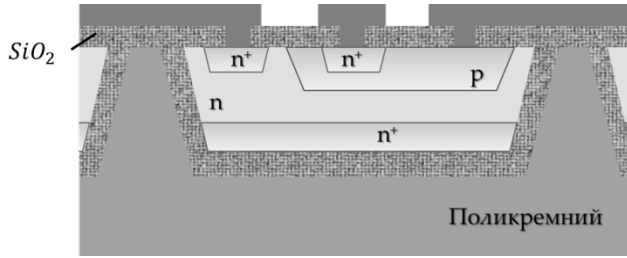


Рис. 1.17.2. Структура эпитаксиально-планарного биполярного транзистора

Примесь в коллекторной области равномерно распределена по глубине, что улучшает параметры транзистора. Область  $n^+$ , образующаяся в донной части коллектора, называется скрытым слоем. Ее наличие позволяет снизить концентрацию примеси в коллекторной области и уменьшить напряжение пробоя.

Изоляция обратным смещенным  $p$ - $n$  переходом не обеспечивает хороших изоляционных характеристик, так как возникают заметные токи утечки. Для их уменьшения приходится увеличивать расстояние между элементами. Кроме того,  $p$ - $n$  переход имеет паразитную емкость, что приводит к уменьшению быстродействия.

Чтобы избежать указанных недостатков используют структуру с диэлектрической изоляцией. В ней элементы располагаются в своеобразном диэлектрическом «кармане», который представляет собой область монокремния, ограниченную слоем окиси кремния (рис. 1.17.3).



**Рис. 1.17.3.** Структура биполярного транзистора с диэлектрической изоляцией

Для создания *n-p-n* транзистора берется подложка, легированная кремнием *n*-типа, на поверхности которой сформирован  $n^+$  слой. По контуру будущих элементов проводится вертикальное анизотропное травление кремния, после чего поверхность окисляется. Далее производится осаждение поликремния. Именно поликремний в дальнейшем служит подложкой. Излишки монокремния шлифуют и полируют. Далее получают базовую и эмиттерную область, а также подлегирование под коллекторный контакт. Затем выполняют металлизацию.

Наличие изоляции диэлектриком позволяет уменьшить расстояние между элементами. Кроме того, отсутствуют паразитные емкости, что увеличивает скорость переключения транзистора. Однако указанная структура имеет ряд недостатков. К ним относится высокая трудоемкость шлифовки и полировки подложек. Кроме того, поликремний и монокремний имеют разные характеристики, что выражается в значительных внутренних механических напряжениях. Часть недостатков отсутствует у комбинированных методов изоляции.

Один из таких методов используется в изопланарной структуре (рис. 1.17.4). Для создания *n-p-n* транзистора берется подложка, легированная кремнием *p*-типа, на которой с помощью операции эпитаксии с одновременным равномерным легированием примеси *n*-типа формируют  $n^+$  и *n* области. Далее удаляется оксидная маска с поверхности и формируется маска из нитрида кремния. В ней вытравливаются линии по контуру транзисторов, после чего проводится глубокое окисление кремния до подложки, в результате чего формируются разделительные области. Затем нитридную маску убирают и окисляют поверхность, после чего формируют оставшиеся области и металлизацию.

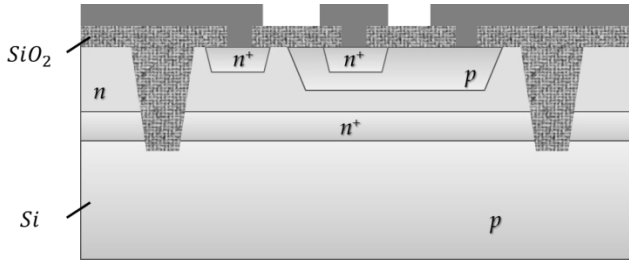


Рис. 1.17.4.Изопланарная структура

Главным недостатком изопланарной структуры является большая длительность окисления кремния для получения разделительных областей.

Еще одной структурой с комбинированной изоляцией является полипланарная структура (рис. 1.17.5). В ней вместо глубокого окисления проводится анизотропное травление кремния по контуру будущих элементов. Далее поверхность кремния окисляется, после чего сверху осаждается поликремний. Затем излишки поликремния сошлифовывается, поверхность полируется и окисляется. После этого формируют оставшиеся области и металлизацию.

Для данной структуры можно применять только пластины ориентацией  $\langle 100 \rangle$ , в которых получают транзисторы, имеющие не самые лучшие электрические характеристики, что является одним из недостатков данной структуры. Кроме того, присутствуют трудоемкие операции шлифования и полирования, хотя и не в таких масштабах, как в структуре с диэлектрической изоляцией.

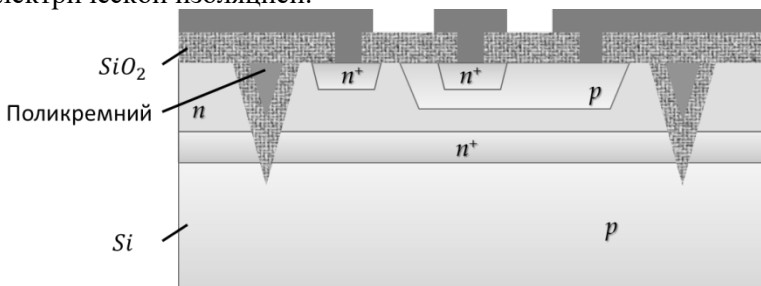


Рис. 1.17.5.Полипланарная структура

Общими недостатками структур с изоляцией диэлектриком является их большая сложность и дороговизна, чем у структур с изоляцией  $p$ - $n$  переходом.

### 1.17.2. ДИОДЫ В ИНТЕГРАЛЬНОМ ИСПОЛНЕНИИ

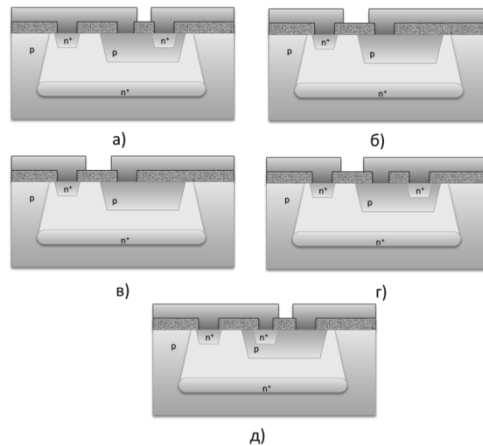
Диоды в интегральном исполнении формируются на основе биполярных транзисторов, при этом используется один из  $p-n$  переходов (рис. 1.17.6).

Существует 5 схем преобразования транзистора в диод:

- использование перехода эмиттер-база при короткозамкнутом переходе база-коллектор (рис. 1.17.6, а);
- использование перехода эмиттер-база при разомкнутой коллекторной цепи (рис. 1.17.6, б);
- использование перехода коллектор-база при отсутствии эмиттерной области (рис. 1.17.6, в);
- использование перехода база-коллектор при короткозамкнутом переходе эмиттер-база (рис. 1.17.6, г);
- замкнутые коллектор и эмиттер, получается 2 диода (эмиттер-база и база-коллектор) (рис. 1.17.6, д).

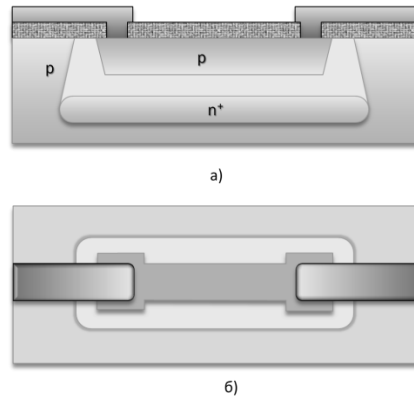
### 1.17.3. ПОЛУПРОВОДНИКОВЫЕ РЕЗИСТОРЫ

Полупроводниковые резисторы обычно формируется в базовом слое (рис. 1.17.7). Иногда - в эмиттерном слое, но такие резисторы имеют большие размеры и высокий ТКС.



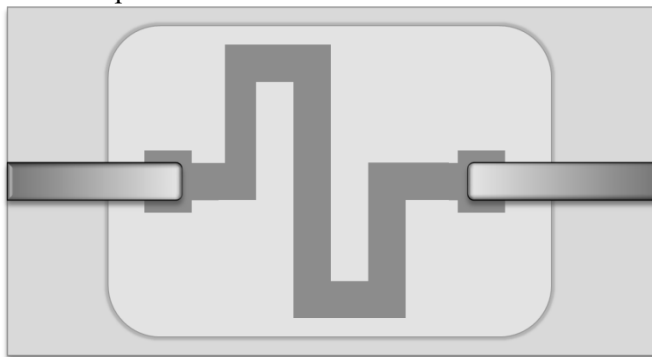
**Рис. 1.17.6.** Диоды в интегральном исполнении:

- а – использование перехода эмиттер-база при короткозамкнутом переходе база-коллектор; б – использование перехода эмиттер-база при разомкнутой коллекторной цепи; в – использование перехода коллектор-база при отсутствии эмиттерной области; г – использование перехода база-коллектор при короткозамкнутом переходе эмиттер-база; д – 2 диода с использованием переходов эмиттер-база и база-коллектор



**Рис. 1.17.7.** Полупроводниковый резистор:  
а – структура; б – топология

Некоторые сложности возникают при проектировании высокоомных резисторов. Поскольку резисторы выполняются в едином технологическом цикле с транзисторами, невозможно использовать концентрацию примеси, отличную от концентрации примеси базовой области транзистора. В результате высокоомный резистор может иметь достаточно большое расстояние между контактами. Чтобы его уменьшить, можно либо спроектировать резистор в форме меандра (рис. 1.17.8), либо использовать пинч-резистор (рис. 1.17.9), в котором параллельно с получением эмиттерных областей транзисторов формируется область, которая замыкается с коллектором.



**Рис. 1.17.8.** Полупроводниковый резистор в форме меандра

В результате пинч-резистор имеет более высокое сопротивление, чем обычный полупроводниковый резистор тех же топологических размеров, поскольку электрический ток течет по более узкой области базы.

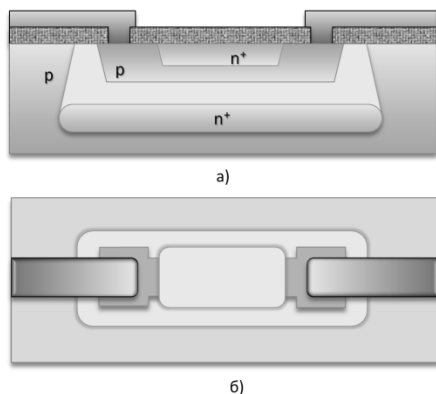


Рис. 1.17.9. Пинч резистор: а – структура; б – топология

#### 1.17.4. КОНДЕНСАТОРЫ В ПОЛУПРОВОДНИКОВЫХ МИКРОСХЕМАХ

Конденсатор в полупроводниковых микросхемах можно получить, используя паразитную емкость  $p$ - $n$  перехода (рис. 1.17.10). При этом величина емкости определяется диффузионной и барьерной составляющими. Однако данные конденсаторы имеют ряд существенных недостатков: большую площадь, малую добротность, их ёмкость зависит от величины приложенного напряжения, полярность. В результате в настоящее время они не используются.

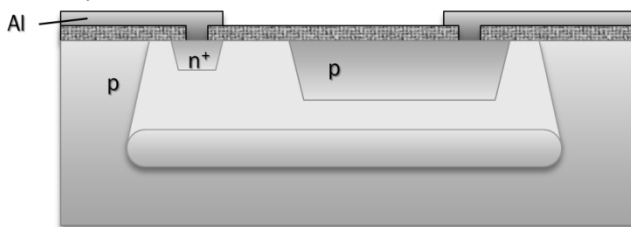


Рис. 1.17.10. Конденсатор на основе  $p$ - $n$  перехода

Наибольшее распространение получили МОП-конденсаторы (рис. 1.17.11). Роль верхней обкладки выполняет металлический проводник (алюминий или поликремний), роль нижней – высоколегированная область. Данные конденсаторы гораздо проще в изготовлении, имеют лучшие характеристики и не являются полярными.

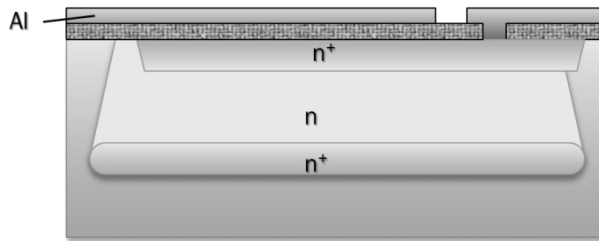


Рис. 1.17.11. МОП-конденсатор

В настоящее время также используются щелевые конденсаторы (рис. 1.17.12).

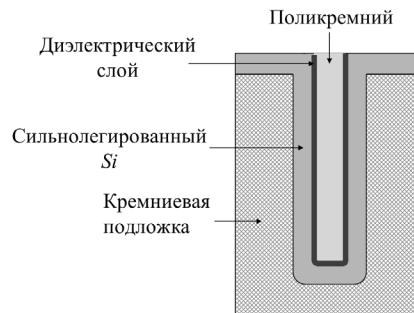


Рис. 1.17.12. Щелевой конденсатор

В нем роль одной обкладки выполняет высоколегированный кремний, роль второй – поликремний, осадженный в вытравленную в кремнии область, покрытую слоем оксида. Щелевой конденсатор имеет меньшую площадь, чем МОП-конденсатор, но сложнее в изготовлении.

### 1.17.5. МОП-ТРАНЗИСТОРВ ИНТЕГРАЛЬНОМ ИСПОЛНЕНИИ

Основой современной цифровой электроники являются микросхемы на основе полевых транзисторов. Из нескольких разновидностей полевых транзисторов в микросхемах используется одна – полевой транзистор с изолированным затвором. В этих транзисторах канал отделен от затвора тонким слоем диэлектрика (чаще всего  $SiO_2$ ). Из-за используемых материалов данные элементы называют или МОП-транзисторами (металл-оксид-полупроводник) или МДП-транзисторами (металл-диэлектрик-полупроводник). В англоязычной литературе их обычно обозначают аббревиатурой *MOSFET* (*Metal-Oxide-Semiconductor FET*) или *MISFET* (*Metal-Insulator-Semiconductor FET*).

В свою очередь МОП-транзисторы делят на 2 типа:



- транзисторы со встроенным (собственным) каналом (транзистор обедненного типа), в котором и до подачи напряжения на затвор имеется канал, соединяющий исток и сток;
  - транзистор с индуцированным каналом (транзистор обогащенного типа), в котором канал до подачи напряжения на затвор отсутствует.
- В микросхемах наибольшее распространение получили МОП-транзисторы с индуцированным каналом (рис. 1.17.13).

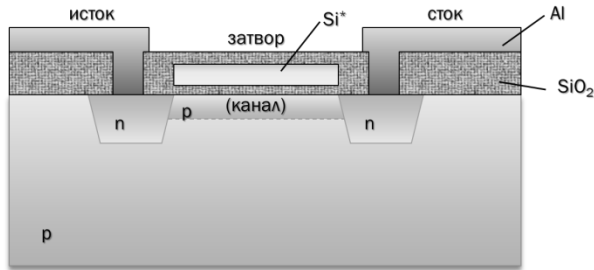


Рис. 1.17.13. МОП-транзистор с индуцированным каналом

В современных цифровых интегральных микросхемах используется структура, которая содержит одновременно  $p$ -канальный и  $n$ -канальный полевые транзисторы. Она называется структурой на дополняющих транзисторах или комплиментарной МОП-структурой (КМОП, в англоязычной литературе – *CMOS*). Ее использование позволяет на 2-3 порядка по сравнению со структурами биполярных транзисторов снизить рассеиваемую мощность в статическом режиме, поскольку одновременно работает только один транзистор, а энергия тратится только на переключение транзистора между открытым и закрытым состояниями. Кроме того, структуры КМОП имеют меньше занимаемую площадь, чем у структур на биполярных транзисторах. Еще одним достоинством таких структур является легкость масштабирования: при пропорциональном уменьшении всех размеров в 2 раза быстродействие увеличивается в 2 раза, напряжение питания уменьшается в 2 раза и потребление энергии уменьшается в 8 раз. Структуры на биполярных транзисторах масштабировать гораздо сложнее.

Поскольку изоляция в КМОП-структуре изначально выполнялась обратным смещенным  $p$ - $n$  переходом, для увеличения величины пробивного напряжения транзисторы окружали защитными кольцами (рис. 1.17.14). Однако снижение рабочих напряжений в цифровых схемах привело к тому, что защитные кольца стали не нужны (рис. 1.17.15).

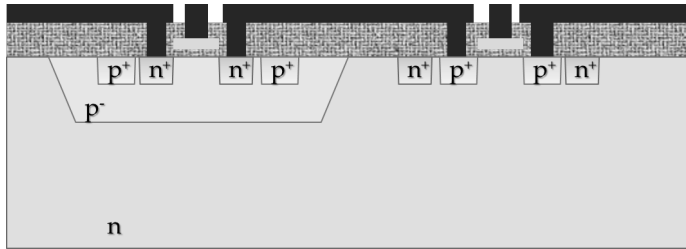


Рис. 1.17.14. КМОП-структура с защитными кольцами

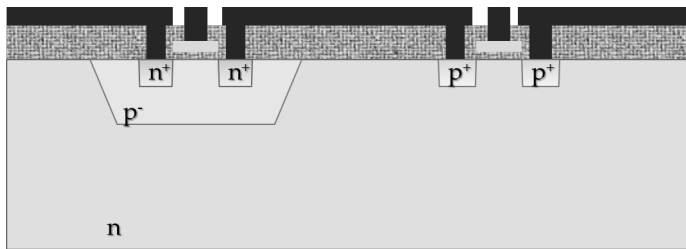


Рис. 1.17.15. КМОП-структура без защитных колец

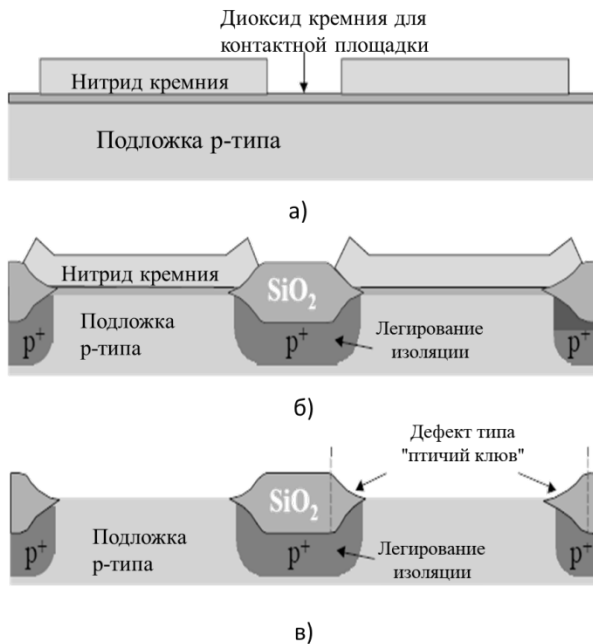
Последовательность изготовления КМОП-структуры следующая. В качестве заготовки возьмем подложку из кремния, легированного примесью  $n$ -типа. Поскольку необходимо сформировать 2 разных МОП-транзистора ( $n$ -канальный и  $p$ -канальный) Вначале формируется  $p^-$  карман, в котором будет размещаться  $n$ -канальный транзистор. Далее по контуру будущих транзисторов вытравливается диэлектрик, после чего окислением получают тонкий слой диэлектрика. Затем осаждают поликремний, который будет выполнять роль затвора. Далее последовательно проводят ионную имплантацию  $n^+$  и  $p^+$  примесей для формирования стока и истока соответственно в  $n$ -канальном и  $p$ -канальном транзисторах. Одновременно легируется и поликремниевый затвор. Слой диэлектрика в открытых областях достаточно тонкий, поэтому ионы примеси не застревают в нем. После проведения послеимплантационного отжига проводят окисление кремния, а затем формируют металлизацию.

Серьезная проблема проектирования КМОП схем заключается в том, чтобы избежать состояния, называемого защелкиванием. В этом состоянии в результате регенеративного срабатывания паразитных биполярных транзисторных структур, возникающих между источником питания и землей схемы, образуется фиксированная низкоомная проводящая цепь. Особенно важно избегать защелкивания в КМОП-структурах с малыми геометрическими размерами элементов, предназначенных для создания СБИС с высокой плотностью упаковки.

Для решения данной проблемы стали использовать изоляцию  $n$ -канальных и  $p$ -канальных транзисторов изоляцией. Изначально была разработана так называемая *LOCOS* изоляция (рис. 1.17.6). В сравнении с общим защитным слоем она обеспечивает лучшую изоляцию, меньшую высоту шага и менее крутую боковую стену. Однако у нее есть и ряд недостатков:

- неравномерная поверхность;
- дефект типа «птичий клюв».

Кроме того, *LOCOS* изоляцию невозможно использовать для проектных норм, менее 0,8 мкм.



**Рис. 1.17.16.** Формирование *LOCOS* изоляции:

а – оксидирование контактной площадки, осаждение нитрида и формирование рисунка; б – *LOCOS* оксидирование; в – удаление защитного нитрида кремния и диоксида кремния с контактной площадки

Для проектных норм менее 0,8 мкм вместо *LOCOS* изоляцию стала использоваться *STI* изоляция (рис. 1.17.17). В этой технологии сначала вытравливается кремний в областях, где будет формироваться изоляция, затем проводится *LPCVD SiO<sub>2</sub>*. Затем последовательно формируются  $p$ -карман и  $n$ -карман, в которых в дальнейшем формируются  $n$ -канальный и  $p$ -канальный транзисторы. Поликремниевые затворы сбоку защищаются так

называемым спейсером – специальная область из нитрида кремния, выполняющая роль боковой изоляции.

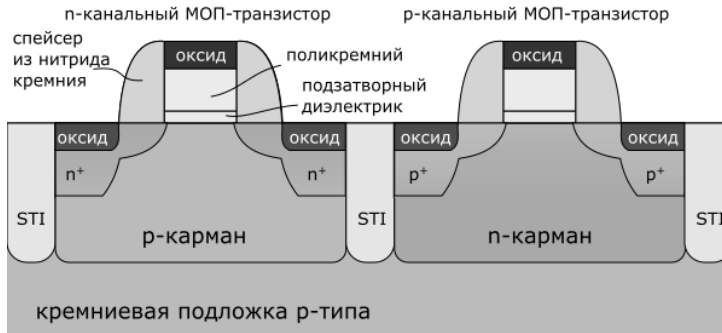
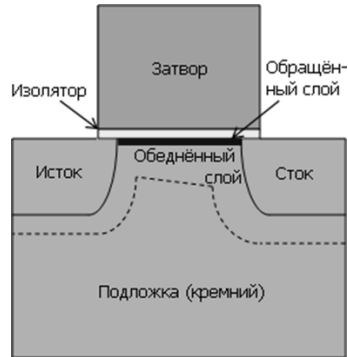


Рис. 1.17.17. КМОП-структура с *STI* изоляцией

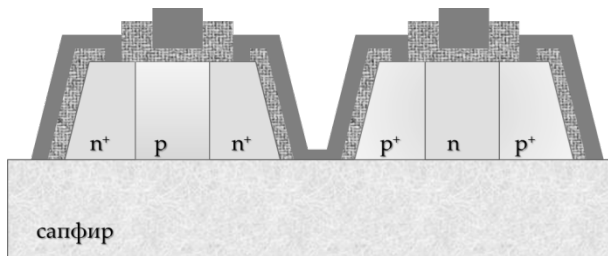
С уменьшением проектных норм увеличиваются токи утечки, что связано, в том числе, с квантовыми эффектами. Например, при уменьшении толщины подзатворного диэлектрика начало возникать туннелирование электронов. Чтобы снизить токи утечки из-за туннелирования для проектной нормы 45 нм пришлось заменить для подзатворного оксинитрид кремния, применявшийся с проектной нормы 90 нм, на оксинитрид кремния-гафния ( $HfSiON$ ), имеющий более высокий коэффициент диэлектрической проницаемости  $k=20\dots40$ , что позволило увеличить толщину диэлектрика в несколько раз и значительно снизить ток утечки. Однако это привело к необходимости заменить материал затвора – вместо поликремния стал использоваться металлический затвор. Причём для *n*-канального и *p*-канального транзистора он разный. Эти транзисторы получили название *HKMG* (High-*k* [dielectric and] Metal Gate, т. е. изолятор с высокой диэлектрической проницаемостью и металлический затвор).

Другой причиной токов утечки является наличие обедненного слоя, возникающий, когда в канале полем затвора формируется обращённый слой (рис. 1.17.18). Подложка, даже если она заземлена, вытягивает часть носителей заряда в обеднённый слой.



**Рис. 1.17.18.** Обедненный слой в КМОП-структуре

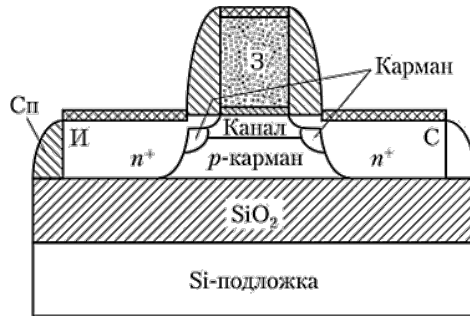
Чтобы избежать его образования и, соответственно, токов утечки, можно размещать транзисторы на непроводящем основании. Одной из первых таких технологий была «кремний на сапфире» (КНС), при которой кремниевые транзисторы в виде островков размещались на подложке из сапфира (рис. 1.17.19). Сапфир имеет хорошее кристаллографическое сопряжение с кремнием, внутренние механические напряжения малы. Изоляция в данном случае осуществляется не  $p-n$  переходом, а диэлектриком, что устраняет токи утечки и повышает устойчивость к температурным и радиационным воздействиям. Кроме того, отсутствуют паразитные емкости. В первую очередь такие транзисторы использовались для создания радиационно-стойких микросхем. Однако данная технология сложна и очень дорога.



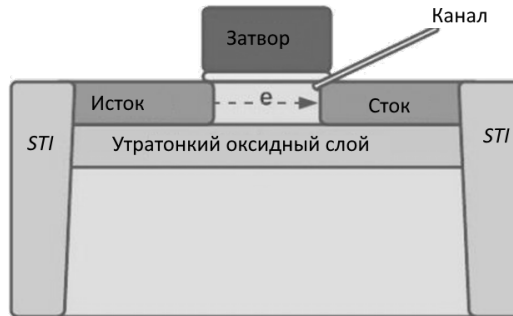
**Рис. 1.17.19.** Структура КНС транзисторов

Подобный принцип изоляции используется в технологии «кремний на изоляторе» (КНИ, в англоязычных источниках – *SOI*). В ней используется многослойная подложка, в которой транзисторы располагаются на слое диоксида кремния (рис. 1.17.20). Также как и в КНС, подобная изоляция делает ее устойчивой к температурным и радиационным воздействиям, устраняет токи утечки и повышает быстродействие. При этом КНИ транзисторы используются не только для создания радиационно-стойких

микросхем, но и в бытовой технике. Хотя дороговизна подложек ограничивает ее использование, но технология *FDSOI* (рис. 1.17.21) с проектными нормами 28-22-20 нм, активно рекламируются как платформы для микросхем интернета вещей, поскольку потребление электроэнергии для них сокращается во много раз.



**Рис. 1.17.20.** Структура КНИ транзистора; И – исток, С – сток, З – затвор, Сп – спейсер



**Рис. 1.17.21.** *FD-SOI* транзистор

Уменьшать транзисторы до бесконечности не получится, поскольку, поскольку начинают сказываться короткоканальные эффекты, возникающие, когда на контролируемую затвором область канала начинают влиять линии электрического поля от истока и стока. В результате если канал окажется слишком коротким, транзистор будет работать как резистор. Длина канала классического полевого транзистора не может быть меньше 20...25 нм.

Чтобы бороться с токами утечки и продолжать уменьшать размеры транзисторов, фирма *Intel* при переходе на проектную норму 22 нм применил другой тип транзисторов – *FinFET*. В русскоязычной литературе этот тип транзисторов обычно называют англоязычным термином, хотя

встречается и названия «транзистор с каналом-плавником», «плавниковый транзистор».

В *FinFET*-транзисторах канал не плоский и находящийся прямо под поверхностью подложки, как обычного планарного (плоского) МОП-транзистора, а образует вертикальный плавник (*Fin*), выступающий над поверхностью и с трех сторон окруженный затвором (рис. 1.17.22). Таким образом, все пространство между стоком и истоком контролируется затвором, и статические утечки очень сильно уменьшаются.

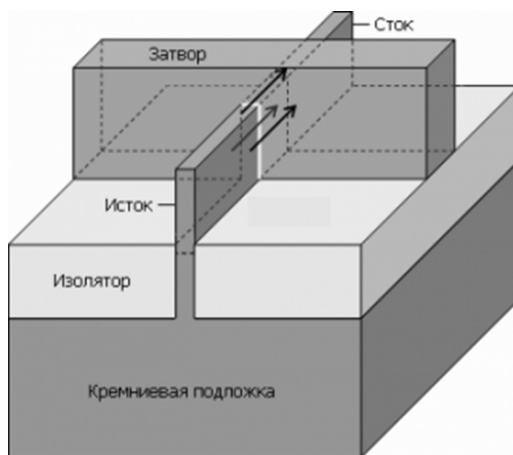


Рис. 1.17.22. *FinFET*-транзистор

Вертикальность канала в *FinFET*, кроме всего прочего, позволяет экономить на площади ячейки, потому что *FinFET* с широким каналом довольно узок в проекции. У транзисторов фирмы *Intel*, изготовленных по проектной норме 14 нм, ширина плавника составляет всего 8 нм при дине канала 42 нм.

При этом *FinFET*-транзисторы имеют и свои недостатки. Чтобы управлять большим током и быстрее включать и выключать транзистор, необходимо регулировать геометрию канала. В планарных транзисторах этого добиваются, изменяя ширину канала, однако у *FinFET*-транзисторов нет такой гибкости: из-за особенностей технологии менять высоту «плавника» невозможно. В настоящее время разработчики микросхем решают эту проблему, создавая отдельные транзисторы с несколькими «плавниками» (рис. 1.17.23), что позволяет увеличить ток, протекающий через транзистор, и уменьшить сопротивление канала в транзисторе. Кроме того, дополнительного улучшения характеристик транзисторов удалось достигнуть, изменив полупроводниковый материал канала транзистора. Подложка микросхемы, изготовленная из кремния *Si*, теперь выступает только в качестве конструкционного материала, на котором выращивается

кристалл  $GeSi$ , в котором носители заряда обладают большей подвижностью.

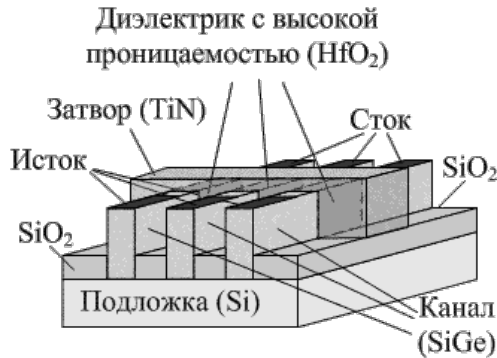


Рис. 1.17.23. Упрощенная конструкция трехзатворного *FinFET*-транзистора

Другим недостатком *FinFET* является то, что его затвор окружает прямоугольный кремниевый «плавник» только с трех сторон, оставляя нижнюю сторону соединенной с корпусом транзистора. Это создает токи утечки, когда транзистор выключен. Многие исследователи полагают, что для получения полного контроля над областью канала затвор должен полностью окружать его. В результате к 2003 году появились транзисторы *GAAFET*, в котором инженеры превратили область канала в узкую нанопроволоку, которая соединяет исток и сток и окружена затвором со всех сторон (рис. 1.17.24, а). Но узкий канал лишь минимизирует токи утечки, когда транзистор выключен. При этом остается мало места для потока электронов при включенном транзисторе, что ограничивает максимальный ток и замедляет переключение транзистора.

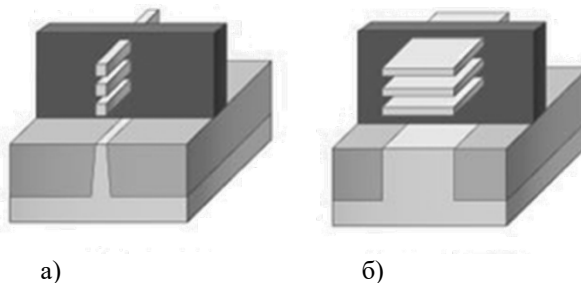


Рис. 1.17.24. Дальнейшая эволюция *FinFET*-транзисторов: а – *GAAFET* (с нанопроволокой); б – *MBCFET* (нанолистовой)

В 2006 году была продемонстрирована лучшая технология, в которой для соединения истока и стока вместо нанопроволоки использовалась стопка тонких листов кремния. Эти транзисторы получили название *MBCFET* (рис.



1.17.24, б). В итоге при небольших размерах транзистора увеличивается ширина канала, а ток утечки жестко контролируется. При этом нанолитовой дизайн восстанавливает гибкость формы транзистора, потерянную при переходе на *FinFET*: листы можно сделать широкими, чтобы увеличить ток, или узкими, чтобы ограничить энергопотребление. В настоящее время многие фирмы взяли на вооружение данный тип транзистора.

### 1.17.6. СОВМЕЩЕННЫЕ МИКРОСХЕМЫ

В обычных полупроводниковых микросхемах пассивные компоненты выполняются на основе транзисторной структуры (рис. 1.17.25). Одной из проблем, которая возникает при проектировании интегральных микросхем – большая площадь, которую занимают пассивные компоненты. Выходом может стать использование совмещенных микросхем. Основная идея их заключается в том, что активные компоненты выполняются в приповерхностном слое методами планарной технологии. Пассивные же компоненты реализуются с использованием тонкопленочной технологии (рис. 1.17.26).

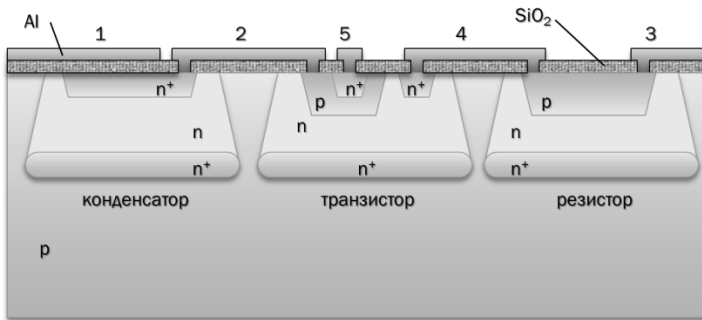


Рис. 1.17.25. Планарно-диффузионная микросхема

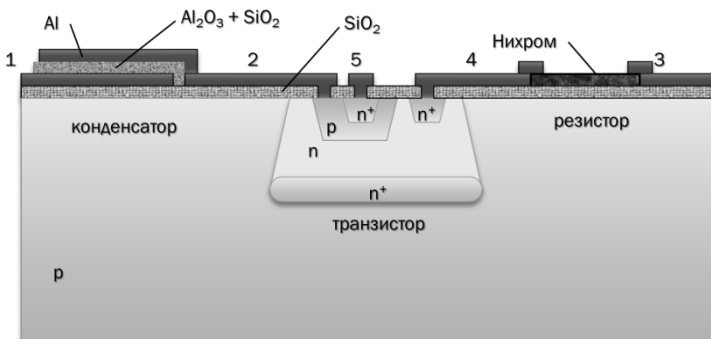


Рис. 1.17.26. Совмещенная микросхема

Использование совмещенных микросхем усложняет изготовление устройств и увеличивает их стоимость, однако они обладают лучшими параметрами. Кроме того, пассивные элементы, выполненные по пленочной технологии, можно создать с большим диапазоном их номинальных значений и с более высокой температурной стабильностью параметров, чем по полупроводниковой технологии.

### 1.17.7. ФОРМИРОВАНИЕ СЛОЕВ МЕТАЛЛИЗАЦИИ

Межсоединения являются важной частью конструкции микросхем, обеспечивая электрический контакт между отдельными элементами. В качестве материала проводников долгое время использовался алюминий.

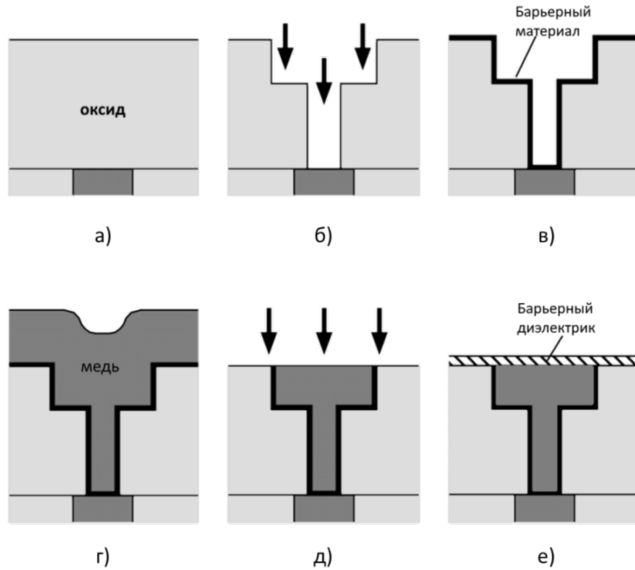
Формирование межсоединений с использованием алюминиевых проводников выполняется в несколько этапов. Сначала в слое диэлектрической изоляции формируются контактные окна. Далее на поверхность диэлектрика наносится сплошная алюминиевая пленка (либо напылением, либо *CVD*). Затем в пленке с помощью фотолитографии формируется рисунок межсоединений. Травление алюминия чаще всего проводится плазмохимическим методом. В случае, если нужно нанести еще один или несколько слоев металлизации, поверх первого слоя использованием *CVD* осаждается диэлектрик, после чего цикл повторяется.

Увеличение сложности микросхем приводило к тому, что увеличивалось тепловыделение. Одной из причин была относительно высокая удельная сопротивляемость алюминия. Решением этой проблемы могло стать замена алюминиевых проводников на медные, поскольку этот материал имеет более низкое удельное сопротивление, однако внедрение этого материала в производство микросхем растянулось на много лет. Основная причина этого заключалась в том, что после осаждения меди при дальнейших процессах нагрева она диффундирует (внедряется) в подлежащие элементы, особенно в кремний, что даже получило термин «медное отравление».

Задача внедрения медных проводников была решена фирмой *IBM* в 1997 году. Из-за её химической стойкости медь нельзя протравить плазмой сквозь окна в фоторезисте, не удалив при этом маскирующую часть самого резиста, как это делается для алюминия. Вместо этого была разработана технология, получившая название «двойной дамасский процесс» (*dual damascene process*). Названием технология обязана схожестью с известным со средних веков методом получения дамасской стали.

Последовательность изготовления медных проводников следующая. Сначала в изоляторе, осажденном на подложку или на предыдущий слой металлизации (рис. 1.17.27, а) протравливаются канавки для дорожек (рис. 1.17.27, б). Травление проводится в 2 этапа: сначала вытравливаются окна для контактов с нижним слоем металлизации или подложки, затем – область

для проводников. Далее вся поверхность выстилается барьерным материалом (чаще всего – нитрид титана или вольфрама), не допускающим диффузии, но пропускающим ток (рис. 1.17.27, в). Толщина этого слоя должна быть небольшой, т. к. его сопротивление всё же меньше, чем даже у алюминия. Далее на всю поверхность осаждают толстый слой меди, переполняющий канавки (рис. 1.17.27, г). Для этого используется одна из разновидностей методов *CVD*.



**Рис. 1.17.27.** Двойной дамасский процесс: а – нанесение оксидной пленки; б – двухэтапное травление оксидной пленки; в – осаждение барьерного материала; г – осаждение меди; д – удаление излишков меди; е – осаждение барьерного диэлектрика

Для удаления излишков меди используется химико-механическая планаризация. Процесс останавливается после удаления барьерного материала на границе диэлектрика (рис. 1.17.27, д). После этого осаждается барьерный диэлектрик (рис. 1.17.27, е), чтобы исключить диффузию меди. Если необходим еще один слой металлизации, процесс повторяется.

В результате на кристалле остаётся очень плоский слой с внедрёнными медными дорожками, не выходящими по высоте из окружающего изолятора. Медные проводники оказываются замурованными в слой барьерного материала. В результате использования данной технологии исключен контакт меди с кремнием. Но в современных микросхемах контакт с подложкой обычно выполняется из вольфрама.

**ТЕСТЫ К ЛЕКЦИИ 17**

Вопрос 1	В какой области обычно выполняется полупроводниковый резистор
Ответы:	
1	Базовой.
2	Коллекторной.
3	Эмиттерной.
Вопрос 2	Какой тип транзистов используется при проектных нормах менее 14 нм?
Ответы:	
1	<i>FinFET</i>
2	КНС
3	КНИ