

**Цель проекта:** В курсовом проекте необходимо разработать топологию кристалла цифрового устройства согласно варианту задания, выполненного по КПОП-технологии.

### 3.1. КРАТКОЕ СОДЕРЖАНИЕ ПРОЕКТА

При выполнении данного курсового проекта студенты приобретают базовые навыки конструкторского и топологического проектирования цифровых устройств в виде базовых матричных кристаллов (БМК) твердотельных интегральных микросхем. При этом в первую очередь используются ранее приобретенные ими знания, умения и навыки, полученные при изучении таких дисциплин как физика, физико-химические основы микро- и нанотехнологий, материаловедение и материалы электронных средств, схемотехническое проектирование электронных схем, технологические процессы микроэлектроники и ряда других.

В качестве исходных данных проекта может быть взято цифровое устройство, которое было ранее разработано студентом в рамках курса цифровой схемотехники, иное устройство, выбранное студентом самостоятельно и согласованное с преподавателем, либо устройство по заданию преподавателя.

В структурном отношении курсовой проект делится на два раздела – схемотехническое (этап 1) и топологическое (этапы 2 – 6) проектирование кристалла микросхемы, и выполняется поэтапно в приведенной ниже последовательности.

*Этап 1.* Студент анализирует выбранную принципиальную электрическую схему цифрового устройства и определяет набор базовых логических элементов (БЛЭ), необходимых для его реализации в виде полупроводниковой ИС. Также проводится моделирование работы выбранной схемы в любой соответствующей программе моделирования, например, PSPICE (DesignLab), строятся временные диаграммы работы схемы, иллюстрирующих и доказывающих правильность ее работы.

*Этап 2.* Выбирается технологический процесс изготовления ИС (в качестве типового процесса предлагается КМОП-технология) и определяются основные проектные топологические нормы – ограничения, которым будет удовлетворять проектируемый БМК согласно выбранной технологии его изготовления. Нормы фиксируются в таблице «Проектные топологические нормы».

Выполняется структурно-топологический расчет МОП-транзисторов, на основе которых будут далее проектироваться базовые логические элементы (БЛЭ).

*Этап 3.* Осуществляется «покрытие» принципиальной электрической схемы выбранным набором БЛЭ, определяется необходимое их число по каждому элементу набора с присвоением БЛЭ порядковых номеров. Этап