

заканчивается разработкой документа «Схема принципиальная электрическая устройства в базе основных логических элементов».

Этап 4. Студент разрабатывает топологии БЛЭ из выбранного набора, используя разработанный на этапе 2 документ «Проектные топологические нормы».

Этап 5. Студент осуществляет общую конструкторско-топологическую компоновку БМК, уделяя внимание размещению шин «Земля» и «Питание», размеру и расположению контактных площадок.

Спроектированный кристалл помимо базовых логических вентилях должен содержать схемы защиты входных узлов БМК от действия статического электричества и уможощняющие каскады.

На кристалле необходимо также разместить некоторое количество незадействованных вентилях.

Разводка сигнальных цепей выполняется студентом вручную, но может быть использована и любая программа автоматизированной трассировки.

Этап заканчивается выполнением документа «Схема расположения на БМК основных логических элементов», с помощью которой можно установить взаимно однозначное соответствие между пронумерованным БЛЭ на «Схеме принципиальной электрической устройства в базе основных логических элементов» и его месторасположением на топологии кристалла.

Этап 6. Студент, пользуясь спроектированной им топологией, разрабатывает комплект конструкторской документации для изготовления фотошаблонов, являющихся инструментом изготовления кристалла ИС, в виде послойных чертежей топологических слоев технологического процесса его производства для позитивного литографического процесса.

3.2. ПОДРОБНОЕ СОДЕРЖАНИЕ ПРОЕКТА

3.2.1. РАЗДЕЛ СХЕМОТЕХНИЧЕСКОГО ПРОЕКТИРОВАНИЯ

На этапе схемотехнического проектирования студенту предоставляется возможность самому разработать принципиальную электрическую схему заданного в техническом задании цифрового устройства и моделированием, например, в среде PSPICE (DesignLab) или Proteus проверить правильность его работы, получив соответствующие временные диаграммы. В качестве моделей БЛЭ рекомендуется использовать библиотеку SPICE-моделей КМОП-логических элементов серии 74НС, которые по своим функциональным параметрам наиболее близки к КМОП-логическим элементам, обычно применяемым в СБИС цифровых устройств.

Для получения временных диаграмм следует использовать режим моделирования “Transient”. Полученные временные диаграммы вместе с принципиальной электрической схемой разработанного цифрового устройства

необходимо вставить в схемотехническую часть расчетно-пояснительной записки курсового проекта.

На рис. 3.2.1 ниже представлен пример выполненной в среде Proteus v8.12 временной диаграммы, а в таблице 3.2.1 – таблицы истинности приоритетного шифратора 8х3, имеющего восемь информационных входов $X_0 - X_7$, вход разрешения E и пять выходов – три инверсных выходного кода $Y_0, Y_1, Y_2; G$ – признака подачи входного сигнала и P – переноса. Если на всех информационных входах микросхемы лог. 1, на выходах Y_0, Y_1, Y_2, G – лог. 1, на выходе P – лог. 0. При подаче лог. 0 на любой из информационных входов $X_0 - X_7$ на выходах 1, 2, 4 появляется инверсный код, соответствующий номеру входа, на который подан лог. 0, на выходе G – лог. 0, что является признаком подачи входного сигнала, на выходе P – лог. 1, которая запрещает работу других подобных ИС при их каскадном соединении. Если лог. 0 будет подан на несколько информационных входов ИС, выходной код будет соответствовать входу с бóльшим номером. Так ИС работает при подаче на вход E лог. 0, если же на входе E лог. 1 (запрет работы), на всех шести выходах ИС лог. 1.

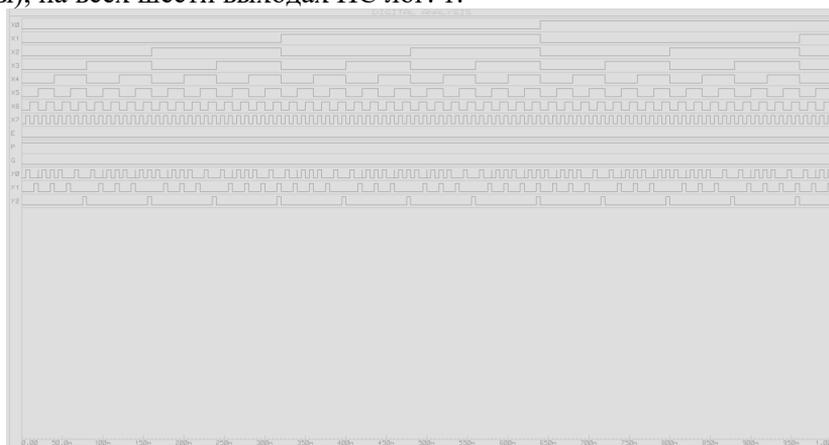


Рис. 3.2.1. Временная диаграмма работы приоритетного шифратора 8х3

Таблица 3.2.1.

Таблица истинности приоритетного шифратора 8x3

Выходы									Входы				
E	X7	X6	X5	X4	X3	X2	X1	X0	Y2	Y1	Y0	G	P
1	X	X	X	X	X	X	X	X	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1	1	0
0	1	1	1	1	1	1	1	0	1	1	1	0	1
0	1	1	1	1	1	1	0	X	1	1	0	0	1
0	1	1	1	1	1	0	X	X	1	0	1	0	1
0	1	1	1	1	0	X	X	X	1	0	0	0	1
0	1	1	1	0	X	X	X	X	0	1	1	0	1
0	1	1	0	X	X	X	X	X	0	1	0	0	1
0	1	0	X	X	X	X	X	X	0	0	1	0	1
0	0	X	X	X	X	X	X	X	0	0	0	0	0

3.2.2. РАЗДЕЛ ТОПОЛОГИЧЕСКОГО ПРОЕКТИРОВАНИЯ

II

Принципы организации топологического проектирования

Топологическое проектирование ИС предполагает иерархический переход от простых электронных элементов и приборов (резисторов, диодов, транзисторов) через логические элементы, элементы памяти и устройства на их основе (сумматоры, дешифраторы, мультиплексоры, запоминающие устройства и т.п.) к законченной системе/подсистеме, реализуемой в одном кристалле.

На любой стадии проектирования основная задача конструктора – обеспечить максимальное быстродействие при одновременной минимизации площади кристалла создаваемой ИС. На стадии топологического проектирования отдельных электронных элементов конструктор стремится реализовать минимальные размеры при обеспечении рабочих токов, напряжений, заданных номиналов и точности сопротивлений с опорой на электрические характеристики, полученные на этапе схмотехнического проектирования.

На уровне наборов логических элементов достижение оптимальных результатов проектирования предусматривает минимизацию длин связей между отдельными элементами, которая достигается рациональным их размещением (компоновкой) и плотной упаковкой. Одним из подходов, сокращающим время на разработку, заключается в использовании БМК. Такие кристаллы в составе групповой пластины содержат одинаковые наборы БЛЭ, расположенных в виде регулярной матрицы (с постоянным шагом) – в этом случае генератор изображений формирует топологию лишь одного

набора, а матричное размещение достигается мультиплицированием с помощью фотоповторителя. Коммутация БЛЭ путем создания соответствующих соединений позволяет реализовать на основе одной и той же структуры БМК цифровые устройства различного назначения.

Разработка топологии ИС может осуществляться методом полного проектирования, начиная с электронных элементов и приборов, методом библиотечных (стандартных) элементов и с помощью БМК. В первом случае принятые к разработке ИС иногда называют заказными, во втором и третьем случаях – полузаказными. Следует отметить, что применение библиотек и БМК приводят к избыточности элементов на кристалле ИС, увеличению площади кристалла и, следовательно, к увеличению длины связей, что является платой за сокращение сроков разработки. Сравнительная характеристика (и относительных единиц) трех упомянутых методов приведена в таблице 3.2.2. Рентабельность их применения определяется, в частности, степенью интеграции проектируемого кристалла ИС и годовой программой выпуска. Очевидно, что экономическая оправданность применения метода полного проектирования будет реализована при сравнительно больших программах выпуска – порядка сотен тысяч и миллионов изделий в год; применение же метода БМК более оправдано при выпуске небольших серий ИС, исчисляемых десятками тысяч.

В курсовом проекте студент проектирует ИС методом БМК.

Таблица 3.2.2.

Сравнительная характеристика методов разработки топологии ИС

Характеристика	Полное проектирование	Метод БМК	Метод стандартных ячеек
Длительность разработки	1	0,3...0,4	0,2
Площадь кристалла	1	1,2...1,5	1,7...2,2
Кол-во специальных шаблонов	8...12	3...7	3...7

Некоторые правила разработки топологии

Важнейшее требование при разработке – минимизация площади ИС, что обеспечивает малую суммарную длину связей и при определенной плотности дефектов повышает процент выхода годных кристаллов. С учётом этого требования конструктор при проектировании топологии БЛЭ должен руководствоваться следующими основными правилами:

- применять элементы минимальной площади, ограниченной нагрузочной способностью транзисторов и диодов и точностью резисторов с учётом возможностей технологии;
- проектировать минимально возможное число изолированных областей, следуя принципу функциональной интеграции элементов,

т.е. в данном случае объединять в одну область элементы, имеющие общий потенциал (постоянный или переменный) и одинаковый тип проводимости;

- при компоновке стремиться к квадратной форме БЛЭ и ИС в целом, что обеспечивает минимум суммарной длины межэлементных связей;
- в качестве начального варианта размещения элементов в БЛЭ можно принять их расположение на принципиальной электрической схеме;
- входы и выходы БЛЭ должны быть по возможности удалены друг от друга; контактные площадки входных и выходных сигналов желательно располагать на разных сторонах кристалла;
- учитывая принцип формирования элементов топологии генератором изображений, не применять межсоединения переменной ширины; все элементы соединений (как и элементы любого топологического слоя) должны по форме представлять собой прямоугольники или их сочетание;
- по мере возможности располагать поликремниевые межсоединения вертикально, а металлические – горизонтально; шины питания и земли выполнять металлическими и располагать параллельно другим металлическим межсоединениям;
- выполнять длинные межсоединения металлическими, поликремниевые шины использовать для коротких соединений, так чтобы их сопротивление не затрудняло обеспечение рабочих режимов устройства;
- в тех случаях, когда поликремниевое соединение проходит под металлическим, необходимо в целях уменьшения паразитных емкостей максимально сокращать длину участка, находящегося под металлом (разделяющий их слой диэлектрика имеет относительно малую толщину);
- пересечения в электрических цепях можно реализовать над окислом с помощью проводника, проходящего поперек резистора, или под окислом с помощью n^+ (или p^+) канала. Во втором случае может понадобиться специальная изолированная область. В КМОП-структурах с поликремниевыми затворами пересечение может быть выполнено проводником поверх и поперёк затвора, поскольку последний имеет на поверхности защитную плёнку оксида.

Прочие рекомендации будут рассмотрены ниже применительно к конкретным топологическим элементам.

Топологическое проектирование кристалла

Курсовой проект реализуется на КМОП-технологии как типовом процессе. Как было указано выше, этап топологического проектирования включает в себя следующие шаги:

1. Разработку документа «Проектные топологические нормы». В качестве исходных данных для его составления служит заданный в техническом задании на курсовую работу размер ширины поликремниевого затвора МОП-транзистора. Пользуясь им, можно определить размеры всех остальных элементов всех топологических слоев.

Заметим, что ширина поликремниевого затвора в КМОП-технологическом процессе является минимальным топологическим размером. Все остальные топологические размеры элементов во всех остальных слоях должны быть больше ширины поликремниевого затвора.

2. Структурно-топологический расчет МОП-транзисторов, как основа дальнейшего проектирования БЛЭ (содержание расчета см. в конце данного раздела).

3. Проектирование топологии базовых топологических элементов. Как правило, к ним относятся топологии логического элемента «НЕ» (инвертора), логических элементов «И-НЕ», «ИЛИ-НЕ» и двунаправленного ключа.

Топологии более сложных цифровых элементов, таких как, например, триггер, всегда реализуются с использованием указанных выше базовых логических элементов.

Топологии всех элементов должны быть спроектированы с учетом топологических норм документа, разработанного на шаге 1 этапа топологического проектирования (см. таблицу 3.2.3).

Таблица 3.2.3.

Проектные топологические нормы разрабатываемого кристалла цифровой схемы

№ п/п	Проектная норма	Величина, мкм
1	Минимальная ширина поликремниевой области	3,0
2	Минимальная ширина p^- -области	18,0
3	Минимальное расстояние между соседними p^- -областями	8,0
4	Минимальное расстояние между соседними поликремниевыми областями	5,0
5	Минимальный размер p^+ -области	11,0
6	Минимальный размер n^+ -области	20,0
7	Минимальное расстояние между соседними n^+ - и p^+ -областями	6,0
8	Минимальный размер контактного окна в области тонкого диэлектрика	7,0x7,0
9	Минимальный размер контактного окна к n^+ -области	7,0x7,0
10	Минимальный размер контактного окна к p^+ -области	7,0x7,0
11	Минимальный размер контактного окна к области поликремния	7,0x7,0
12	Минимальное расстояние между контактным окном и границей области поликремния	2,0
13	Минимальная ширина дорожки металлизации на коротком участке	10,0
14	Минимальная ширина дорожки металлизации на длинном участке	12,0
16	Минимальное расстояние между соседними дорожками металлизации	10,0
17	Минимальное перекрытие контактного окна областью металлизации	1,0
18	Минимальный размер контактного окна в области пассивации	80,0x80,0
19	Минимальное перекрытие области металлизации областью пассивации	5,0
20	Полуширина скрайберной дорожки	40,0
21	Минимальное расстояние от границы скрайберной дорожки до границы контактной площадки	20,0

Пример топологии каждого из перечисленных выше элементарных логических элементов приведены на рис. 3.2.2 – 3.2.7.

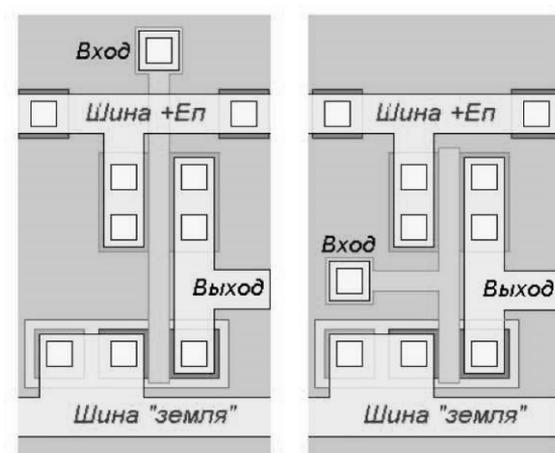


Рис. 3.2.2. Варианты топологической реализации логического элемента «НЕ»

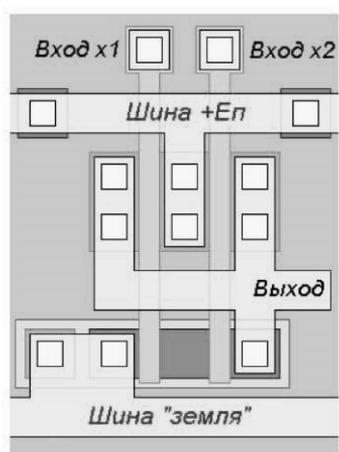


Рис. 3.2.3. Вариант топологической реализации логического элемента «2И-НЕ»

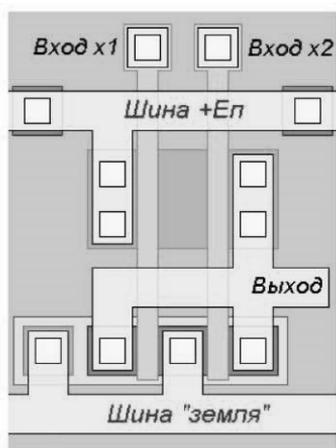


Рис. 3.2.4. Вариант топологической реализации логического элемента «2ИЛИ-НЕ»

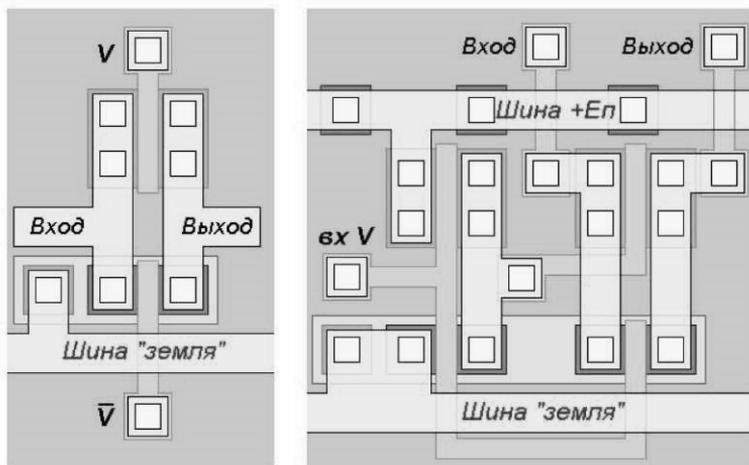


Рис. 3.2.5. Вариант топологической реализации логического элемента «Двунаправленный ключ» (слева) и его топологическая реализация вместе со схемой управления (справа)

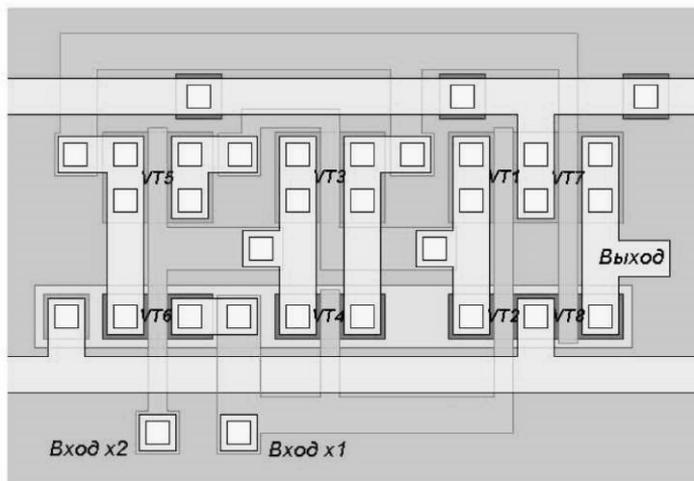


Рис. 3.2.6. Вариант топологической реализации логического элемента «Исключающее «ИЛИ»

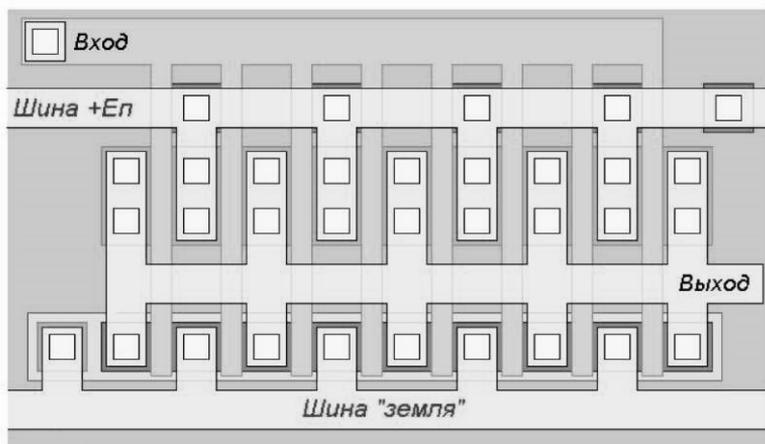


Рис. 3.2.7. Вариант топологической реализации каскада выходного уможнения сигнала (8 инверторов, включенных параллельно)

На рис.3.2.8 показан вариант топологической реализации каскада выходного уможнения сигнала, если в выбранном базисе БМЭ нет инвертора, но присутствуют элементы «2И-НЕ»/«3И-НЕ». В этом случае первый элемент группы («2И-НЕ») подключается с объединением входов и соответственно выполняет функцию инвертора, а последующие 7 элементов группы включены параллельно.

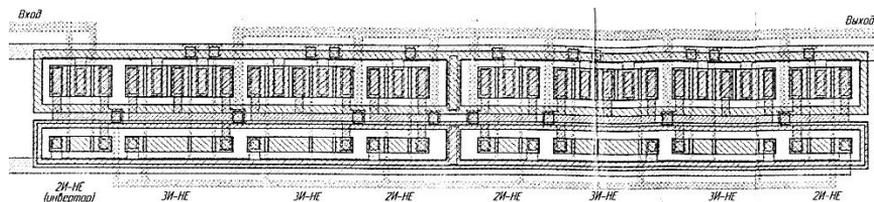


Рис. 3.2.8. Вариант топологической реализации каскада выходного уможощения сигнала (элемент 2И-НЕ с объединенными входами и группа из 7 элементов «2И-НЕ»/«3И-НЕ», включенных параллельно)

В конструкциях с КМОП-транзисторами имеются благоприятные условия для образования паразитных каналов. На рисунке 3.2.9 показан фрагмент структуры инвертора с КМОП-транзисторами. Паразитный r -канал образуется между областями 3 и 6 при отрицательном потенциале относительно подложки 1 на металлическом проводнике 4, соединяющем стоки 3 и 8 КМОП-транзисторов. Паразитный n -канал образуется между областями 1 и 8 при положительном потенциале на проводнике 4 относительно p -кармана. Эти каналы способствуют протеканию токов утечки между транзисторами за счет инверсии электропроводности полупроводникового материала на границе кремний – окисел.

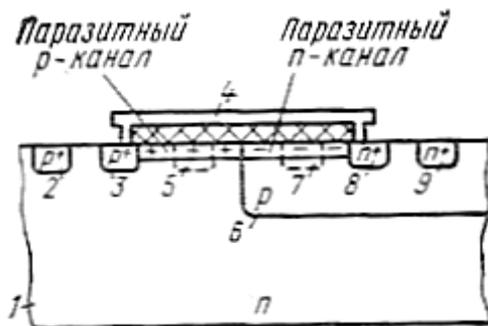


Рис. 3.2.9. Образование паразитных каналов в инверторе с активной нагрузкой: 1 – подложка; 2, 3 – исток и сток p -канального МОП-транзистора; 4 – металлический проводник; 5 – n^+ -КО; 6 – p -карман; 7 – p^+ -КО; 8, 9 – сток и исток n -канального МОП-транзистора

Одним из методов устранения паразитных каналов в КМОП-структурах является применение охранных колец или, иными словами, каналоограничительных областей (КО). Их формируют локальным легированием в процессе формирования стоков и истоков p - и n -канальных транзисторов. При этом каждый p - и n -канальный транзистор окружают КО соответственно n^+ и p^+ типов. Для лучшей изоляции на кольцо p^+ -типа подают самый низкий, а на кольцо n^+ -типа – самый высокий потенциал схемы ($U_{и.п.}^+$). В структуре на рисунке 3.2.9 КО поз. 5 (n^+) и поз. 7 (p^+) размещают в областях образования паразитных каналов. Применение КО существенно увеличивает

площадь элементов КМОП-ИС, поэтому при проектировании необходимо стремиться к уменьшению их количества, используя одну область на группу транзисторов.

При топологической разработке КМОП-структур прежде всего решают вопрос взаимной изоляции n-канальных и p-канальных транзисторов.

Логический элемент «ЗИЛИ-НЕ» (рис. 3.2.10, а) содержит МОП-транзисторы двух типов: n-канальные (активные) и p-канальные (нагрузочные). Для реализации КМОП-схемы истоки и стоки n-канальных транзисторов размещены в общей p-области (p-кармане), которая, в свою очередь (так же, как и истоки и стоки p-канальных транзисторов), сформирована непосредственно в исходной пластине n-типа (рис. 3.2.10, б). Во избежание образования паразитных каналов p- и n-типа проводимости группа p-канальных и группа n-канальных транзисторов охвачены КО соответственно n^+ - и p^+ -типа.

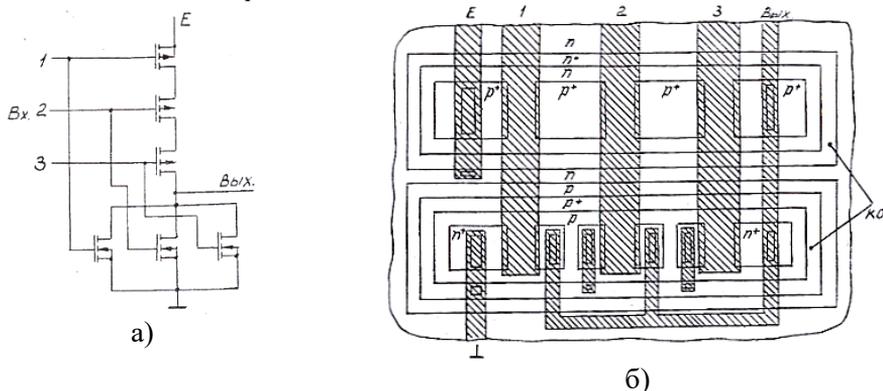


Рис. 3.2.10. Схема (а) и топология (б) логического элемента «ЗИЛИ-НЕ». КО – каналоограничительные области

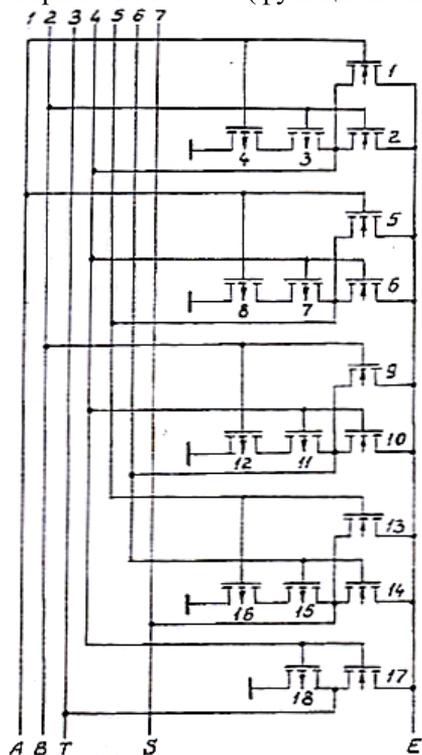
По поводу КО необходимо отметить, что, во-первых, паразитные каналы могут возникнуть только под проводниками, которые в этом случае играют роль затворов паразитных транзисторов, поэтому КО можно оформить в виде отдельных областей под проводниками; во-вторых, необходимость введения КО должна быть обоснована расчетом порогового напряжения паразитных транзисторов, и если это напряжение в 2-3 раза превышает напряжение питания, то необходимость в КО отпадает.

В приведенном примере КО используются также для получения омических контактов n-пластины с шиной питания E (n^+), а также p-кармана с земляной шиной (p^+). С помощью p^+ -КО к земляной шине подключены и истоки активных (n-канальных) транзисторов. Поскольку нагрузочные транзисторы включены последовательно, становится возможным объединение стоков и истоков транзисторов 1-2 и 2-3 (функциональная интеграция).

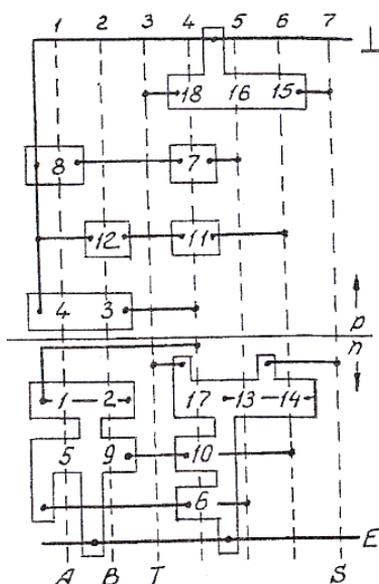
В общем случае отдельные участки КО могут быть использованы в качестве межсоединений при реализации пересечений.

КМОП-схема, приведенная на рисунке 3.2.11, а, состоит из четырех логических элементов «2И-НЕ» и одного инвертора. В качестве материала затворов использован поликремний, который наряду с металлом выполняет функции межсоединений (шины 3 – 7), а также позволяет реализовать пересечения. Компоновка транзисторов представлена на рис 3.2.11, б. Поликремниевые шины 1 – 7 размещены параллельно друг другу (штриховые линии). Шины питания и земли (перпендикулярные шинам 1 – 7) и металлические соединения показаны сплошными жирными линиями, диффузионные области транзисторов изображены прямоугольниками, контакты показаны черными кружками, области каналов под шинами поликремниевых затворов условно не показаны.

Транзисторы с каналами n-типа сгруппированы в р-кармане (верхняя часть рисунка 3.2.11, б), а группа р-канальных транзисторов находится непосредственно в пластине n-типа. Ответвления от диффузионных областей стоков и истоков также реализуют пересечения и способствуют более плотной компоновке транзисторов. Как и в предыдущем примере, области стоков и истоков последовательно включенных транзисторов совмещены согласно электрической схеме (функциональная интеграция).



а)



б)

Рис. 3.2.11. Схема (а) и компоновка (б) КМОП-схемы из четырех логических элементов «2И-НЕ» и одного инвертора

На рисунке 3.2.12 представлены схемы и топология совмещенной по аналогичным принципам группы в составе двух элементов «2И-НЕ» и двух элементов «3И-НЕ».

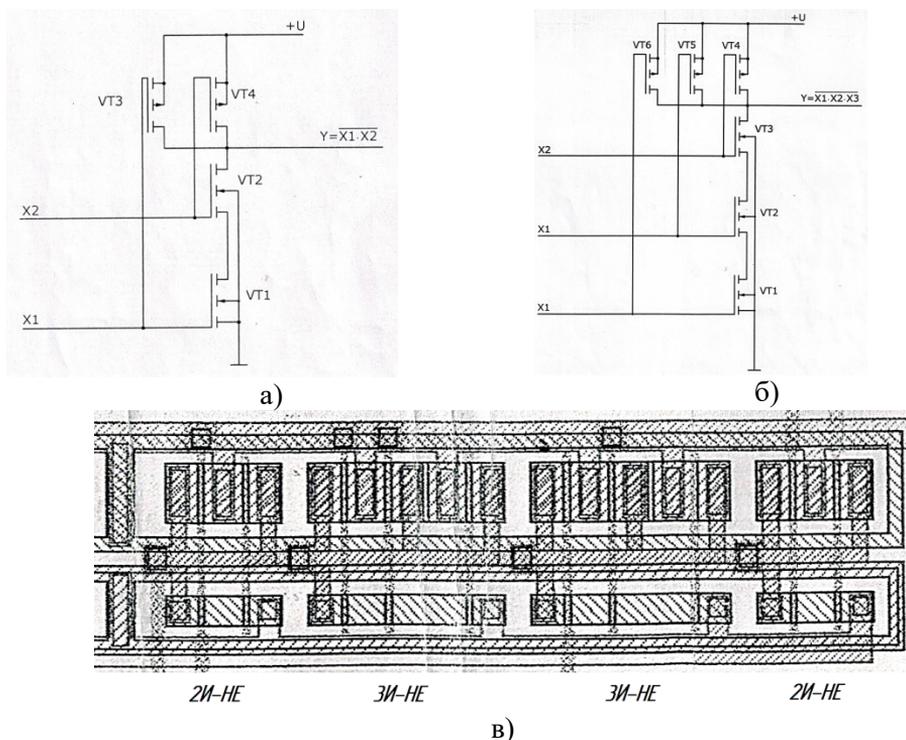


Рис. 3.2.12. Топологическая реализация (в) совмещенной группы из двух элементов «2И-НЕ» (а) и двух элементов «3И-НЕ» (б)

4. Разработка плана кристалла. На этом этапе необходимо составить план кристалла, который включает выбор места размещения всех входных и всех выходных сигналов, а также места расположения контактных площадок земли и питания. При этом контактные площадки всех входных сигналов и всех выходных сигналов располагают как можно дальше друг от друга. Контактные площадки «Земли» и «Питания» обычно располагают в углах кристалла по диагонали.

После завершения компоновки кристалла, включая расположение всех задействованных БЛЭ, выполняется упомянутый выше на этапе 5 документ «Схема расположения на БМК основных логических элементов» (пример приведен на рис.3.2.13). Каждый задействованный БЛЭ изображается прямоугольником с порядковым номером в соответствии с принципиальной

электрической схемой в базе выбранных БЛЭ. Умощняющие каскады (выделенные красным номера 98, 100, 102, 104, 106 на рисунке 3.2.13) обладают общим номером, без нумерации отдельных БЛЭ. Следует отметить, что реализация какого-либо устройства на базе БМК, как правило, оставляет незадействованными около 20-30% БЛЭ от их общего количества в составе БМК. Такие неподключенные элементы не нумеруются, а на чертеже совмещенной топологии отображаются как БЛЭ с выполненными диффузионными областями транзисторов и КО (при наличии) без выполнения затворов, контактных окон, поликремниевых и металлических соединений (рис. 3.2.14).

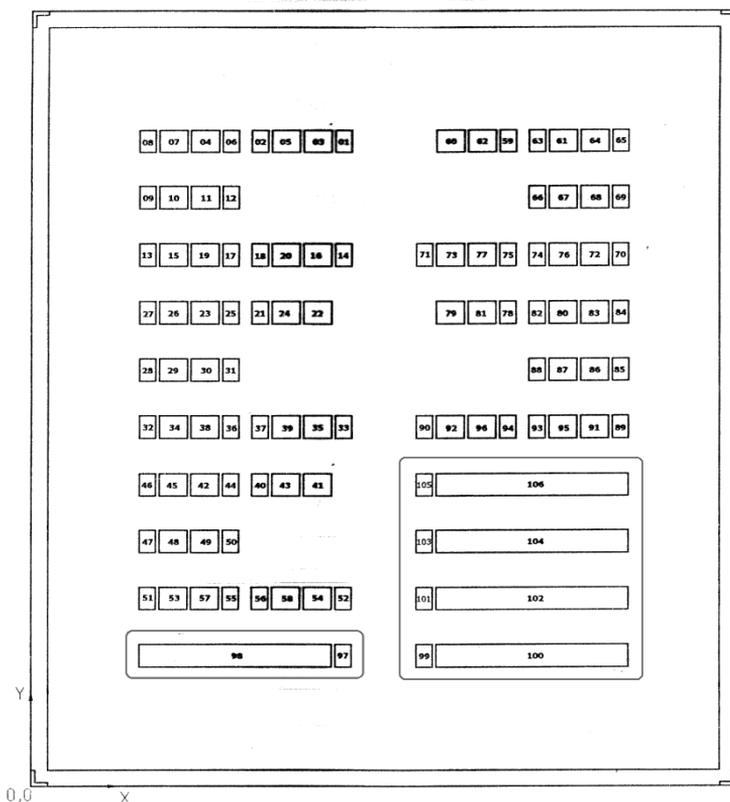


Рис. 3.2.13. Пример документа «Схема расположения на БМК основных логических элементов»

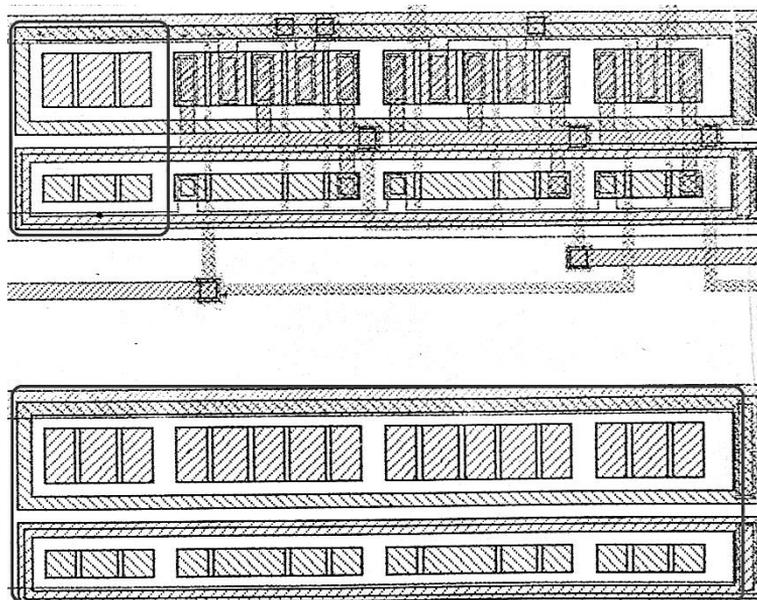


Рис. 3.2.14. Неподключенные (незадействованные) БЛЭ в составе БМК

5. Разработка топологии схемы защиты кристалла от воздействия статического электричества

Известно, что интегральные микросхемы, изготовленные по КМОП-технологическому процессу, чувствительны к воздействию статического электричества. Толщина подзатворного диэлектрика в МОП-транзисторах крайне мала (порядка нескольких нанометров), поэтому напряжение пробоя такого диэлектрика крайне мало и обычно не превышает напряжения питания микросхемы.

Чтобы избежать этого и сделать микросхему нечувствительной к воздействию статического электричества, все входы (а часто и выходы) снабжаются схемой защиты. Наиболее распространенной является диодная схема защиты, принципиальная электрическая схема которой приведена на рис.3.2.15.

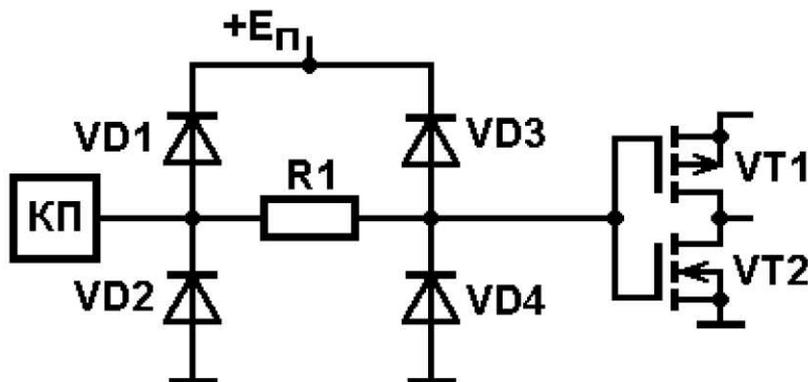


Рис. 3.2.15. Принципиальная электрическая схема диодной защиты

Схема работает следующим образом. Если напряжение на входной контактной площадке превысит величину $+E_{п}+U_{д}$, то диоды VD1 и VD3 открываются, и через них начинает протекать ток к шине источника питания. В результате напряжение на затворах входной пары КМОП-транзисторов ограничивается на этом уровне. И наоборот, если напряжение на входной контактной площадке станет ниже $-U_{д}$, то открываются уже диоды VD2 и VD4. Тогда ток через эти находящиеся в открытом состоянии диоды течет уже из земляной шины в направлении контактной площадки. Резистор большого номинала необходим для уменьшения тока, который может попасть на затворы входных МОП-транзисторов.

Топологический вариант реализации такой диодной схемы защиты показан на рисунке 3.2.16.

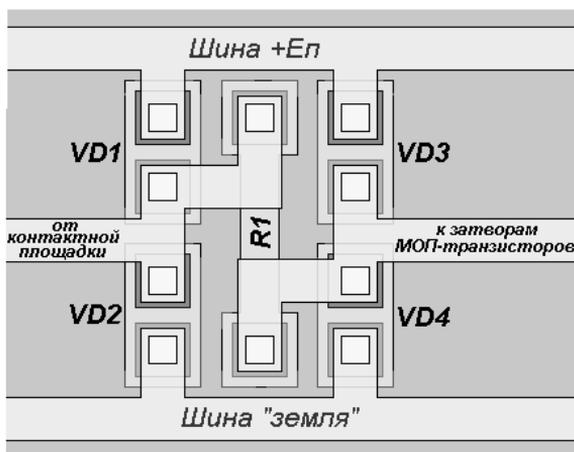
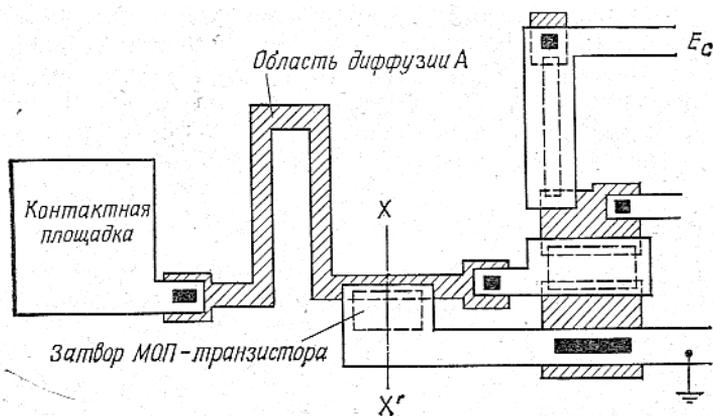


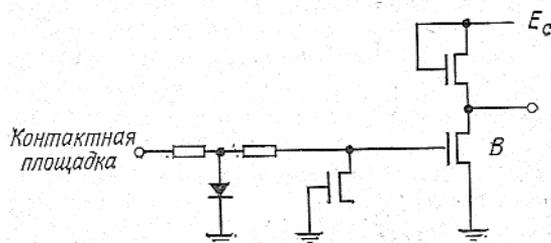
Рис. 3.2.16. Вариант топологической реализации схемы диодной защиты

На рис.3.2.17,а показана еще одна конфигурация схемы защиты совместно с контактной площадкой и МОП-ячейкой. На рис. 3.2.17, б приведена соответствующая электрическая схема, а на рис.3.2.17, в – сечение по линии X – X' на рис.3.2.17, а. При подаче на контактную площадку высокого напряжения диффузионная область (обозначенная как А на рис. 3.2.17, а), обычно работающая как резистор, выполняет функцию диода (между пластиной и собой), который пропускает ток и уменьшает тем самым напряжение, поступающее на затвор МОП-транзистора В (рис. 3.2.17, б).

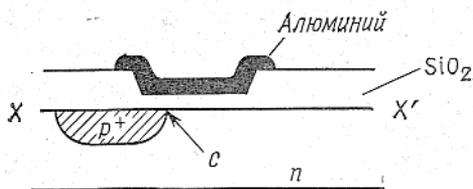
Работает данная схема следующим образом. При подаче на контактную площадку положительного напряжения ток протекает от диффузионной области к подложке, так как положительное напряжение приложено в прямом направлении диода, образованного диффузионной областью А и пластиной. При подаче на контактную площадку отрицательного напряжения небольшой ток протекает через диод в обратном направлении. В частности, ток большей величины протекает под алюминиевым электродом, где образуется сильное электрическое поле (указатель С на рис. 3.2.17, в), что приводит к падению напряжения на большом сопротивлении диффузионной области А, уменьшая тем самым напряжение, поступающее на затвор МОП-транзистора В. Топологическая реализация данной схемы представлена на рисунке 3.2.18.



а)



б)



в)

Рис. 3.2.17. Схема защиты на основе диффузионной области (диода) и МОП-транзистора: а) конфигурация; б) схема; в) сечение по линии X – X'

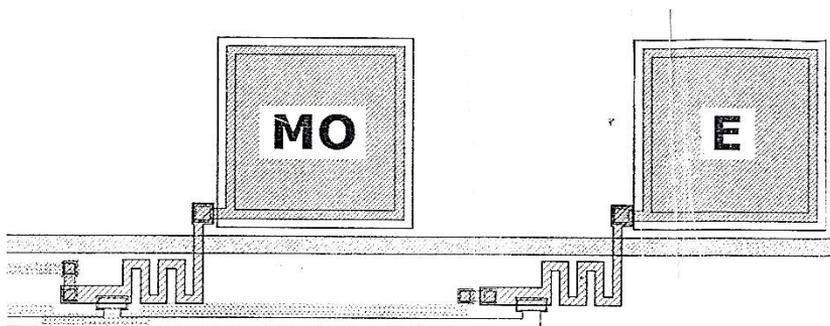


Рис. 3.2.18. Топологическая реализация схемы защиты на основе диффузионной области (диода) и МОП-транзистора

Следует отметить, что в проектируемом БМК следует предусмотреть размещение схемы защиты у каждой контактной площадки, вне зависимости от того, задействована ли она при реализации данного цифрового устройства на БМК, и следует ли использовать схему защиты для конкретной площадки (рис. 3.2.19).

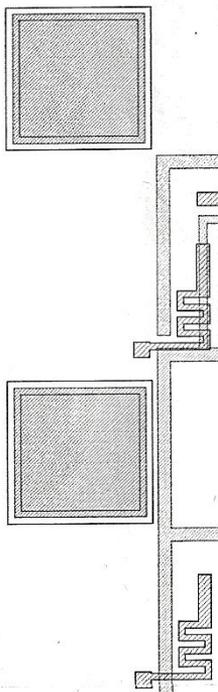


Рис.3.2.19.Размещение схем защиты у незадействованных контактных площадок БМК

6. Проектирование контактных площадок

Размер контактных площадок устанавливают в зависимости от диаметра алюминиевой или золотой проволоки, которая используется для разварки кристалла ИС в корпус. Еще 10 лет тому назад основным материалом для разварки кристаллов в корпус была отожженная золотая проволока марки *Au 999,9* диаметром *30 мкм*. В последнее время для разварки используется проволока меньшего диаметра – *25 мкм*.

Минимальный размер контактной площадки должен составлять не меньше трех диаметров проволоки, используемой для разварки. Это определяется точностью позиционирования технологического оборудования, используемого для автоматизированной разварки, поэтому минимальный

размер открытой части контактной площадки должен составлять не менее 80×80 мкм.

Кроме того, область металлизации контактной площадки должна примерно на 5 мкм с каждой стороны перекрываться сверху областью пассивации, поэтому размер контактной площадки по металлизации должен быть порядка 90×90 мкм.

Расстояние между соседними контактными площадками не должно быть меньше половины их ширины. Пример спроектированных нескольких находящихся рядом контактных площадок показан на рис.3.2.20.

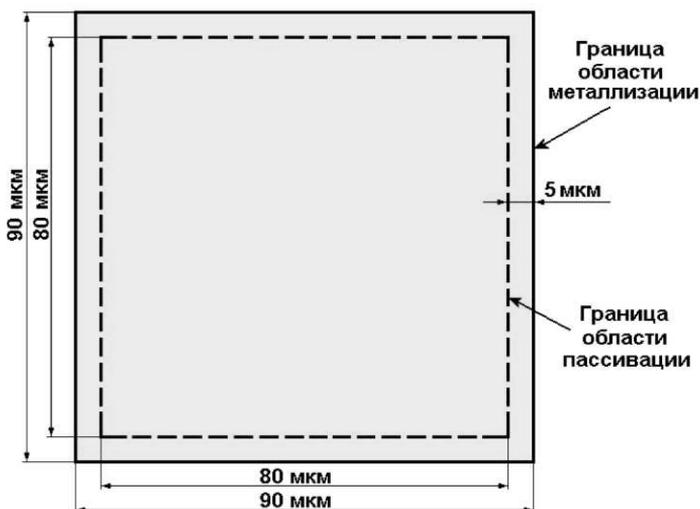


Рис. 3.2.20. Размеры контактной площадки для разварки кристалла микросхемы в корпус

Контактные площадки должны располагаться только по периферии кристалла. Для уменьшения паразитной емкости и устранения опасности закорачивания (из-за возможных «проколов» в изолирующей пленке) целесообразно под каждой монтажной площадкой сформировать область, ограниченную р-n переходом, т.е. изолировать каждую площадку в отдельном р-кармане (см. рис.3.2.21). Граница р-кармана также отстоит от границы области металлизации на 5 мкм по всем сторонам контактной площадки.

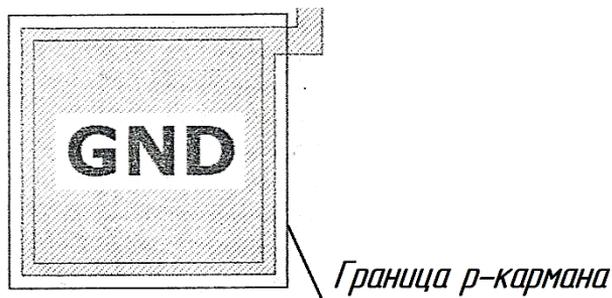


Рис. 3.2.21. Контактная площадка, снабженная изолирующим р-карманом

7. Проектирование скрайберных дорожек

Скрайберные дорожки необходимы для выполнения технологической операции разделения пластин на кристаллы. В настоящее время наиболее распространенным способом разделения пластины на кристаллы является технологическая операция резки пластины на $\frac{3}{4}$ толщины с последующей ломкой. Резка осуществляется в зонах пластины, называемых скрайберными дорожками. Размер скрайберной дорожки зависит от толщины реза. Режущая кромка современного инструмента, осуществляющего резку пластины, имеет размер порядка 40 мкм, что примерно в 2 раза тоньше режущей кромки обычной бритвы.

С учетом этого ширина скрайберной дорожки должна быть примерно в 2 раза больше данного размера, то есть порядка 80 мкм, по 40 мкм на каждую из сторон, как показано на рис.3.2.22.

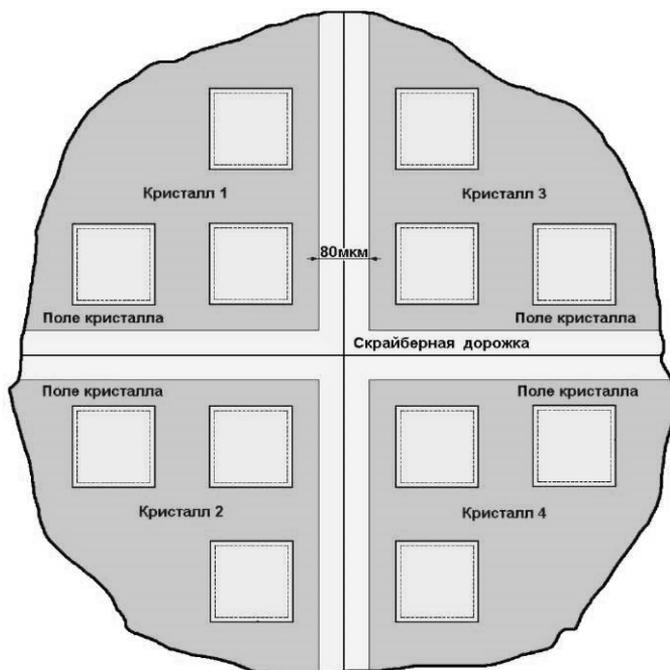


Рис. 3.2.22. Расположение скрайберных дорожек на пластине

8. Проектирование и расчет фигур совмещения

При контактной литографии фигуры совмещения являются необходимым элементом рисунка кристалла микросхемы. В процессе производства микросхемы с их помощью осуществляется совмещение шаблона топологического слоя с рисунком топологии кристалла.

Основное требование к фигурам совмещения состоит в выборе такой их конфигурации, которая бы исключала неоднозначное совмещение шаблона с рисунком топологии кристалла, а размер фигуры позволил бы оператору прецизионной литографии уверенно различить ее в микроскоп с увеличением порядка 250х, которым обычно оснащается производственный участок контактной литографии. Для этого фигуры совмещения должны иметь размеры, показанные на рисунке 3.2.23. Следует отметить, что поле зрения микроскопа зависит от его увеличения и убывает с ростом кратности увеличения. При этом также убывают рабочее расстояние и глубина резкости. По мере формирования топологических слоев кристалл «накапливает» использованные фигуры, поэтому форма фигуры и ее местоположение должны обеспечивать быстрое и безошибочное нахождение оператором нужной фигуры среди других уже использованных фигур.

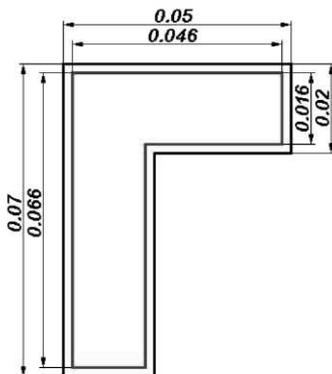


Рис.3.2.23. Различимые в микроскоп размеры фигуры совмещения

Все фигуры совмещения разделяют на подготовительные и основные. По основной фигуре выполняют процесс совмещения шаблона с кристаллом микросхемы на пластине. Одновременно с процессом совмещения на кристалле формируют подготовительную фигуру, по которой на следующей операции совмещения со следующим шаблоном эта фигура уже будет основной.

Существует два способа формирования фигур совмещения для контактной литографии: последовательный и глобальный.

При использовании глобального метода чертеж первого топологического слоя содержит подготовительные фигуры всех последующих слоев, а шаблоны всех последующих слоев содержат только по одной основной фигуре совмещения.

При последовательном методе чертеж шаблона первого и последнего топологических слоев содержат по одной фигуре совмещения, причем первый слой – подготовительную, а последний – основную фигуры. В этом случае все шаблоны промежуточных топологических слоев содержат по две фигуры совмещения: одну основную и одну подготовительную.

Фигуры совмещения могут иметь произвольную форму, но чаще всего используют фигуры в показанной на рис.3.2.24 ниже форме неравнобокого уголка, которую специалисты по микроэлектронике обычно называют «сапог». За счет различной ориентации такая форма фигуры дает восемь вариантов и может «обслужить» таким образом до девяти топологических слоев.

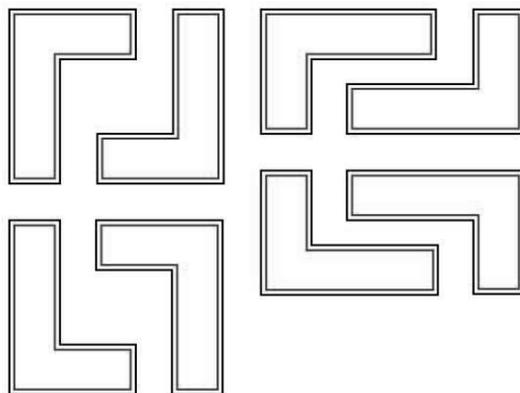
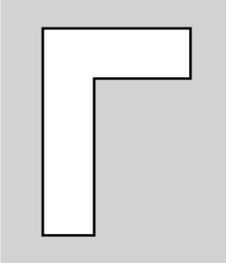
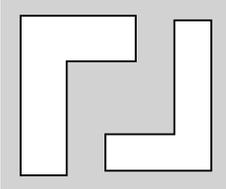
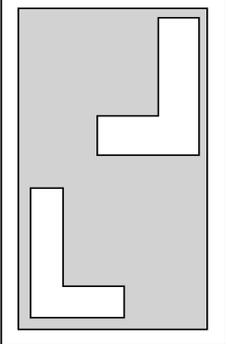
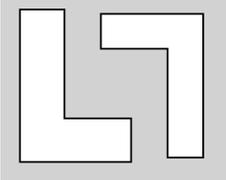
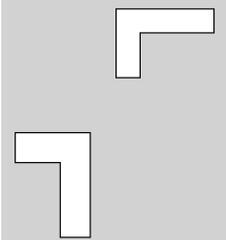


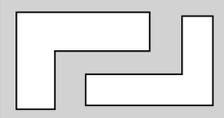
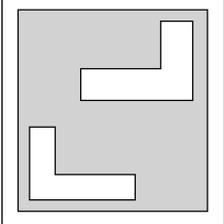
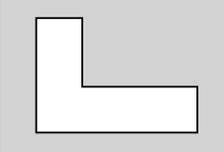
Рис. 3.2.24. Фигуры совмещения для контактной литографии

В таблице 3.2.4 представлен пример расположения фигур совмещения в шаблонах топо-логических слоев для последовательного способа применительно к простому КМОП-технологическому процессу производства микросхем.

Таблица 3.2.4.

Пример расположения фигур совмещения для простого КМОП-процесса

Наименование шаблона	Фигуры совмещения
Область p^- -легирования	
Область тонкого диэлектрика	
Область поликремния	
Область p^+ -легирования	
Область n^+ -легирования	

Область контактных окон	
Область металлизации	
Область пассивации	

Фигуры для всех слоев могут быть сгруппированы конструктором в одном свободном месте кристалла или рассредоточены по полю кристалла, например, между периферийными контактными площадками и даже в дефектной зоне. Для оператора, постоянно работающего с одним слоем (крупносерийное и массовое производство), более удобен второй вариант, когда «его фигура» обособлена от других. Пример группировки фигур между двумя контактными площадками показан на рис.3.2.25.

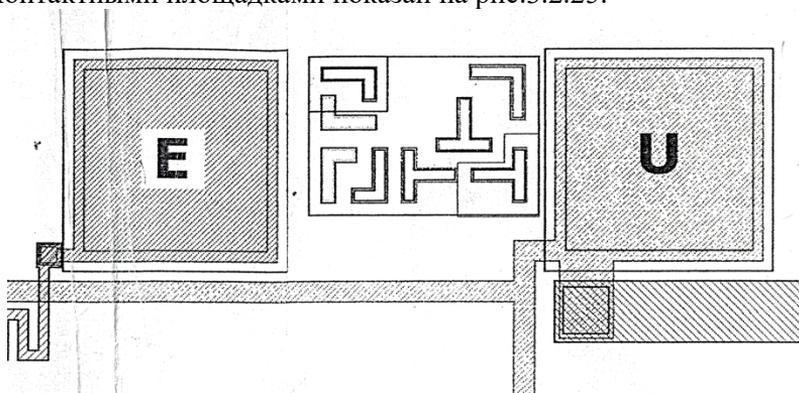


Рис. 3.2.25. Группировка фигур совмещения между двумя контактными площадками

Ниже представлен расчет зазоров в фигурах совмещения.

Задав размер фигуры A_{III} на шаблоне, размер фигуры A_{II} на пластине определяется по формуле:

$$A_{II} = A_{III} + 2\delta_H,$$

где δ_H – номинальный зазор между фигурами совмещения, т.е. равномерный зазор, который образуется при номинальных значениях размеров фигур и при идеальном их центрировании (совмещении).

Номинальный зазор рассчитывается по формуле:

$$\delta_H = \frac{200}{\Gamma} + \Delta_{И} + \frac{(\Delta_{П} + \Delta_{Ш})}{2} + \Delta_{доб},$$

где: 200 мкм – линейное разрешение нормального глаза;

Γ – кратность увеличения микроскопа,

$\Delta_{И}$ – инструментальная погрешность (указывается в паспорте установки совмещения);

$\Delta_{П}$ и $\Delta_{Ш}$ – предельная погрешность размеров фигуры соответственно на пластине и фотошаблоне;

$\Delta_{доб}$ – дополнительное расширение зазора с целью снижения зрительного напряжения оператора.

Предельная погрешность совмещения учитывается в расчетах размеров элементов топологического слоя и оценивается по формуле:

$$\Delta_C = \Delta_{П} + \Delta_{Ш} + \Delta_{И} + \Delta_t + \Delta_{доб},$$

где Δ_t – предельная погрешность относительного расположения модулей в групповом фотошаблоне (погрешность шага). Эта погрешность указывается в паспорте фотоповторителя.

9. Разработка конструкторской документации на шаблоны

Разработка комплекта конструкторской документации является завершающим этапом выполнения курсового проекта.

Конструкторская документация в данном случае представляет собой набор послынных чертежей топологических слоев кристалла ИС, так как именно на основе таких чертежей изготавливают шаблоны, являющиеся инструментом для производства микросхемы.

На каждом чертеже топологического слоя обозначают элемент топологии слоя, на котором проверяют соответствие размера элемента на шаблоне критическому размеру. По нему изготовитель шаблона проверяет, каков размер этого элемента, и насколько он соответствует полю допусков на его размер. Критический размер на слое может проверяться либо на темной фигуре (в этом случае он обозначается как *Pm*, либо на светлом элементе топологии слоя – в этом случае на чертеже он указывается как *Pc*.

Помимо указания элемента топологии, на котором измеряется критический размер, чертеж каждого топологического слоя должен, как уже было сказано выше, обязательно содержать фигуру совмещения, обозначаемую на чертеже как Ф.с. По этой фигуре в случае контактной литографии производится совмещение шаблона с рисунком топологии кристалла микросхемы.

Кроме того, на каждом чертеже каждого топологического слоя указывают следующие данные:

- наименование или функциональное назначение разработанной микросхемы;
- фамилию и инициалы Главного конструктора-разработчика микросхемы и его внутренний рабочий телефон. Это делают, чтобы специалисты отдела шаблонов могли оперативно связаться с Главным конструктором микросхемы для решения текущих рабочих вопросов, связанных с изготовлением шаблонов;
- номер топологического слоя;
- номер текущего варианта. Если по каким-либо причинам в дальнейшем потребуется провести коррекцию топологии этого слоя и заменить шаблон, то в новом чертеже шаблона номер слоя оставляют прежним, а изменяют номер варианта, увеличивая его на единицу;
- наименование топологического слоя, которое всегда начинается словом «Область...» (например, «Область контактных окон к поликремнию», «Область пассивации» и т.д.);
- критический размер.

Пример заполнения таких обозначений приведен ниже.

Декодер один из восьми

Главный конструктор: Сидоров А.В.

Слой 08 Вариант 02

Область пассивации

Критический размер $P_c = 16$ мкм

Кроме того, на чертеже шаблона топологического слоя указывают направление координатных осей X и Y и точку, которая имеет топологические координаты (0,0).

Ниже на рисунке 3.2.26 также приведены примеры готовых чертежей топологических слоев (без конструкторских надписей).

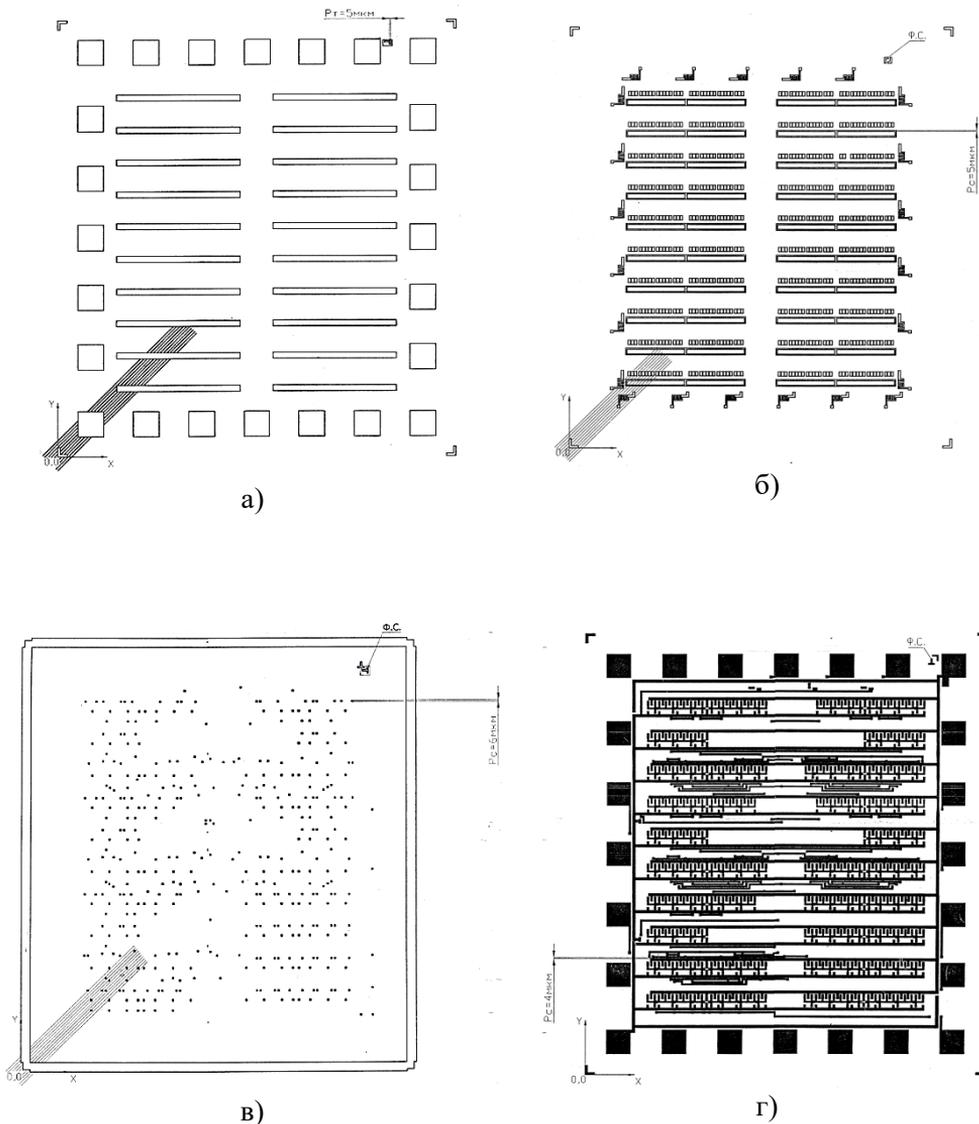


Рис. 3.2.26. Примеры готовых чертежей топологических слоев: а) Область р-легирования (р-карманов); б) Область р⁺-легирования; в) Область контактных окон к поликремнию; г) Область металлизации

В топологических слоях, которые состоят из темных полей, для обозначения границ кристалла по углам вставляют так называемые габаритные уголки, имеющие светлую тональность. Габаритные уголки обычно имеют размеры, показанные на рис.3.2.27.

Когда основное поле шаблона имеет преимущественно светлую тональность на границах кристалла, габаритные уголки не вводят.

Примеры оформления чертежей топологических слоев для случаев, когда границы поля кристалла имеют светлую и темную тональности, показаны на рис.3.2.27 и 3.2.28.



Рис. 3.2.27. Пример оформления чертежа топологического слоя микросхемы при отсутствии на шаблоне смены тональности на границах поля кристалла

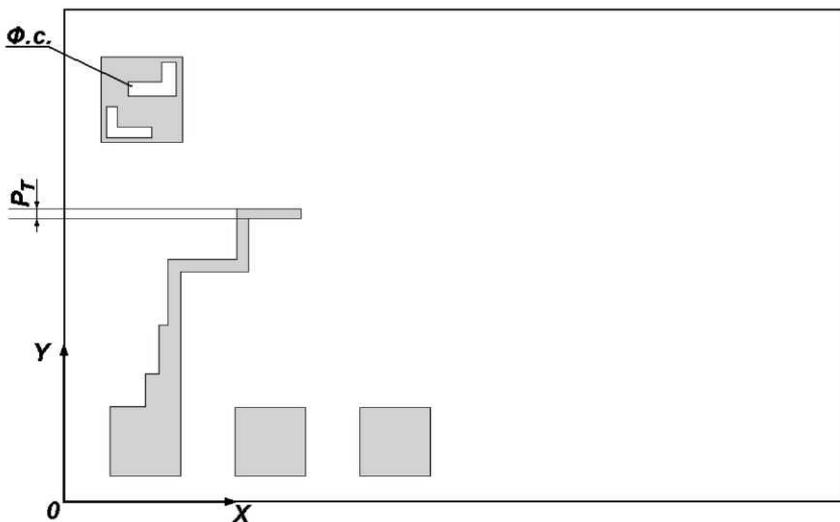


Рис. 3.2.28. Пример оформления чертежа топологического слоя микросхемы для случая перехода от темной к светлой тональности шаблона на границах поля кристалла

10. Проектирование шин земли и питания

При проектировании шин земли и питания микросхемы, имеющей два коммутационных слоя, один из которых является слоем металлизации, а второй – поликремнием, разводку выполняют в слое металла в виде гребенчатой структуры так, как показано на рисунке ниже, не допуская переходов из одного топологического слоя в другой (рис.3.2.29).

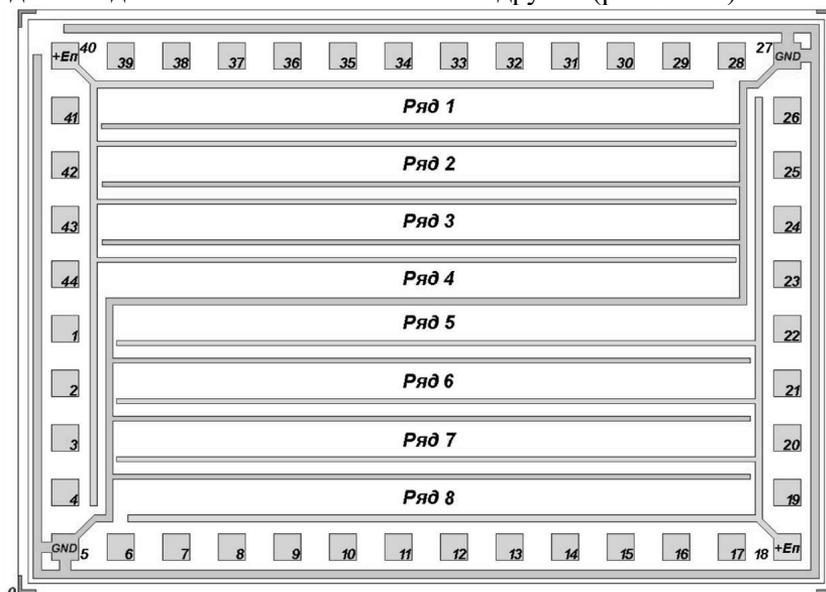


Рис.3.2.29. Пример разводки шин «земля-питание»

Нумерацию контактных площадок выполняют таким образом, чтобы контактная площадка с номером 1 находилась слева в середине ряда контактных площадок кристалла. Увеличение номеров контактных площадок при монтаже кристалла в корпус рабочей поверхностью вверх производят против часовой стрелки, а в случае монтажа рабочей поверхности кристалла вниз – по часовой стрелке.

Такая гребенчатая структура позволяет разместить в ряд между шинами земли и питания все логические элементы, а пространство между соседними рядами использовать для выполнения горизонтальной трассировки.

Одну из шин (обычно шину земли) часто располагают по контуру кристалла за пределами контактных площадок. Это упрощает подачу потенциала смещения на изолирующие области.

Размер кристалла по обеим осям координат должен быть кратным 0,05 мм, что обусловлено дискретностью шага реза установки для резки пластин на кристаллы. При этом соотношение сторон кристалла проектируемой микросхемы не должно превышать 2:1. Для достижения наибольшей

плотности компоновки желательно максимально приблизить форму кристалла к квадратной.

11. Масштабы конструкторской документации

При разработке конструкторской документации на проектируемую микросхему ее выполняют в определенных масштабах.

Обычно используют следующие масштабы, которые должны быть использованы и при выполнении настоящего курсового проекта.

Топологию базовых логических элементов выполняют на листах формата А4 в масштабе 1000:1 с указанием координатной измерительной линейки по осям X и Y.

Совмещенный чертеж всех топологических слоев разработанного кристалла микросхемы выполняют в одном из следующих масштабах:

- 500:1 – в 1 миллиметре 2 микрона.
- 250:1 – в 1 миллиметре 4 микрона
- 200:1 – в 1 миллиметре 5 микрон.

Масштаб совмещенного чертежа топологии спроектированного кристалла выбирают из перечисленных выше таким образом, чтобы сам чертеж уместился на листе формата А1.

На чертеже совмещенной топологии указывают измерительные линейки по осям X и Y. Точка с топологическими координатами (0,0) принадлежит середине скрайберной дорожки (рис. 3.2.30).

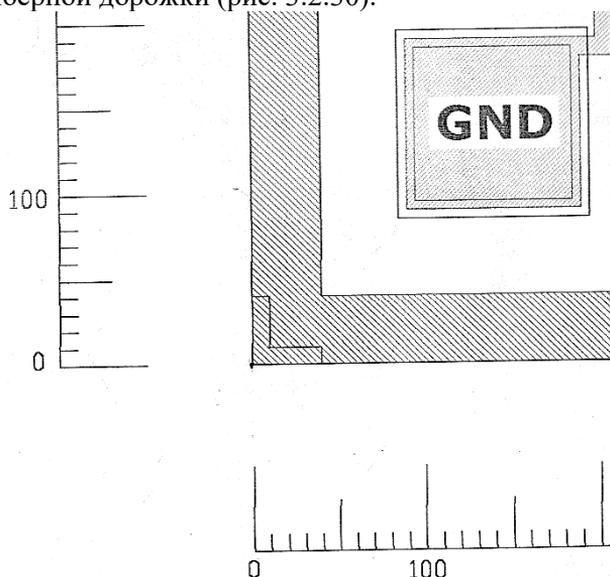


Рис. 3.2.30. Фрагмент левого нижнего угла чертежа совмещенной топологии с точкой начала координат (0;0).

Чертежи топологических слоев шаблонов выполняются в произвольном масштабе, но так, чтобы каждый чертеж вместе с конструкторскими надписями уместился на формате А3.

3.2.3. СТРУКТУРНО-ТОПОЛОГИЧЕСКОЕ ПРОЕКТИРОВАНИЕ МДП-ТРАНЗИСТОРОВ

В рамках курсового проекта студентом выполняется структурно-топологическое проектирование КМОП-транзисторов. Поперечный разрез КМОП-структуры представлен на рисунке 3.2.31, а исходные данные для проектирования – в таблице 3.2.5.

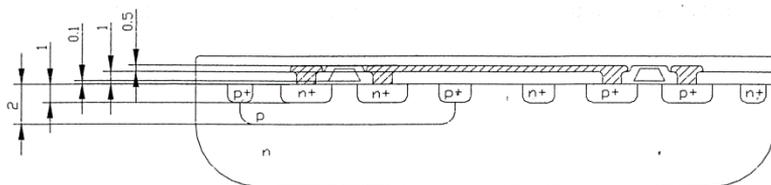


Рис. 3.2.31. Поперечный разрез КМОП-структуры

Таблица 3.2.5.

Типовые исходные данные для структурно-топологического проектирования КМОП-транзисторов

№	Параметр	Типовое значение
1	Концентрация примеси n-типа в подложке $N_{исх} = N_{подл}, \text{см}^{-3}$	$\sim 1,5 \cdot 10^{15}$
2	Кристаллографическая ориентация поверхности	[100]
3	Поверхностная концентрация примеси (В) в p-кармане $N_0, \text{см}^{-3}$	$\sim 2 \cdot 10^{16}$
4	Толщина области p-кармана $x_p, \text{мкм}$	2...6
5	Толщина всех областей истока и стока p/n-канальных транзисторов (для обеспечения технологической совместимости) $x_n, \text{мкм}$	1,0...2,5
6	Толщина подзатворного диэлектрика (SiO_2), мкм	0,08...0,12
7	Толщина межслойной изоляции / пассивации (SiO_2), мкм	0,6...1,0
8	Толщина поликремния, мкм	1,0...1,2
9	Толщина металлизации (Al), мкм	1,0...1,2

Концентрация примеси в областях истоков и стоков выбирается предельно возможной, обеспечивая поверхностное сопротивление n^+ -областей не выше 15 Ом и p^+ -областей не выше 50 Ом.

Концентрация примеси в подложке уточняется при расчете порогового напряжения p -канальных транзисторов.

Толщину подзатворного диэлектрика d_3 рассчитывают из условий электрической прочности. Пробивная напряженность поля SiO_2 , выращенного в сухом кислороде $E_{пр} = 5 \cdot 10^6$ В/см. Напряжение пробоя должно в 2...3 раза превышать напряжение питания:

$$U_{пр} = (2 \dots 3)U_{пит}, \text{ В}$$

$$d_3 \geq \frac{10^4 \cdot U_{пр}}{E_{пр}}, \text{ мкм}$$

Расчет технологических режимов формирования областей МДП-транзистора проводятся для одно- и двухстадийного процесса термической диффузии примеси.

Расчет параметров диффузии при формировании рабочих областей транзистора

Формирование p – кармана

Поскольку p -карман имеет невысокую поверхностную концентрацию и значительную глубину, то для его формирования используется двухстадийный процесс термической диффузии.

Расчет параметров разгонки

Вычисляется произведение коэффициента диффузии при разгонке D_p на время разгонки t_p :

$$D_p t_p = \frac{x_p^2}{4 \cdot \ln\left(\frac{N_0}{N_{исх}}\right)}, \text{ см}^2$$

Значение поверхностной концентрации примеси $N_{нов}$ задается из условия $N_0 < N_{нов} < N_{пред}$.

Задавшись температурой разгонки T_p из диапазона 1000...1200°C, по графику $f(t_p, N_0)$ на рис.3.2.32 определяется значение коэффициента диффузии D_p , см²/с:

Расчет параметров загонки

Вычисляется произведение коэффициента диффузии при загонке D_3 на время загонки t_3 :

$$D_3 t_3 = \left(\frac{Q \cdot \sqrt{\pi}}{2 \cdot N_{\text{пов}}} \right)^2, \text{ см}^2$$

Задавшись температурой загонки T_3 из диапазона 800...1000°C, по графику на рисунке 2.1 $f(t_3, N_0)$ определяется значение коэффициента диффузии D_3 , см²/с:

Вычисляется время загонки:

$$t_3 = \frac{D_3 \cdot t_3}{D_3}, \text{ мин}$$

Формирование p^+ -областей (стока и истока p -канального транзистора)

Поскольку p^+ -области имеют высокую поверхностную концентрацию и малую глубину, то для их формирования применяется одностадийный процесс термической диффузии.

Вычисляется значение функции ошибок:

$$\text{erfc}(V) = \text{erfc} \left(\frac{x_p}{2 \cdot \sqrt{D_3 t_3}} \right) = \frac{N_{\text{исх}}}{N_0}$$

Значение V выбирается из таблицы 3.2.6.

Таблица 3.2.6.

Дополнения функции ошибок $\text{erfc}(V) = 1 - \text{erf}(V)$

V	$\text{erfc}(V)$	V	$\text{erfc}(V)$	V	$\text{erfc}(V)$	V	$\text{erfc}(V)$
0,0	1,00000	1,0	0,15730	2,0	0,00468	3,0	0,00002209
0,1	0,88754	1,1	0,11980	2,1	0,00298	3,1	0,00001165
0,2	0,77730	1,2	0,08969	2,2	0,00186	3,2	0,00000603
0,3	0,67137	1,3	0,06599	2,3	0,00114	3,3	0,00000306
0,4	0,57161	1,4	0,04772	2,4	0,000689	3,4	0,00000152
0,5	0,47950	1,5	0,03390	2,5	0,000407	3,5	0,000000743
0,6	0,39614	1,6	0,02365	2,6	0,000236	3,6	0,000000356
0,7	0,32220	1,7	0,01621	2,7	0,000134	3,7	0,000000167
0,8	0,25790	1,8	0,01091	2,8	0,000075	3,8	0,000000077
0,9	0,20309	1,9	0,00721	2,9	0,000041	3,9	0,000000035

Вычисляется произведение коэффициента диффузии на время диффузии:

$$D \cdot t = \left(\frac{x_p}{2 \cdot V} \right)^2, \text{ см}^2$$

Задавшись температурой легирования T из диапазона 800...1000°C, по графику на рис.3.2.32f (t_3, N_0) определяется значение коэффициента диффузии D , см²/с:

Вычисляется время диффузии:

$$t = \frac{D \cdot t}{D}, \text{ мин}$$

Формирование n^+ -областей (стока и истока n -канального транзистора)

Поскольку n^+ -области имеют высокую поверхностную концентрацию и малую глубину, то для их формирования применяется одностадийный процесс термической диффузии.

Так как области стока и истока n -канального транзистора формируются в p -кармане, то исходной концентрацией примеси является концентрация, полученная после диффузии p -кармана. Её можно рассчитать по формуле:

$$N_{\text{исх}} = \frac{Q}{\sqrt{\pi \cdot D_p \cdot t_p}} \cdot \exp \left(- \left(\frac{x_n}{2 \cdot \sqrt{D_p \cdot t_p}} \right)^2 \right), \text{ см}^{-3}$$

Вычисляется значение функции ошибок:

$$\text{erfc}(V) = \text{erf} \left(\frac{x_n}{2 \cdot \sqrt{D_3 t_3}} \right) = \frac{N_{\text{исх}}}{N_0}$$

Значение V выбирается из таблицы 3.2.6.

Вычисляется произведение коэффициента диффузии на время диффузии:

$$D \cdot t = \left(\frac{x_p}{2 \cdot V} \right)^2, \text{ см}^2$$

Задавшись температурой легирования T из диапазона 800...1000°C, по графику на рисунке 3.2.32f (t_3, N_0) определяется значение коэффициента диффузии D , см²/с:

Вычисляется время диффузии:

$$t = \frac{D \cdot t}{D}, \text{ мин}$$

Следует отметить, что исходя из технологических возможностей оборудования, необходимо обеспечить, чтобы времена выполнения процессов термической диффузии примеси составляли не менее 30...40 мин.

Расчет удельного поверхностного сопротивления областей

Удельное поверхностное сопротивление определяется по формуле:

$$R_{\text{сл}} = \frac{\rho}{X_{\text{п}}}, \text{ Ом,}$$

где ρ – удельное объемное сопротивление кремния, Ом·см;

X_n – глубина p-n перехода (в данном случае – толщина слоя), см.

Определить ρ можно по формуле:

$$\rho = \frac{1}{q \cdot \mu \cdot N_{\text{ср.эф.}}}, \text{ Ом} \cdot \text{см}$$

где: q – заряд электрона, Кл;

μ – подвижность носителей, см²/В·с;

$N_{\text{ср.эф.}}$ – средняя эффективная концентрация примеси в слое, см⁻³.

В свою очередь, $N_{\text{ср.эф.}}$ определяется по формуле:

$$N_{\text{ср.эф.}} = \frac{Q_n}{X_n}, \text{ см}^{-3},$$

где: Q_n – эффективная доза легирования (за вычетом примеси, находящейся «ниже» p-n – перехода), см⁻²;

X_n – глубина p-n – перехода, см.

Учитывая сильную крутизну зависимости концентрации примеси от глубины, для оценочных расчетов можно принять $Q_n = Q$. По приведенным выше зависимостям рассчитывается удельное поверхностное сопротивление различных областей: p-кармана, n^+ и p^+ .

Расчет пробивных напряжений транзисторов

Расчет пробивных напряжений p-n – перехода p-карман – подложка

Расчет для донной части перехода

Градиент концентрации примеси на донной части перехода вычисляется по формуле:

$$= \frac{-Q \cdot x_p}{2 \cdot D_p \cdot t_p \cdot \sqrt{\pi \cdot D_p \cdot t_p}} \cdot \exp\left(-\left(\frac{x_p^2}{4 \cdot D_p \cdot t_p}\right)\right), \text{ см}^{-4},$$

где x_p – толщина области p – кармана.

Поскольку структура получена при помощи диффузии и переход является плавным, пробивное напряжение рассчитывается по формуле:

$$U_{\text{пр}} = \sqrt{\frac{12 \cdot \varepsilon \cdot \varepsilon_0 \cdot E_{\text{max}}^3}{q \cdot |a|}}, \text{ В},$$

где: $U_{\text{пр}}$ – пробивное напряжение для донной части перехода, В;

ε – относительная диэлектрическая проницаемость подложки (для кремния – 11,7);

ε_0 – диэлектрическая проницаемость вакуума, $8,85 \cdot 10^{-14}$ (Ф/см);

E_{max} – максимальная напряженность поля, $3 \cdot 10^5$ (В/см);

q – заряд электрона, $1,6 \cdot 10^{-19}$ (Кл);

a – градиент эффективной концентрации примеси, см^{-4} .

Расчет для боковой части перехода

Для боковой части перехода справедлива следующая формула для градиента концентрации введенной примеси:

$$a = \frac{-0,5 \cdot N_{\text{оз}}}{\sqrt{\pi \cdot D_p \cdot t_p}} \cdot \exp\left(-\left(\frac{x_p^2}{4 \cdot D_p \cdot t_p}\right)\right)$$

Поскольку структура получена при помощи диффузии и переход является плавным, пробивное напряжение рассчитывается по формуле:

$$U_{\text{пр}} = \sqrt{\frac{12 \cdot \varepsilon \cdot \varepsilon_0 \cdot E_{\text{max}}^3}{q \cdot |a|}}, \text{ В}$$

Расчет пробивных напряжений p-n – перехода n⁺-область–p-карман

Так как n⁺-область формируется в процессе одностадийной диффузии, то для вычисления градиента концентрации введенной примеси справедлива следующая формула:

$$a_n^+ = \frac{-N_0}{\sqrt{\pi \cdot D \cdot t}} \cdot \exp\left(-\left(\frac{x_n^2}{4 \cdot D \cdot t}\right)\right), \text{ см}^{-4}$$

где x_n – толщина n⁺-области.

Градиент концентрации примеси в p-кармане на глубине, соответствующей x_n , вычисляется по формуле:

$$a_p = \frac{-Q \cdot x_p}{2 \cdot D_p \cdot t_p \cdot \sqrt{\pi \cdot D_p \cdot t_p}} \cdot \exp\left(-\left(\frac{x_n^2}{4 \cdot D_p \cdot t_p}\right)\right), \text{ см}^{-4}$$

Градиент эффективной концентрации примеси рассчитывается по формуле:

$$a_{\text{эф}} = a_{n^+} - a_p, \text{ см}^{-4}$$

Пробивное напряжение вычисляется по формуле:

$$U_{\text{пр}} = \sqrt{\frac{12 \cdot \varepsilon \cdot \varepsilon_0 \cdot E_{\text{max}}^3}{q \cdot |a_{\text{эф}}|}}, \text{ В}$$

Расчет пробивных напряжений p-n–перехода p⁺-область – подложка

Так как p⁺-область формируется в процессе одностадийной диффузии, то для вычисления градиента концентрации введенной примеси справедлива следующая формула:

$$a_p^+ = \frac{-N_0}{\sqrt{\pi \cdot D \cdot t}} \cdot \exp\left(-\left(\frac{x_n^2}{4 \cdot D \cdot t}\right)\right), \text{ см}^{-4}$$

Поскольку подложка – это пластина монокристаллического кремния, равномерно легированная донорной примесью, то градиент концентрации примеси в подложке $a_{\text{подл}} = 0$.

Градиент эффективной концентрации примеси рассчитывается по формуле:

$$a_{эф} = a_{p^+} - a_{поддл}, \text{ см}^{-4}$$

Пробивное напряжение вычисляется по формуле:

$$U_{пр} = \sqrt{\frac{12 \cdot \varepsilon \cdot \varepsilon_0 \cdot E_{max}^3}{q \cdot |a_{эф}|}}, \text{ В}$$

Полученные значения пробивных напряжений сравниваются с номинальным напряжением электропитания транзистора и должны превышать их не менее чем в 3 – 4 раза.

Расчет пороговых напряжений

Расчет пороговых напряжений для паразитного канала в n-подложке

Паразитный r-канал в подложке возникает в системе Al-SiO₂-p-Si. Удельная емкость «проводник – паразитный канал» рассчитывается по формуле:

$$C_0 = \frac{\varepsilon_0 \cdot \varepsilon_d}{d_d}, \text{ Ф/см}^2$$

где ε_d – относительная диэлектрическая проницаемость оксида кремния, $\varepsilon_d = 3,9$;

d_d – суммарная толщина подзатворного диэлектрика и изолирующего оксида, см.

Пороговое напряжение, при котором под металлической разводкой и защитным окислом образуется паразитный канал, может быть оценено по формуле:

$$U_0 = \varphi_{мп} - \frac{Q_{ос}}{C_0} - 2 \cdot \varphi_F - \frac{\sqrt{2 \cdot q \cdot \varepsilon_0 \cdot \varepsilon_n \cdot N_0 \cdot \varphi_F}}{C_0}, \text{ В}$$

где N_0 – концентрация примеси на поверхности подложки, см⁻³;

$\varphi_{мп}$ – разность работ выхода материала затвора и кремния (поскольку материал одинаковый, $\varphi_{мп} = 0$);

$Q_{ос}$ – плотность заряда поверхностных состояний; для кристаллографических ориентаций (111), (110), (100) соответственно $8 \cdot 10^{-8}$, $3,2 \cdot 10^{-8}$, $1,44 \cdot 10^{-8}$ Кл/см;

$\varphi_F = 0,026 \ln \left(\frac{N_0}{1,38 \cdot 10^{10}} \right)$ – модуль потенциала Ферми, В;

ε_n – относительная диэлектрическая проницаемость кремния, $\varepsilon_n = 11,7$.

Расчет пороговых напряжений для паразитного канала в r-кармане

Паразитный n-канал в r-кармане возникает в системе Al-SiO₂-n-Si. Пороговое напряжение, при котором под металлической разводкой и

защитным окислом образуется паразитный канал, может быть оценено по формуле:

$$U_0 = \varphi_{\text{МП}} - \frac{Q_{os}}{C_0} + 2 \cdot \varphi_F + \frac{\sqrt{2 \cdot q \cdot \varepsilon_0 \cdot \varepsilon_n \cdot N_0 \cdot \varphi_F}}{C_0}, \text{ В}$$

Значение разности работ выхода $\varphi_{\text{МП}}$ для системы Al-SiO₂-n-Si выбираются из таблицы 3.2.7 при заданном значении концентрации примеси на поверхности N_0 .

Таблица 3.2.7
Значение разности работ выхода $\varphi_{\text{МП}}$

$N_0, \text{ см}^{-3}$	$\varphi_{\text{МП}}, \text{ В}$	
	Система Al-SiO ₂ -n-Si	Система Al-SiO ₂ -p-Si
10^{14}	-0,36	-0,82
10^{15}	-0,30	-0,88
10^{16}	-0,24	-0,94
10^{17}	-0,18	-1,00

Полученные значения пороговых напряжений паразитных транзисторов сравниваются с номинальным напряжением электропитания транзистора. В случае, когда пороговые напряжения меньше напряжения питания, возможно ввести КОР⁺- и п⁺-типов.

Расчет пороговых напряжений в n- и p-канальных транзисторах

Канал в n-канальном транзисторе является системой Al-SiO₂-n-Si. Удельная емкость «затвор – канал» рассчитывается по формуле:

$$C_0 = \frac{\varepsilon_0 \varepsilon_d}{d_d}, \text{ Ф/см}^2,$$

где d_d – толщина подзатворного диэлектрика, см.

Пороговое напряжение, при котором образуется канал, может быть оценено по формуле:

$$U_0 = \varphi_{\text{МП}} - \frac{Q_{os}}{C_0} + 2 \cdot \varphi_F + \frac{\sqrt{2 \cdot q \cdot \varepsilon_0 \cdot \varepsilon_n \cdot N_0 \cdot \varphi_F}}{C_0}, \text{ В}$$

$$\varphi_{\text{МП}} = 0.$$

Канал в p-канальном транзисторе является системой Al-SiO₂-p-Si, расчет аналогичен приведенному выше.

Полученные значения пороговых напряжений паразитных транзисторов сравниваются с номинальным напряжением электропитания транзистора.

Расчет топологии транзисторов

Проектирование топологии и-канального МОП-транзистора

Проектирование будем производить в целой микронной координатной сетке. Это значит, что все координатные точки границ областей топологии МОП-транзистора должны лежать в узлах такой сетки, а их координаты должны выражаться только целыми числами.

Проектирование начинаем с области затвора, которая представляет собой полосу минимальной ширины, являющуюся минимальной проектной нормой заданного технологического процесса. Длина полосы на данном этапе проектирования значения не имеет, однако целесообразно выбрать ее примерно в 5 раз длиннее ширины затвора.

Затем на расстоянии в 2 мкм по обе стороны от полосы затвора располагаем контакты к областям стока и истока. Размеры контактных окон должны быть как минимум на 1 мкм больше ширины затвора, а сами области контактов должны иметь форму квадратов.

Каждое контактное окно на 1 мкм со всех сторон перекрываем областью металлизации.

Далее обводим область контактных окон с отступом на 2 мкм прямоугольной областью. Это будет граница областей истока и стока p -канального МОП-транзистора (легирование n^+).

Полученную область с зазором в 2 мкм обводим с внешней стороны еще одной прямоугольной областью. Это будет область p -легирования кармана МОП-транзистора.

В результате получаем чертеж топологии МОП-транзистора, показанный на рисунке 3.2.33.

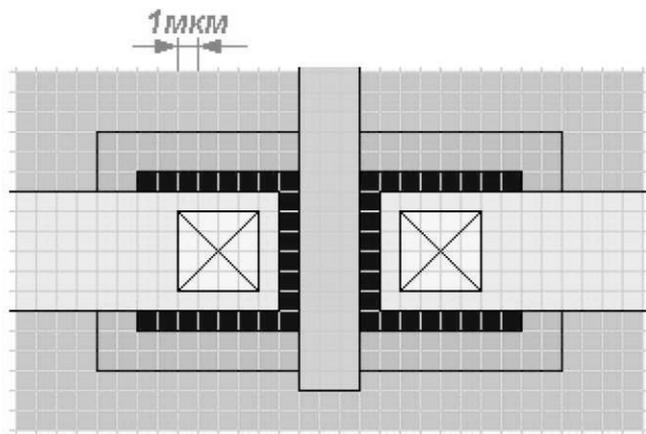


Рис. 3.2.33. Пример топологии n -канального МОП-транзистора

Проектирование топологии i -канального МОП-транзистора завершено. На представленном рисунке области закрашены разным цветом, при этом чем насыщеннее цвет, тем сильнее степень легирования этой области. Области металлизации обычно закрашивают желтым цветом – это цвет, которым мы

видим алюминиевые соединительные дорожки проводников под микроскопом. Области поликремниевых затворов и соединительных проводников закрашены серым цветом.

Проектирование топологии р-канального МОП-транзистора проводится аналогичным образом.

Расчетная методика для определения топологии МОП-транзистора приведена ниже. Исходными данными для расчета топологии служат выбранная проектная топологическая норма (минимальная ширина поликремниевой области) a_{min} , мкм; погрешность (предельное отклонение) размера топологического элемента на подложке Δ_n , мкм; погрешность (предельное отклонение) совмещения двух топологических слоев, формируемых на смежных этапах литографии Δ_c , мкм. Схемы к топологическому расчету области затвора МОП-транзистора приведены на рисунке 3.2.34.

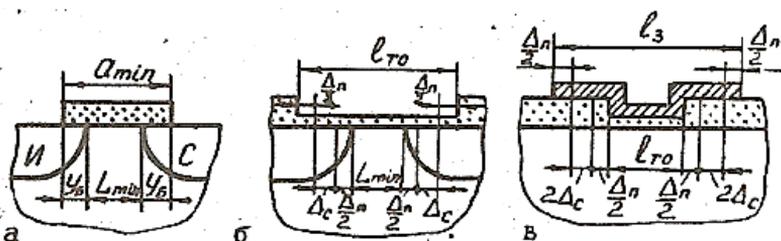


Рис. 3.2.34. Схемы к топологическому расчету области затвора МОП-транзистора

Минимальную длину канала из условия смыкания областей истока и стока определяется по формуле:

$$L_{min} = \sqrt{\frac{2 \cdot \varepsilon_0 \cdot \varepsilon \cdot U_{пит}}{q \cdot N}}, \text{ мкм,}$$

где N – концентрация примеси в подложке на уровне дна истока (стока), см^{-3} .

Реальная длина канала зависит от технологических возможностей и ограничений. Достижимый минимум длины канала зависит от минимальной длины перемычки между кромками окон под диффузию стока и истока (принимается равной топологической норме a_{min}) и боковой диффузии y_0 под маскирующий окисел, которая составляет $(0,75 \dots 0,85) \cdot x_n$. Таким образом, длина канала технологически определяется по формуле (см. рис.3.2.34. а):

$$L_{min} = a_{min} - 2 \cdot y_0 = a_{min} - 2 \cdot x_n, \text{ мкм}$$

Из двух полученных значений L_{min} выбирают наибольшее.

Длина тонкого окисла должна гарантировать перекрытие канала по всей его длине (рис. 3.2.34, б) и определяется по формуле:

$$l_{\text{тo}} = L_{\text{min}} + 2 \cdot \Delta_{\text{п}} + 2 \cdot \Delta_{\text{с}}, \text{ мкм}$$

Длина затвора должна гарантировать перекрытие тонкого окисла по всей его длине (рис. 3.2.34, в) и определяется по формуле:

$$l_{\text{з}} = l_{\text{тo}} + 2 \cdot \Delta_{\text{п}} + 4 \cdot \Delta_{\text{с}}, \text{ мкм}$$

Ширина канала определяется по формуле:

$$Z = \frac{b \cdot L_{\text{min}}}{\mu \cdot C_0}, \text{ мкм},$$

где μ – подвижность носителей в поверхностном слое, $\text{см}^2/\text{В} \cdot \text{с}$;

b – заданная удельная крутизна МОП-транзистора;

подвижность носителей μ в поверхностном слое для кремния при $T=300\text{К}$ определяется по приведенным ниже формулам; подвижность дырок:

$$\mu_{\text{p}} = 47,7 + \frac{447,3}{1 + \left(\frac{N_{\Sigma}}{6,3 \cdot 10^{16}}\right)^{0,76}}, \text{ см}^2/\text{В} \cdot \text{с},$$

подвижность электронов:

$$\mu_{\text{n}} = 65 + \frac{1265}{1 + \left(\frac{N_{\Sigma}}{8,5 \cdot 10^{16}}\right)^{0,72}}, \frac{\text{см}^2}{\text{В}} \cdot \text{с},$$

где N_{Σ} – суммарная концентрация примеси, см^{-3} .

Ширина тонкого окисла определяется по формуле:

$$Z_{\text{тo}} = Z + 2 \cdot \Delta_{\text{п}} + 2 \cdot \Delta_{\text{с}}, \text{ мкм}$$

Ширина затвора определяется по формуле:

$$Z_{\text{з}} = Z + 2 \cdot \Delta_{\text{п}} + 4 \cdot \Delta_{\text{с}}, \text{ мкм}$$

КО (n^+ и p^+) при необходимости формируют одновременно с соответствующими областями истоков и стоков на расстоянии ~ 10 мкм от соседних областей противоположного типа проводимости. Такие же расстояния проектируют между n^+ -истоками (стоками) и границами изолирующей р-области.