

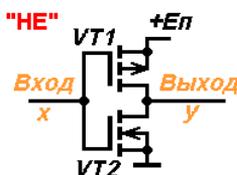
## 1.10. СХЕМОТЕХНИКА ЭЛЕМЕНТНОЙ БАЗЫ ПРИБОРОСТРОЕНИЯ НА КОМПЛЕМЕНТАРНЫХ МДП-ТРАНЗИСТОРАХ

**Цель лекции:** изучение схемотехники элементной базы приборостроения на комплементарных МДП-транзисторах.

### 1.10.1. ИНВЕРТОР НА ТРАНЗИСТОРАХ С ДОПОЛНЯЮЩИМИ ТИПАМИ ПРОВОДИМОСТИ КАНАЛА (КМДП-ИНВЕРТОР)

Для повышения быстродействия и снижения потребляемой мощности ЛЭ строятся на комплементарных МДП-транзисторах, имеющих взаимодополняющие типы проводимости индуцированных каналов.

В случае использования комплементарных (с дополняющими типами проводимости каналов) МДП-транзисторов схема инвертора будет выглядеть так, как показано на рис. 1.56.



**Рис. 1.56.** Схема инвертора на КМДП-транзисторах

Рабочими точками на статической передаточной характеристике такого инвертора являются либо «0», либо « $E_{п}$ ». Низкий уровень для  $n$ -канального транзистора является закрывающим, а для  $p$ -канального — открывающим. Поэтому, когда на вход подается сигнал логического «0», на выходе — « $+E_{п}$ », а в случае логической «1» на входе, на выходе имеем уровень логического «0».

Для обеспечения правильной работы схемы важно, чтобы пороговые напряжения  $n$ -канального и  $p$ -канального транзисторов были подогнаны таким образом, чтобы в момент, когда один из транзисторов закрывается, то другой в этот момент открывался. Если пороговые напряжения не подогнаны, то возможна некорректная работа схемы. Поэтому в технологический процесс производства КМДП-микросхем включают технологические операции по подгонке пороговых напряжений  $n$ -канальных и  $p$ -канальных МДП-транзисторов.

Примеры топологической реализации схемы КМДП-инвертора приведены на рис. 1.57.

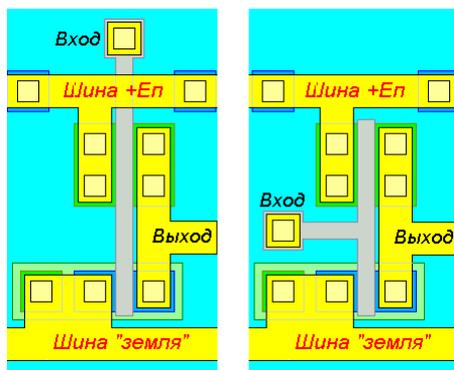


Рис. 1.57. Варианты топологической реализации схемы инвертора

### 1.10.2. СХЕМОТЕХНИЧЕСКАЯ РЕАЛИЗАЦИЯ БАЗОВЫХ ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ «ИЛИ–НЕ» и «И–НЕ» НА КМДП-ТРАНЗИСТОРАХ

На рис. 1.58, *а* показана схема двухвходового ЛЭ «ИЛИ–НЕ», выполненного на комплементарных МДП-транзисторах. В ней параллельно соединенные транзисторы  $VT2$  и  $VT4$  с каналом  $n$ -типа являются управляющими, а транзисторы  $VT1$  и  $VT3$  с каналом  $p$ -типа – нагрузочными.

Если на обоих входах такого ЛЭ присутствует напряжение низкого уровня, то транзисторы  $VT2$  и  $VT4$  закрыты, а транзисторы  $VT1$  и  $VT3$  – открыты и сопротивление их каналов относительно мало. А поскольку ток через них практически не протекает, то через открытые транзисторы на выходе ЛЭ устанавливается напряжение близкое к напряжению источника питания, т.е. уровень логической «1».

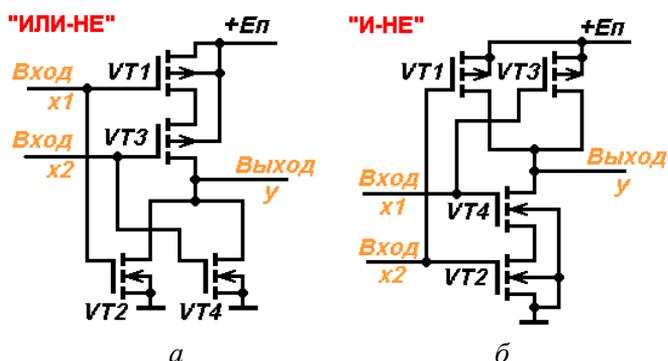
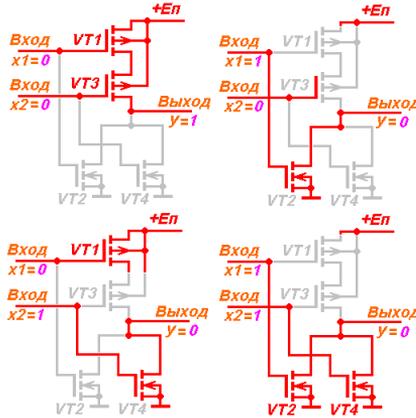


Рис. 1.58. Логические элементы на КМДП-транзисторах:  
*а* – схема элемента «ИЛИ–НЕ»; *б* – схема элемента «И–НЕ»

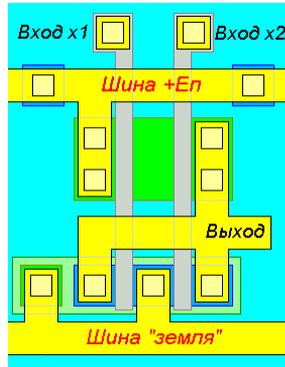
Если хотя бы на один из входов ЛЭ поступает напряжение высокого уровня, то соответствующий транзистор нижнего плеча ЛЭ открывается, а

верхнего плеча – закрывается, препятствуя тем самым появлению высокого уровня на выходе схемы. В результате на выходе ЛЭ благодаря открытому транзистору нижнего плеча устанавливается напряжение низкого уровня, близкое к нулю. Работу КМДП-логического элемента «ИЛИ–НЕ» иллюстрирует рис. 1.59.



**Рис. 1.59.** Иллюстрация работы базового ЛЭ «ИЛИ–НЕ» при различных сочетаниях входных сигналов

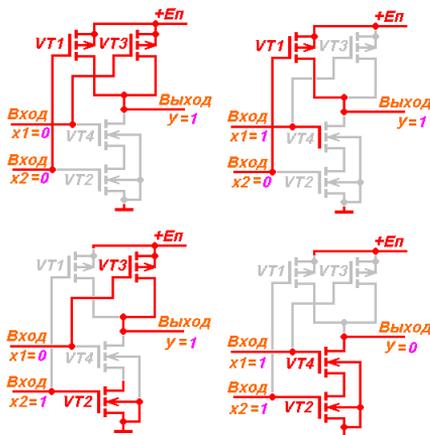
Вариант топологической реализации рассмотренного ЛЭ приведен на рис. 1.60.



**Рис. 1.60.** Вариант топологической реализации ЛЭ «ИЛИ–НЕ»

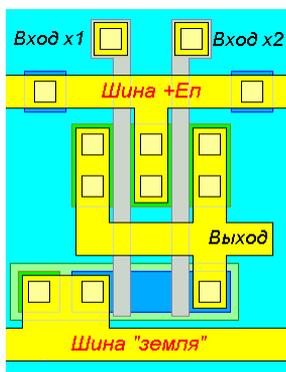
В логических элементах «И–НЕ» (рис. 1.58, б) управляющие МДП-транзисторы с каналом *n*-типа *VT2* и *VT4* включены последовательно, а нагрузочные с каналами *p*-типа – параллельно. Сопротивление нижнего плеча будет мало в том случае, если открыты оба транзистора *VT2* и *VT4*, т. е. когда на входах действуют напряжения, соответствующие уровню логического нуля.

гической «1». В этом случае на выходе ЛЭ устанавливается уровень логического «0».



**Рис. 1.61.** Иллюстрация работы базового ЛЭ «2И-НЕ» при различных сочетаниях входных сигналов

Если на одном из входов будет напряжение низкого уровня, то один из транзисторов  $VT2$  или  $VT4$  будет открыт, а один из транзисторов  $VT1$  или  $VT3$  - закрыт. При этом сопротивление верхнего плеча будет значительно меньше, чем сопротивление нижнего плеча, и уровень выходного напряжения будет соответствовать логической «1».



**Рис. 1.62.** Вариант топологической реализации ЛЭ «И-НЕ»

КМДП-ЛЭ, выполняющие функцию «И» и «ИЛИ» реализуются добавлением инвертора к выходам ЛЭ «И-НЕ» и «ИЛИ-НЕ», соответственно. Их принципиальные электрические схемы приведены на рис. 1.63, а варианты их топологических реализаций показаны на рис. 1.64а и 1.64б, соответственно.

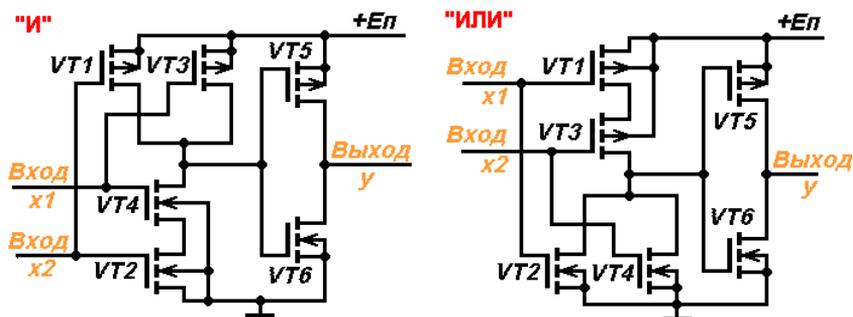
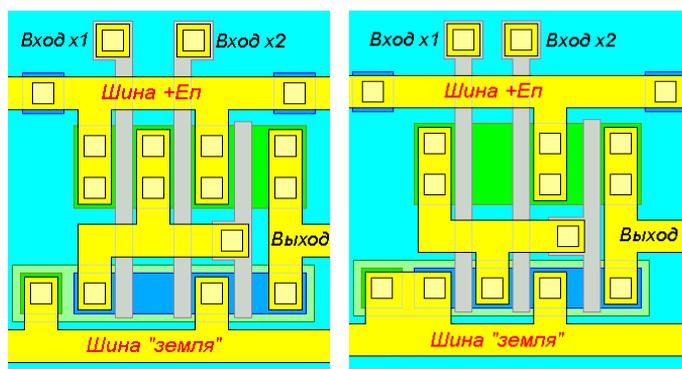


Рис. 1.63. Реализация ЛЭ «И» (а) и «ИЛИ» (б) на КМДП-транзисторах



а).....б)

Рис. 1.64. Варианты топологической реализации ЛЭ «И» (а) и «ИЛИ» (б)

ЛЭ на КМДП-транзисторах отличаются:

1. Малым потреблением мощности.
2. Высоким быстродействием, тем большим, чем короче длина канала. Современные процессорные СБИС, производимые по технологии 14 нм, имеют тактовую частоту до 5 ГГц.
3. Высокой помехоустойчивостью.
4. Высоким коэффициентом использования напряжения источника питания.

Их недостатком является более сложная технология производства СБИС по сравнению с технологией производства ЛЭ на *n*-канальных МДП-транзисторах.

### 1.10.3 СХЕМОТЕХНИЧЕСКАЯ РЕАЛИЗАЦИЯ ДВУНАПРАВЛЕННОГО КЛЮЧА НА КМДП-ТРАНЗИСТОРАХ

Важным элементом схемотехники ЛЭ КМДП является двунаправленный ключ, схема которого приведена на рис. 1.65. Он представляет собой парал-

тельно включенные  $n$ -канальный и  $p$ -канальный МДП-транзисторы. Как видно из рисунка, для управления ключом напряжение на затворы входящих в него транзисторов необходимо подавать в противофазе.

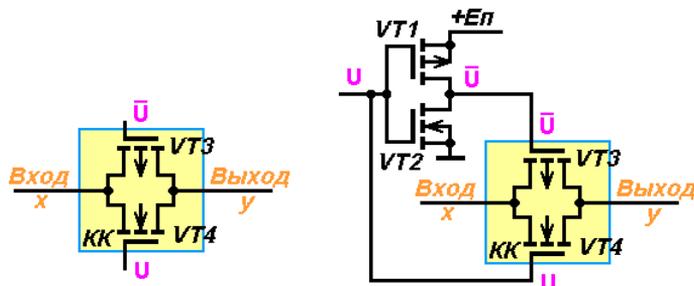


Рис. 1.65. Двухнаправленный ключ на КМДП-транзисторах (слева) и схема управления им (справа)

При низком уровне управляющего напряжения  $U$  и  $n$ -канальный транзистор  $VT4$ , и  $p$ -канальный транзистор  $VT3$  закрыты, поэтому вход  $x$  и выход  $y$  ключа разомкнуты. При подаче высокого уровня управляющего сигнала  $U$  оба транзистора открываются, и ключ замыкается. Сопротивление ключа в замкнутом состоянии равняется сопротивлению параллельно включенным сопротивлениям их каналов в открытом состоянии.

### КОНТРОЛЬНЫЕ ВОПРОСЫ К ЛЕКЦИИ 10

Вопрос 1	Какой логический сигнал надо подать на вход EZ схемы рис. 1.68, чтобы на ее выходе было высокоимпедансное состояние?
Ответы:	
1	Сигнал уровня лог. «0»
2	Сигнал уровня лог. «1»
3	Для перевода схемы в высокоимпедансное состояние уровень сигнала а входе EZ значения не имеет
Вопрос 2	В чем заключается основное преимущество ЛЭ КМДП в сравнении с ЛЭ на n-канальных МДП-транзисторах?
Ответы:	
1	ЛЭ КМДП имеют размах уровней логического сигнала практически равный напряжению питания и в статическом режиме не потребляют ток.
2	Топология ЛЭ КМДП занимает меньшую площадь на кристалле микросхемы.
3	ЛЭ на КМДП потребляют малую мощность, поэтому на этой элементной базе можно производить СБИС.
Вопрос 3	Сколько транзисторов понадобится, если реализовать ЛЭ «ИСКЛЮЧАЮЩЕЕ «ИЛИ»» на ЛЭ «2И-НЕ»?
Ответы:	
1	16
2	12
3	20