

**3. СОДЕРЖАНИЕ ДИСЦИПЛИНЫ, СТРУКТУРИРОВАННОЕ ПО МОДУЛЯМ
УЧЕБНОЙ ДИСЦИПЛИНЫ С УКАЗАНИЕМ ОТВЕДЕННОГО НА НИХ КОЛИЧЕСТВА
АКАДЕМИЧЕСКИХ ИЛИ АСТРОНОМИЧЕСКИХ ЧАСОВ И ВИДОВ УЧЕБНЫХ
ЗАНЯТИЙ**

№, п/п	Наименование модуля, содержание	Часы
1	Схемотехника базовых логических элементов на биполярных и полевых транзисторах и цифровые устройства комбинационного типа	57
	Лекции	26
1.1	Основы теории цифровых устройств. Булева алгебра. Аксиомы булевой алгебры. Законы булевой алгебры. Взаимное соответствие булевых функций и логических схем. Положительная и отрицательная логика. Изображение базовых логических элементов на принципиальной электрической схеме.	2
1.2	Классификация электронной элементной базы приборостроения по используемым активным элементам и технологиям микроэлектроник. Основные функциональные параметры логических элементов электронной элементной базы приборостроения. Выполняемая логическая функция. Нагрузочная способность (коэффициент разветвления по выходу). Коэффициент объединения по входу. Средняя задержка распространения сигнала. Предельная рабочая частота. Помехоустойчивость. Потребляемая мощность.	2
1.3	Схемотехника элементной базы приборостроения на биполярных транзисторах: резисторно-транзисторная логика. Недостатки ЛЭ РТЛ.	2
1.4	Схемотехника элементной базы приборостроения на биполярных транзисторах: диодно-транзисторная логика. Схема базового логического элемента ДТЛ. Недостатки схемы ДТЛ. Схема ДТЛ с увеличенным запасом помехоустойчивости.	2
1.5	Схемотехника элементной базы приборостроения на биполярных транзисторах: Транзисторно-транзисторная логика. Схема базового логического элемента ТТЛ. Разновидности элементов ТТЛ. Микросхемы ТТЛ повышенного быстродействия.	2
1.6	Схемотехника элементной базы приборостроения на биполярных транзисторах: Логические элементы ТТЛ с расширенными логическими функциями.	2
1.7	Эмиттерно-связанная логика, схема базового логического	2

	элемента ЭСЛ. Особенности схем ЭСЛ.	
1.8	Схемотехника элементной базы приборостроения на инжекционных транзисторах. Общие понятия. Инжекционный транзистор. Применение интегральной инжекционной логики в схемотехнике цифровых устройств. Сопряжение функциональных узлов микросхем, реализованных на элементах интегральной инжекционной логики с биполярной частью интегральной микросхемы.	2
1.9	Схемотехника элементной базы приборостроения на n - канальных МДП-транзисторах. Физика работы полевого транзистора с индуцированным каналом. Схемотехника базовых логических элементов на n-канальных МДП-транзисторах. Схемотехника базовых логических элементов «И–НЕ» и «ИЛИ–НЕ» на n-КАНАЛЬНЫХ МДП-транзисторах.	2
1.10	Схемотехника элементной базы приборостроения на комплементарных МДП-транзисторах. инвертор на транзисторах с дополняющими типами проводимости канала (КМДП-инвертор). Схемотехническая реализация двунаправленного ключа на КМДП-транзисторах.	2
1.11	Сложные логические схемы на комплементарных МДП-транзисторах. Схемотехника логических схем с тремя выходными состояниями на КМДП-транзисторах. Мультиплексор на кмдп-транзисторах. Схемотехническая реализация логического элемента «ИСКЛЮЧАЮЩЕЕ “ИЛИ”» на КМДП-транзисторах с использованием схемы двунаправленного ключа	2
1.12	КМДП-схемы «И–ИЛИ–НЕ» И «ИЛИ–И–НЕ».	2
1.13	Перспективная элементная база	2
	Семинары	12
С1.1	Сборка базового логического элемента диодно-транзисторной логики в САПР.	2
С1.2	Исследование работы базового логического элемента диодно-транзисторной логики в статическом режиме и во временной области.	2
С1.3	Сборка базового логического элемента ТТЛ со сложным инвертором в САПР.	2
С1.4	Исследование работы базового логического элемента ТТЛ со сложным инвертором в статическом режиме и во временной области.	2
С1.5	Сборка логических элементов КМОП «2И–НЕ» в САПР и исследование их работы.	2
С1.6	Сборка логических элементов «2ИЛИ–НЕ» в САПР и исследование их работы.	2

	Самостоятельная работа	9
СР1.1	Проработка учебного материала лекций	3
СР1.2	Подготовка к практическим работам	3
СР1.3	Другие виды самостоятельной работы	3
2	Цифровые устройства комбинационного типа	25
	Лекции	10
2.1	Классификация цифровых устройств. Принципы анализа работы цифровых устройств. Мультиплексоры. Внутренняя структура мультиплексора. Способы наращивания.	2
2.2	Демультимплексоры. Внутренняя структура и способы наращивания. Особенности построения мультиплексоров/демультимплексоров на КМОП-элементной базе.	2
2.3	Дешифраторы как разновидность демультимплексоров. Схемы управления цифровыми индикаторами как разновидность дешифраторов. Шифраторы и приоритетные шифраторы. Цифровые компараторы и схемы контроля. Устройства с тремя состояниями. Схемы проверки на четность.	2
2.4	Арифметические устройства. Полусумматор. Полный одноразрядный сумматор. Варианты схемотехнической реализации. Многоразрядные сумматоры. Сумматоры с последовательным и параллельным переносом.	2
2.5	Субтракторы. Прямой, обратный и дополнительный коды представления целых двоичных чисел. Последовательность действий при замене операции вычитания на операцию сложения. Матричные умножители. Варианты построения матричных умножителей.	2
	Семинары	6
С2.1	Сборка схемы мультиплексора 4:1 и исследование ее работы. Пирамидальное наращивание и создание схемы мультиплексора 16:1 на основе мультиплексоров 4:1. Исследование работы схемы мультиплексора 16:1. Сборка схемы демультимплексора 1:4 и исследование ее работы. Пирамидальное наращивание и получение схемы демультимплексора 1:16 путем мультиплексирования схемы демультимплексора 1:4. Изучение работы схемы декодера управления 7-сегментным индикатором.	2
С2.2	Изучение работы схемы 8-ми входового приоритетного шифратора.	2
С2.3	Изучение работы схемы полного одноразрядного сумматора. Создание схемы 4-х разрядного сумматора с последовательным переносом и изучение ее работы. Со-	2

	здание схемы 4-х разрядного сумматора с параллельным переносом и изучение ее работы	
	Самостоятельная работа	9
СП1.1	Проработка учебного материала лекций	3
СП1.2	Подготовка к практическим работам	3
СП1.3	Другие виды самостоятельной работы	3
3	Цифровые устройства последовательностного типа и запоминающие устройства	43
	Лекции	15
3.1	Триггер как устройство последовательностного типа. Классификация триггеров. Асинхронные и синхронные триггеры. Асинхронный RS-триггер. Принципы работы. Особенности построения асинхронных RS-триггеров на базовых элементах «И» и «ИЛИ». Запрещенные состояния асинхронных RS-триггеров. Триггерная система. Структурная схема. Классификация входных управляющих сигналов. Способы управления триггерами. Двухступенчатые триггеры. Синхронный RS-триггер. Синхронный JK-триггер. Синхронный D-триггер. T-триггер (счетный триггер). Триггеры с функцией разрешения-запрещения работы.	2
3.2	Регистры. Основные структуры регистров. Области применения регистров.	2
3.3	Счетчики. Классификация счетчиков. Универсальные синхронные двоичные счетчики. Счетчики-делители частоты. Реверсивные счетчики. Простые и самокорректирующиеся кольцевые счетчики, построенные на схемах регистров. Простые и самокорректирующиеся счетчики Джонсона.	2
3.4	Классификация запоминающих устройств. Постоянные запоминающие устройства и принципы их организации. Основные функциональные параметры запоминающих устройств. Внутренняя структура запоминающих устройств, реализованных на основе принципа двумерного декодирования. Основные управляющие сигналы микросхем постоянных запоминающих устройств. Временная диаграмма режима чтения.	2
3.5	Оперативные запоминающие устройства (ОЗУ). Организация и внутренняя структура статических и динамических оперативных запоминающих устройств. Режимы и временные диаграммы режимов чтения и записи. Микросхемы EPROM, EEPROM и флэш-памяти. Основные функциональные параметры и технологии производства.	2

3.6	Динамические ОЗУ. Отличия динамических ОЗУ от статических схем памяти. Ячейка памяти динамического ОЗУ и ее работа в режимах «Чтение» и «Запись». Временные диаграммы режимов чтения, записи и регенерации в динамических ОЗУ.	2
3.7	Перспективная элементная база	2
3.8	Рубежный контроль	1
	Семинары	16
С3.1	Счетчики. Изучение внутренней структуры и принципов работы 4-х разрядного счетчика/делителя частоты. Изучение внутренней структуры и принципов работы синхронного двоичного счетчика с параллельной логикой разрешения.	2
С3.2	Регистры. Изучение внутренней структуры и принципов работы схемы 4-х разрядного универсального регистра.	2
С3.3	Кольцевые счетчики. Изучение структуры и принципов работы обычного и самокорректирующегося кольцевого счетчика, реализованного с помощью схемы 4-х разрядного универсального регистра.	2
С3.4	Кольцевые счетчики Джонсона. Изучение структуры и принципов работы обычного и самокорректирующегося 4-х разрядного кольцевого счетчика Джонсона.	2
С3.5	Сборка в пакете САПР простейшей схемы диодного запоминающего устройства. Моделирование и изучение ее работы.	2
С3.6	Изучение принципов организации работы схемы умножителя двухтрехразрядных двоичных чисел, реализованной на базе схемы диодной памяти.	2
С3.7	Изучение принципов оптимизации схемы умножителя двух трехразрядных двоичных чисел и выполнение ее оптимизации. Проверка корректности работы модифицированной схемы.	2
С3.8	Разработка и моделирование на базе 4-х разрядного синхронного двоичного счетчика 74х163 8-разрядного синхронного двоичного счетчика с заданными модулем счета и начальным значением.	2
	Самостоятельная работа	12
СР1.1	Проработка учебного материала лекций	3
СР1.2	Подготовка к практическим работам	3
СР1.3	Подготовка к рубежному контролю	3
СР1.4	Другие виды самостоятельной работы	3
4	Курсовой проект	107