

Московский государственный технический университет
имени Н.Э. Баумана

Методические указания

В.В. МАКАРЧУК

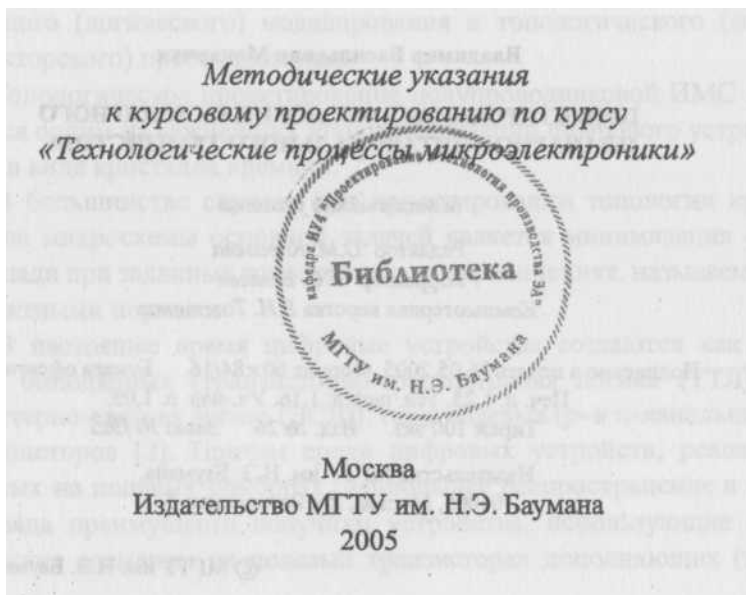
**ПРОЕКТИРОВАНИЕ
ТОПОЛОГИИ БИПОЛЯРНОГО
ПЛАНАРНО-
ЭПИТАКСИАЛЬНОГО
ТРАНЗИСТОРА**

Издательство МГТУ имени Н.Э. Баумана

МОСКОВСКИЙ ГОСУДАРСТВЕННЫЙ ТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ им. Н.Э.
БАУМАНА

В.В. Макаrchук

**ПРОЕКТИРОВАНИЕ ТОПОЛОГИИ БИПОЛЯРНОГО
ПЛАНАРНО-ЭПИТАКСИАЛЬНОГО ТРАНЗИСТОРА**



УДК 621.382.33 ББК 32.844.1 М15

Макарчук В.В.

М15 Проектирование топологии биполярного планарно-эпитаксиального транзистора: Методические указания к курсовому проектированию по курсу «Технологические процессы микроэлектроники». - М.: Изд-во МГТУ им. Н.Э. Баумана, 2005. - 20 с: ил.

Изложена методика инженерного расчета геометрических размеров областей биполярного $n - p - n$ - транзистора, изготавливаемого по типовой планарно-эпитаксиальной технологии с одним скрытым слоем, с учетом заданных топологических проектных норм и величин технологического растрыва и допуска на совмещение фотошаблона при контактной фотолитографии.

Для студентов 5-го курса специальности «Проектирование и технология производства электронно-вычислительных средств».

Ил. 12. Библиогр. 2 назв.

УДК 621.382.33 ББК 32.844.1

Владимир Васильевич Макарчук

ПРОЕКТИРОВАНИЕ ТОПОЛОГИИ БИПОЛЯРНОГО ПЛАНАРНО-ЭПИТАКСИАЛЬНОГО ТРАНЗИСТОРА

Методические указания

Редактор *О.М. Королева*

Корректор *Г.С. Беляева*

Компьютерная верстка *В.И. Товстоног*

Подписано в печать 26.05.2005. Формат 60x84/16 Бумага
офсетная. Печ. л. 1,25. Усл. печ. л. 1,16. Уч.-изд л. 1,05. Тираж 100
экз. Изд. № 26. Заказ № 192

Издательство МГТУ им. Н.Э. Баумана. 105005, Москва, 2-я
Бауманская, 5.

© МГТУ им. Н.Э. Баумана, 2005

ВВЕДЕНИЕ

В настоящее время интегральные микросхемы (ИМС) являются основной элементной базой электронно-вычислительной аппаратуры. Причем их сложность постоянно возрастает, а проектные нормы, по которым они разрабатываются, постоянно уменьшаются [1]. В результате площадь кристалла кремния, на котором реализуются современные электронно-вычислительные устройства, продолжает увеличиваться, но это не приводит к значительному повышению их стоимости, которую в первом приближении можно считать пропорциональной площади кристалла.

Разработка цифрового устройства в виде кристалла полупроводниковой ИМС представляет собой итерационный процесс, в котором можно выделить этапы схемотехнического и функционального (логического) моделирования и топологического (конструкторского) проектирования.

Топологическое проектирование полупроводниковой ИМС является одним из важнейших этапов реализации цифрового устройства в виде кристалла кремния.

В большинстве случаев при проектировании топологии кристалла микросхемы основной задачей является минимизация его площади при заданных топологических ограничениях, называемых проектными нормами.

В настоящее время цифровые устройства создаются как на базе биполярных (транзисторно-транзисторная логика (ТТЛ) и эмиттерно-связная логика (ЭСЛ)), так и полевых (p - и n -канальных) транзисторов [2]. Причем среди цифровых устройств, реализованных на полевых приборах, наибольшее распространение в силу ряда преимуществ получили устройства, использующие логические элементы на полевых транзисторах дополняющих (т. е.

одновременно р- и n-канальных) типов проводимости. Такие микросхемы относят к классу комплементарных металл-диэлектрик-полупроводниковых (КМДП) приборов, поскольку их производство осуществляется по более сложному, чем в случае применения только р-канальных или только n-канальных транзисторов, технологическому процессу.

При реализации цифровых устройств на базе биполярных приборов основным компонентом базовых логических ячеек вне зависимости от того, какой вид логики (ТТЛ или ЭСЛ) используется, является биполярный n-p-n – транзистор. Поэтому от того, насколько грамотно проведено топологическое проектирование этого элемента, зависит и успех разработки цифрового устройства в целом.

1. ПРОЕКТИРОВАНИЕ ТОПОЛОГИИ ТРАНЗИСТОРА

1.1. Исходные предпосылки и ограничения

Проектирование топологии интегрального транзистора, изготавливаемого по планарно-эпитаксиальной технологии, всегда ведется с учетом следующих двух факторов.

1. Фактор увеличения размеров элементов структуры интегрального транзистора, вызванный растрвом окисла на технологической операции вскрытия окон. Величина изменения размера элемента структуры транзистора Δ_p , вызванная его растрвом вследствие отклонения реального технологического процесса травления от идеального, всегда положительна и для типового технологического процесса обычно не превышает 1 мкм. Заметим, что в случае использования в технологическом процессе изготовления ИМС, в частности, при создании областей интегрального транзистора и контактных окон к ним сухих плазменных методов травления значение величины Δ_p можно считать равным нулю.

2. Фактор смещения элемента структуры интегрального транзистора относительно номинального положения на величину Δ_c в результате неточного совмещения топологических слоев на операции совмещения перед экспонированием при контактной фотолитографии, что реально происходит в процессе производства ИМС. Эта величина также положительна и обычно лежит в диапазоне от 0,2 до 1 мкм. Отметим, что в случае использования в технологическом процессе изготовления ИМС проекционной фотолитографии значение параметра Δ_c также можно считать равным нулю.

Рассмотрим правила изображения на черно-белых рисунках топологии биполярного транзистора различных его областей. Они заключаются в следующем.

1. Границы изотипных n^+ — n - или p^+ — p -переходов или обычных p - n -переходов принято изображать сплошными линиями. Причем эти линии проводятся так, как они выполняются на фотошаблонах слоев, образующих эти переходы, т. е. без смещения границы p - n -перехода, которое может произойти в результате, например, процесса диффузии.
2. Контактные окна к областям транзисторов принято изображать пунктирными линиями.
3. Границы областей металлизации принято показывать тонкой (в два раза тоньше, чем линии границ p - n -переходов) сплошной линией, а сами области металлизации внутри границ заштриховывать под углом 45° .
4. Границы области скрытого p^+ -слоя принято показывать тонкой штрихпунктирной линией.

Указанные правила справедливы и для изображения других элементов топологии кристалла микросхемы, например резисторов или конденсаторов.

1.2. Расчет геометрических размеров областей транзистора

Проектирование топологии биполярного транзистора обычно начинают с выбора формы и геометрических размеров области эмиттера и контакта к ней. При этом обычно руководствуются следующими правилами.

1. Как показывает практика, контакт к области эмиттера работает без явлений деградации только в том случае, если плотность тока через него не превышает значений $100 \dots 200 \text{ мкА/мкм}^2$.
2. Размер области эмиттера в наихудшем случае (т. е. при максимальном растрове и максимальном смещении из-за погрешности совмещения фотошаблона) не должен выходить за границы области базы.

3. Ширина эмиттера транзистора практически всегда соответствует минимальной проектной норме для слоя эмиттерной диффузии.

На рис. 1, а показано положение эмиттерной области транзистора и омического контакта к ней внутри области базы в случае отсутствия растрова и смещения, а на рис. 1, б — их положение в случае максимального растрова и смещения контактного окна.

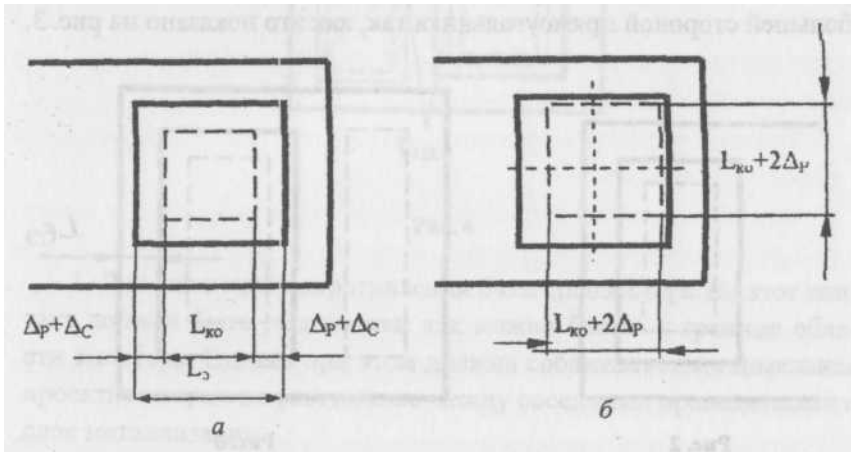


Рис.1

Изменение геометрических размеров контактного окна обычно происходит в результате травления окисла жидкостными методами (так называемый растрав).

Рабочий ток транзистора определяет размер контакта к области эмиттера.

Пусть эмиттерная область имеет квадратную форму размером $L_э \times L_э$. Тогда ширина контактного окна к ней $L_{кo}$ не может быть больше

$$L_{кo} = L_э - 2(\Delta_p + \Delta_c). \quad (1)$$

Если $L_э = 10$ мкм, $\Delta_p = \Delta_c = 1$ мкм, то контактное окно к области эмиттера не может быть больше, чем $6 \text{ мкм} \times 6 \text{ мкм} = 36 \text{ мкм}^2$, что обеспечивает нормальную работу транзистора при токах эмиттера до 3,6 мА.

Такая величина тока эмиттера в подавляющем большинстве случаев превышает уровень рабочего тока для всех маломощных транзисторов, работающих в логических элементах ТТЛ и ЭСЛ.

Если необходимо спроектировать транзистор, работающий при более высоком уровне тока, то площадь контакта к эмиттеру и размер самой эмиттерной области увеличивают, в результате чего эмиттер обычно принимает прямоугольную форму, показанную на рис. 2. В этом случае контакт к области базы располагают рядом с большей стороной прямоугольника так, как это показано на рис. 3.

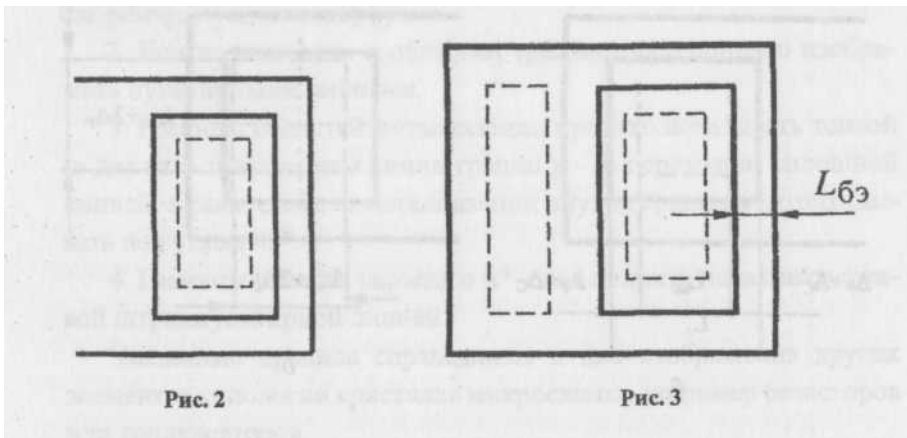


Рис. 2

Рис. 3

Расчет геометрических размеров области базы и омических контактов к ней начинают с определения расстояния между границами области базы и области эмиттера. Оно должно быть не меньше

$$L_{бэ} = 2\Delta_c + \Delta_p. \quad (2)$$

Выражение (2) обеспечивает нахождение области эмиттера внутри области базы для наихудшего случая, т. е. при ее максимальном растрове и смещении.

Омический контакт к области базы проектируют исходя из следующих соображений.

1. Через контакт к области базы транзистора протекает ток в $V_{сн}$ раз меньший, чем через эмиттерный контакт. Поэтому ширину контакта к базе можно выбрать равной минимальной проектной норме, заданной для слоя контактных окон.

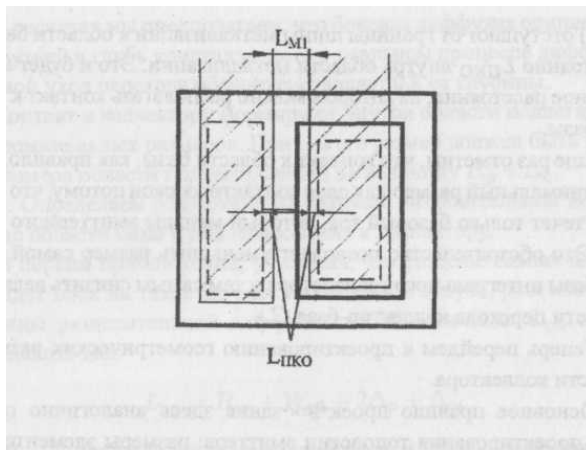


Рис. 2

2. Для снижения сопротивления базы транзистора R_b этот контакт должен быть расположен как можно ближе к границе области эмиттера. Однако при этом должна соблюдаться минимальная проектная норма по расстоянию между соседними проводниками в слое металлизации.

Как видно из рис.4, расстояние между контактным окном к эмиттеру и контактным окном к базе может быть определено как

$$2L_{\text{ПКО}} + L_{M1}, \quad (3)$$

где L_{M1} — минимальное расстояние между соседними проводниками в слое металлизации; $L_{\text{ПКО}}$ — проектная норма перекрытия контактного окна слоем металлизации.

Расположение контакта к области базы устанавливают в такой последовательности:

- 1) определяют геометрические размеры области эмиттера и омического контакта к ней;
- 2) перекрывают контакт к области эмиттера слоем металлизации в соответствии с заданной проектной нормой на перекрытие;
- 3) размещают шину металлизации к области базы на расстоянии L_{M1} от шины металлизации к области эмиттера;

4) отступают от границы шины металлизации к области базы на расстояние $L_{ПКО}$ внутрь области металлизации. Это и будет минимальное расстояние, на котором можно располагать контакт к области базы.

Еще раз отметим, что контакт к области базы, как правило, имеет минимальный размер для слоя контактных окон потому, что через него течет только базовый ток, который меньше эмиттерного в $B_{ст}$ раз. Это обстоятельство позволяет уменьшить размер самой области базы интегрального транзистора и тем самым снизить величину емкости перехода коллектор-база $C_{кб}$.

Теперь перейдем к проектированию геометрических размеров области коллектора.

Основное правило проектирования здесь аналогично правилу 2 проектирования топологии эмиттера: размеры элементов для наихудшего случая не должны выходить за границы области коллектора.

Последовательность действий при проектировании области коллектора следующая.

1. Определяем положение и размеры области подлегирования коллекторного контакта. Основное требование к этой области: она не должна смыкаться с областью базы транзистора, так как в противном случае резко падает пробивное напряжение перехода коллектор-база $U_{кб}$.

Для выполнения этого условия необходимо, чтобы расстояние от области базы до области подлегирования коллекторного контакта W было больше

$$W = W_{бэ} + W_{кб} + 2\Delta_p + \Delta_c, \quad (4)$$

где $W_{бэ}$ и $W_{кб}$ — глубины залегания переходов эмиттер-база и коллектор-база соответственно (предполагается, что величина бокового ухода границы p - n -перехода под окисел равна его глубине). Обычно вычисленное в микронах значение W округляют в большую сторону до ближайшего целого.

В расчетах мы предполагаем, что боковая диффузия одинакова с диффузией в глубь кристалла, хотя в реальном процессе диффузии боковой уход перехода обычно составляет 0,8 от глубины.

Контакт к коллектору формируют внутри области подлегирования номинальных размеров. Причем его размер должен быть меньше размера области подлегирования на величину $\Delta_p + \Delta_c$.

2. Определяем расстояние от границы разделительной диффузии до области базы и подлегирования к коллектору.

В первом приближении, учитывая, что разделительная диффузия идет вбок на такое же расстояние, как и вглубь, расстояние от границы разделительной диффузии до области базы $L_{рд}$ можно определить как

$$L_{рд} = H_{эп} + W_{кб} + 2\Delta_p + \Delta_c, \quad (5)$$

где $H_{эп}$ — толщина эпитаксиальной пленки; $W_{кб}$ — глубина залегания перехода коллектор-база.

Ширина дорожки разделительной диффузии обычно выбирается равной толщине эпитаксиальной пленки.

Область скрытого p^+ -слоя обычно отстоит от области разделительной диффузии на таком же расстоянии, что и область базы. Поэтому на топологии граница области скрытого слоя обычно совпадает с границей области базы, а в области коллектора ее ведут на том же расстоянии, что и в области базы.

Топология n - p - p -транзистора, изготовляемого по планарно-эпитаксиальной технологии, показана на рис. 5.

2. ПРИМЕР ПРОЕКТИРОВАНИЯ

Задание

Спроектировать топологию интегрального n - p — p -транзистора, изготовляемого по планарно-эпитаксиальной технологии, с расположением контактов к областям эмиттера, базы и коллектора в порядке Э—Б—К в соответствии со следующими исходными данными:

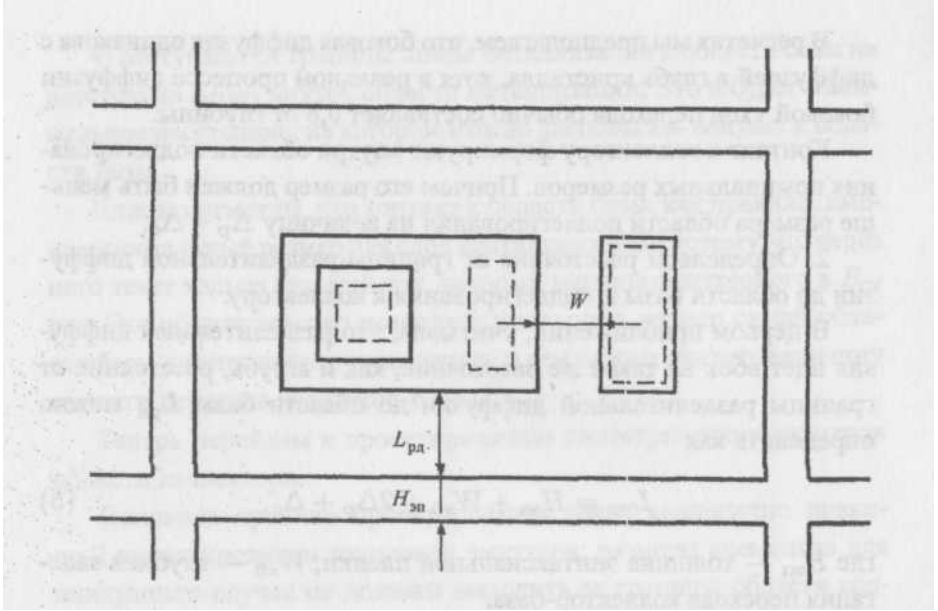


Рис.5

- 1) толщина эпитаксиальной пленки $H_{эп}$ -- 6 мкм;
- 2) минимальная ширина топологического слоя эмиттерной области $H_э$ = 10 мкм;
- 3) минимальная ширина топологического слоя области контактных окон $H_{ко}$ = 4 мкм;
- 4) минимальное расстояние между соседними проводящими дорожками в топологическом слое металлизации $L_{м1}$ = 5 мкм;
- 5) минимальная ширина проводящей дорожки в топологическом слое металлизации L_M = 6 мкм;
- 6) перекрытие контактного окна топологическим слоем металлизации $L_{пко}$ = 2 мкм;
- 7) максимальный растрав Δ_p = 1 мкм;
- 8) максимальное смещение Δ_c = 1 мкм;
- 9) глубина залегания перехода эмиттер-база $W_{эб}$ = 1,8 мкм;
- 10) глубина залегания перехода коллектор-база $W_{кб}$ = 2,5 мкм;
- 11) максимальный ток эмиттера транзистора не должен превышать 3 мА.

Порядок расчета

Проектирование топологии транзистора будем вести в целой микронной координатной сетке в такой последовательности.

1. Выбираем размер области эмиттера равным минимальной проектной норме для топологического слоя эмиттерной диффузии,

т.е. $L_{э} = H_{э} = 10$ мкм. Тогда с учетом величин растрыва и смещения ширина контактного окна к области эмиттера не может быть больше

$$L_{к0} = L_{э} - 2(\Delta_c + \Delta_p) = 10 \text{ мкм} - 2(1 \text{ мкм} + 1 \text{ мкм}) = 6 \text{ мкм}.$$

Выбираем форму контактного окна к области эмиттера квадратной со стороной, равной 6 мкм. Тогда площадь контакта к области эмиттера будет равна 36 мкм^2 . Такое контактное окно обеспечит нормальную работу транзистора при токах до 3,6 мА, что удовлетворяет заданным требованиям.

2. Определим расстояние между границами областей эмиттера и базы

3. Определим расстояние между контактным окном к эмиттеру и

$$L_{бэ} = 2\Delta_c + \Delta_p = 2 \cdot 1 \text{ мкм} + 1 \text{ мкм} = 3 \text{ мкм}.$$

С учетом этого ширила области базы будет равной

$$H_б = L_{э} + 2L_{бэ} = 10 \text{ мкм} + 2 \cdot 3 \text{ мкм} = 16 \text{ мкм}.$$

контактным окном к базе

$$L_1 = 2L_{пко} + L_{M1} = 2 \cdot 2 \text{ мкм} + 5 \text{ мкм} = 9 \text{ мкм}.$$

Выберем ширину контакта к области базы, равной минимальной проектной норме, на ширину контактного окна $H_{к0} = 4$ мкм. Тогда длина области базы будет равной

$$\begin{aligned} L_б &= L_{бэ} + L_{э} + L_{M1} + L_{пко} + H_{к0} + \Delta_p + \Delta_c = \\ &= 3 \text{ мкм} + 10 \text{ мкм} + 5 \text{ мкм} + 2 \text{ мкм} + 4 \text{ мкм} + 1 \text{ мкм} + 1 \text{ мкм} = 26 \text{ мкм}. \end{aligned}$$

4. Определим расстояние между границами области базы и области подлегирования коллекторного контакта

$$\begin{aligned} W &= W_{бэ} + W_{кб} + 2\Delta_p + \Delta_c = \\ &= 1,8 \text{ мкм} + 2,5 \text{ мкм} + 2 \cdot 1 \text{ мкм} + 1 \text{ мкм} = 7,3 \text{ мкм}. \end{aligned}$$

Полученное значение округляем в большую сторону до ближайшего целого. Таким образом, $W = 8 \text{ мкм}$.

5. Определяем расстояние от границы области базы до границы разделительной диффузии

$$\begin{aligned} L_{рд} &= H_{эп} + W_{кб} + 2\Delta_p + \Delta_c = \\ &= 6 \text{ мкм} + 2,5 \text{ мкм} + 2 \cdot 1 \text{ мкм} + 1 \text{ мкм} = 11,5 \text{ мкм}. \end{aligned}$$

Полученное значение округляем в большую сторону до ближайшего целого. Тогда $L_{рд} = 12 \text{ мкм}$.

6. Вычисляем ширину области коллектора

$$H_k = 2L_{рд} + H_б = 2 \cdot 12 \text{ мкм} + 16 \text{ мкм} = 40 \text{ мкм}.$$

7. Вычисляем длину области коллектора с учетом того, что область подлегирования коллекторного контакта равна минимальной проектной норме для топологического слоя эмиттерной диффузии ($L_э = H_э$):

$$\begin{aligned} L_k &= 2L_{рд} + L_б + W + L_э = \\ &= 2 \cdot 12 \text{ мкм} + 26 \text{ мкм} + 8 \text{ мкм} + 10 \text{ мкм} = 68 \text{ мкм}. \end{aligned}$$

Проектирование топологии транзистора закончено. Габаритные размеры спроектированного транзистора по топологическому слою разделительной диффузии: $40 \text{ мкм} \times 68 \text{ мкм}$.

Топология спроектированного транзистора с указанием размеров отдельных областей показана на рис. 6.

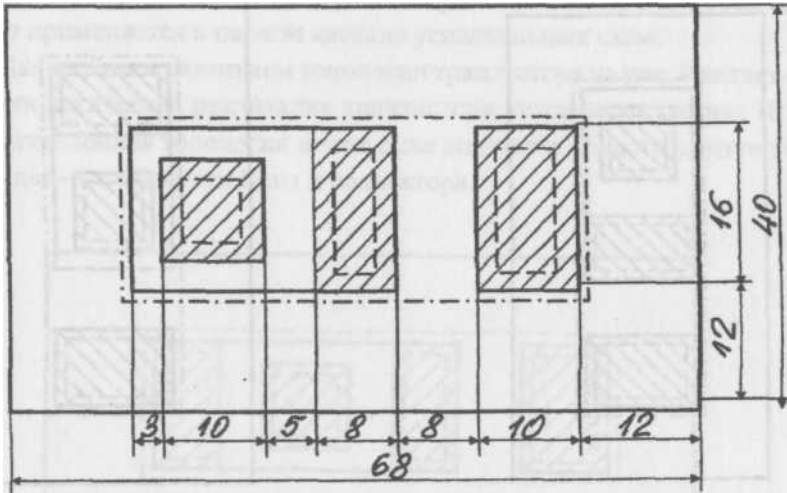


Рис.6

3. ВАРИАНТЫ ТОПОЛОГИЧЕСКОЙ РЕАЛИЗАЦИИ $n-p-n$ -ТРАНЗИСТОРОВ

В реальных интегральных схемах в зависимости от выполняемой транзистором функции используется достаточно большое количество вариантов их топологической реализации.

Наиболее часто при реализации транзисторов малой мощности применяются так называемые транзисторные структуры минимальной геометрии. Основные топологические признаки таких структур заключаются в том, что они имеют только по одному контактному окну к каждой области транзистора, а расчет геометрических размеров их областей ведется с использованием минимальных проектных топологических норм. Поэтому транзисторы малой мощности занимают минимальную площадь на кристалле.

Обычно в качестве транзисторных структур минимальной геометрии используют полосковые транзисторные структуры со следующими комбинациями расположения контактов: К—Б—Э (рис. 7) или К—Э—Б (рис. 8).

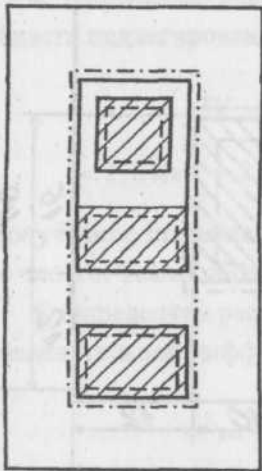


Рис. 7

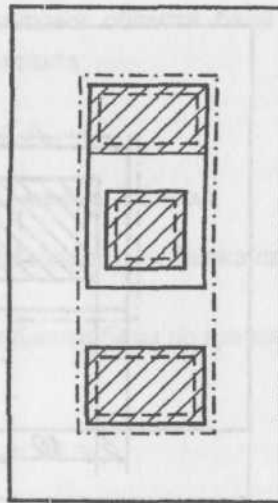


Рис. 8

Название «полосковые» данные структуры получили с учетом того обстоятельства, что в них контакты к областям транзистора выполнены в виде квадрата или полоски прямоугольной формы.

Топологическая реализация транзистора, показанная на рис. 7, является основной и при проектировании топологии ИМС обычно используется наиболее часто, так как обладает наилучшими электрическими характеристиками, в частности, имеет несколько меньшее по сравнению с транзисторной структурой на рис. 8 сопротивление тела коллектора $R_{к}$. Структура, приведенная на рис. 8, применяется в том случае, если при использовании структуры на рис. 7 коммутация элементов ИМС при разводке в один слой металлизации вызывает затруднения.

На рис. 9 показана топология маломощного полоскового транзистора с двумя контактами к области базы и по одному — к областям эмиттера и коллектора. Применение двух контактов к области базы позволяет вдвое снизить сопротивление области базы $R_{б}$, а потому такая топологическая реализация транзистора обладает меньшим уровнем собственных шумов. Структура на рис. 9 хотя и зани-

мает несколько большую площадь на кристалле, но обычно весьма часто применяется в первом каскаде усилительных схем.

Дальнейшим развитием топологии транзистора на рис. 9 является топологическая реализация транзистора, показанная на рис. 10. Представленная топология имеет один контакт к области эмиттера и по два — к областям базы и коллектора.

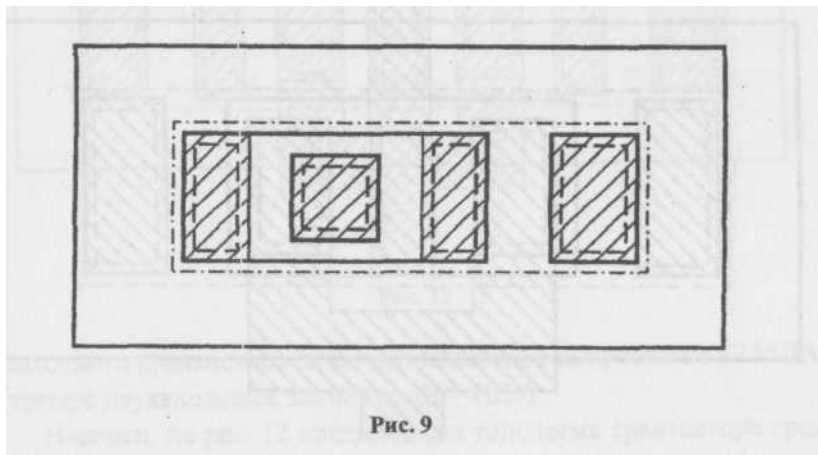


Рис. 9

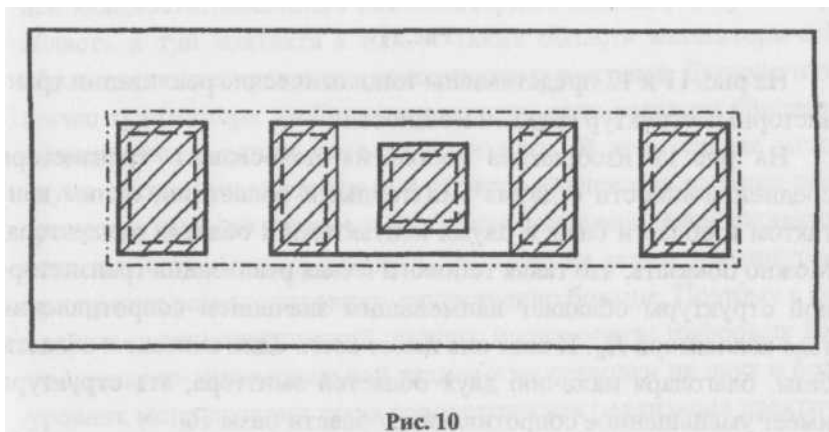


Рис. 10

По сравнению с предыдущей данная топологическая реализация помимо уменьшенного сопротивления области базы R_B имеет и уменьшенное сопротивление тела коллектора R_K . Снижение сопротивления тела коллектора является важным в том случае, если

питание узла ИМС, в котором используются транзисторы данной топологии, осуществляется от источника с малым напряжением.

Довольно часто представленная топология используется в ИМС радиоприемных трактов, в частности, при схемотехнической реализации узлов гетеродина и смесителя.

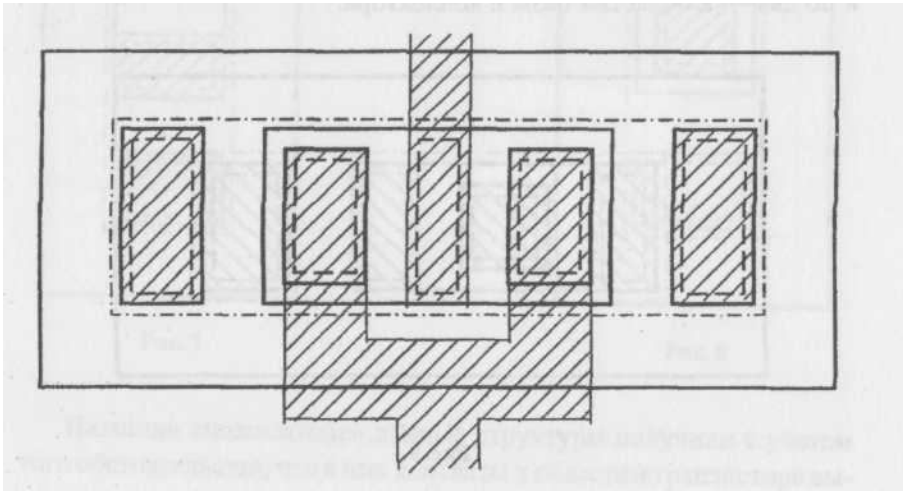


Рис. 11

На рис. 11 и 12 представлены топологические реализации транзисторных структур средней мощности.

На рис. 11 изображена топология полоскового транзистора средней мощности с двумя эмиттерными областями, одним контактом к области базы и двумя контактами к области коллектора. Можно показать, что такая топологическая реализация транзисторной структуры обладает наименьшим значением сопротивления тела коллектора R_{κ} . И хотя она имеет всего один контакт к области базы, благодаря наличию двух областей эмиттера, эта структура имеет уменьшенное сопротивление области базы R_{δ} .

Основная область применения таких структур — выходные каскады логических схем ТТЛ. С их помощью легче обеспечить сохранение уровня логического нуля при больших токах в нагрузку. В частности, подобная структура используется для реализации

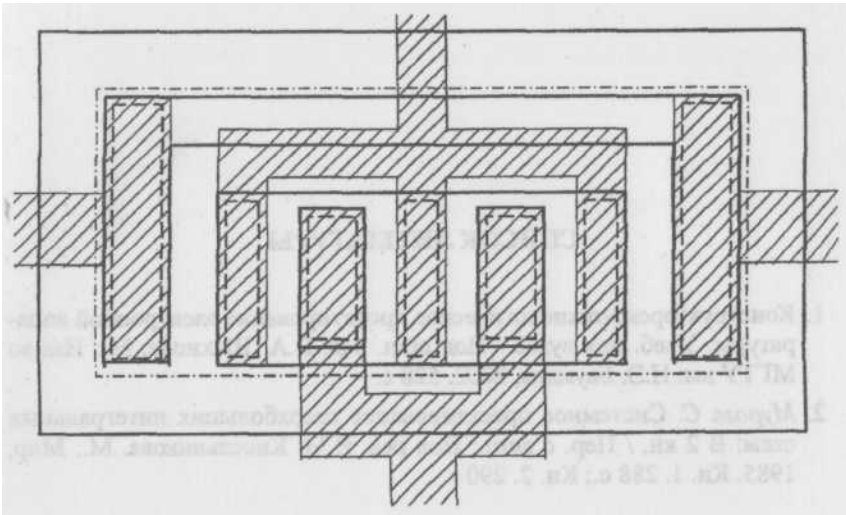


Рис. 12

выходного транзистора сложного инвертора микросхемы К155ЛА3 (четыре двухвходовых элемента «И—НЕ»).

Наконец, на рис. 12 представлена топология транзистора средней мощности, имеющего две эмиттерные области, одну базовую область и три контакта к ней, а также область коллектора с П-образным подлегированием коллекторного контакта. Данную топологию транзистора удобно использовать, если разводка кристалла выполняется в одном слое металлизации. В этом случае между двумя соседними контактами к области коллектора имеется электрическая связь по низкоомной области подлегирования коллекторного контакта. Однако площадь, занимаемая таким транзистором при прочих равных условиях, существенно больше. Поэтому с внедрением в технологический процесс производства цифровых БИС по планарно-эпитаксиальной технологии разводки на двух и более уровнях металлизации такая топологическая реализация практически перестала применяться.

СПИСОК ЛИТЕРАТУРЫ

1. Конструкторско-технологическое проектирование электронной аппаратуры: Учеб. для вузов / Под общ. ред. В.А. Шахнова. М.: Изд-во МГТУ им. Н.Э. Баумана, 2002. 528 с.
2. *Мурога С.* Системное проектирование сверхбольших интегральных схем: В 2 кн. / Пер. с англ.; Под ред. В.М. Кисельникова. М.: Мир, 1985. Кн. 1. 288 с; Кн. 2. 290 с.

ОГЛАВЛЕНИЕ

Введение.....	3
1. Проектирование топологии транзистора	5
1.1. Исходные предпосылки и ограничения	5
1.2. Расчет геометрических размеров областей транзистора	6
2. Пример проектирования.....	11
3. Варианты топологической реализации <i>n-p-n</i> -транзисторов	15
Список литературы.....	20