

Министерство высшего и среднего специального образования СССР

— • —
Московское ордена Ленина, ордена Октябрьской Революции
и ордена Трудового Красного Знамени
высшее техническое училище им. Н. Э. Баумана

К. Б. ЛУКИН

АВТОМАТИЗАЦИЯ КОНТРОЛЯ ЦИФРОВЫХ
СУББЛОКОВ И ТЭЗов
(МОДУЛЕЙ 1-го УРОВНЯ) НА КОМБИНАЦИОННЫХ
СХЕМАХ

Методические указания для курсового и дипломного
проектирования
по курсу «Технология производства ЭВА и РЭА»

Министерство высшего и среднего специального образования СССР

Московское ордена Ленина, ордена Октябрьской Революции
и ордена Трудового Красного Знамени
высшее техническое училище им. Н.Э. Баумана

К.Б. ЛУКИН

Утверждены
редсоветом МВТУ

АВТОМАТИЗАЦИЯ КОНТРОЛЯ ЦИФРОВЫХ СУББЛОКОВ И ТЭЗОВ
(МОДУЛЕЙ ПЕРВОГО УРОВНЯ) НА КОМБИНАЦИОННЫХ СХЕМАХ

Методические указания

для курсового и дипломного проектирования

по курсу

"Технология производства ЭВА и РЭА"



Под редакцией Белова Б.И.

Данные методические указания издаются в соответствии с учебным планом.
Рассмотрены и одобрены кафедрой П-8 ЗИ.Ю.83 г., методической комиссией факультета П и учебно-методическим управлением.

Рецензент к.т.н. доц. Силантьев Ю.Н.

© Московское высшее техническое училище имени Н.Э. Баумана

Константин Богризович Лукин

Редактор Л.П. Кистанов
Корректор Л.И. Малюгина
Заказ 981. Объем 1,5 п.л. (1,5уч.-изд.л.). Тираж 300 экз.
Бесплатно. Подписано к печати 04.05.84 г. План 1984г., № 44.
Типография МВТУ. 107006, Москва, Б-5, 2-я Бауманская, 5.

ВВЕДЕНИЕ

Самое распространенное направление конструирования ЭВА и РЭА - модульный принцип. Для построения электронных устройств используют пять модульных уровней [1], каждый из которых - базовая конструкция (рис. 1).

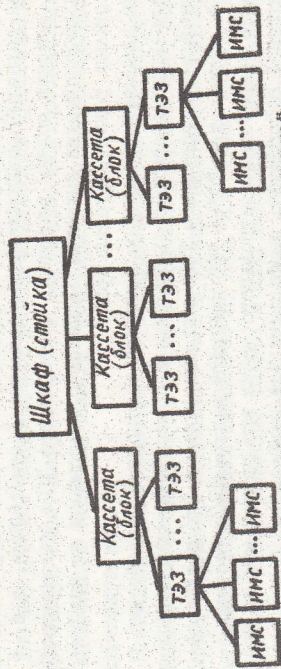


Рис. 1. Иерархическая система модулей

Модуль нулевого уровня - интегральная микросхема (в том числе и микросборка) или радиоэлемент.

Модуль первого уровня - типовый элемент замены (ТЭЭ), содержащий микросхемы, печатную плату или плату со стежковым монтажом, разъемы.

Модуль второго уровня - кассета или блок, включающий модули первого уровня, раму или корпус блока, объединительную печатную плату или провода для электрического соединения модулей первого уровня между собой.

Модуль третьего уровня - стойка или шкаф, включающий модули второго уровня, раму или корпус шкафа, провода для соединения блоков между собой.

Типовое задание технологического проекта, выполняемого студентами электронных специальностей приборостроительного факультета на девятом семестре, - разработка технологического процесса и проектирование оснастки для сборки, монтажа и контроля модуля первого уровня. Это направление - часть технологического задания в дипломном проекте. Разработка операционной технологии контроля в курсовом технологическом проекте составляет 20% от всего объема технологического процесса, включая часть расчетно-пояснительной записки и один графический лист формата А1.

Данные указания включают методический и справочный маге-

риал, достаточный для разработки операционной технологии контроля ТЭЗ и входного контроля микросхем, если заданием является модель первого уровня, выполняющий функции цифровой обработки поступающей на его вход информации.

При автоматизированном контроле ТЭЗ или микросхему подготавливают к специализированному устройству. На вход контролируемого ТЭЗа подает набор электрических сигналов: логических "0" и "1". Выходные сигналы сравниваются в установке с эталонными, т.е. с такими, которые должны поступать с исправного ТЭЗа или микросхемы. При несопадении выходных сигналов с эталонными на индикаторах установки регистрируется брак.

Для автоматизированного контроля необходимо разработать программу-последовательность входных и соответствующих им выходных сигналов при исправном ТЭЗе или микросхеме. Эту последовательность логических "0" и "1" называют контрольным тестом.

После разработки контрольного теста его записывают на носителях входной информации: перфоленту или перфокарты. С них программа контроля записывается во внешний накопитель установки тестового контроля. После этого установка подготовлена к автоматизированному контролю. В технологическую подготовку операции автоматизированного контроля входит разработка программы для данного цифрового ТЭЗа или микросхемы и его запись на перфоленту. Разработка программы - наиболее трудоемкая и длительная часть работы по подготовке контроля, требующая инженерную квалификацию.

§ 1. Общие правила составления контрольных тестов для комбинационных схем

Контрольным тестом называют последовательность входных наборов, обеспечивающих проверку цифрового ТЭЗа или микросхемы. Контрольный тест и соответствующее ему множество выходных наборов называют контрольной программой.

Входным набором называют совокупность логических сигналов, одновременно подаваемых на вход ТЭЗа или микросхемы. Выходной набор - это совокупность логических сигналов, снимаемых с выходов ТЭЗа или микросхемы при подаче на все его входы входного набора.

Изготовленный цифровой ТЭЗ или микросхема может быть исправным или произвольным числом неисправностей логического типа (обрыв или короткое замыкание печатных проводников, обрыв или короткое замыкание компонентов микросхем, входящих в ТЭЗ). Такие не-

исправности приводят к тому, что на входах или выходах логических элементов появляется, независимо от входных воздействий, фиксированное значение 0 или 1.

Неисправность i -го элемента, характеризующаяся постоянным значением 0 или 1 на его выходе, обозначают $S_i - 0(I)$. Неисправность i -го элемента, характеризующаяся постоянным значением 0 или 1 на его j -м входе, обозначают $S_{ij} - 0(I)$.

Для построения контрольных тестов используют принципиальную электрическую схему цифрового ТЭЗа или микросхемы: последовательную, включающую элементы памяти (триггеры), или комбинационную, не включающую их.

Построение контрольного теста цифрового ТЭЗа или микросхемы заключается в следующем: в схеме выделяют одноходовые комбинационные подсхемы. Подсхема - часть схемы, включающая группу элементарных логических элементов И, ИЛИ, НЕ, И-НЕ, ИЛИ-НЕ. Каждый элемент схемы включает только в одну подсхему. Определяют контрольные тесты для каждой подсхемы, из них формируют тест схемы всего ТЭЗа или микросхемы.

Для составления теста необходимо:

- провести декомпозицию схемы (разбить схему на подсхемы);
- определить наборы контрольных тестов для каждой подсхемы, достаточные для построения теста схемы;
- определить тест схемы.

Методика составления тестов для комбинационных схем рассмотрена на цифровых ТЭЗах или микросхемах, в которых выход каждой комбинационной подсхемы является выходом цифрового ТЭЗа или микросхемы.

Для одноходовой комбинационной подсхемы (рис. 2) приняты следующие обозначения:

x_1, x_2, \dots, x_m - входные переменные подсхемы;
 $f(x_1, x_2, \dots, x_m)$ - функция, реализуемая исправной подсхемой;

$f_i(x_1, x_2, \dots, x_m)$ - функция, реализуемая подсхемой при неисправности $S_i - 0(I)$;
 E - множество всех входных наборов подсхемы;

E - произвольный входной набор из множества $E (e \in E)$;

$f(e)$ - значение функции от набора e при отсутствии неисправности.

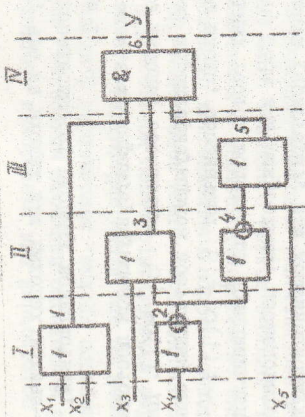


Рис. 2. Обновляющая комбинационная схема

Множество наборов $T \in E$ называют контрольными тестом одно-выходной комбинационной подсхемы, если при любой неоправданности $S_1 - S(1)$ существует входной набор $e \in E$, на котором $f(e) \neq \{e\}$.

Каждая обновляющая комбинационная подсхема описывается эквивалентной нормальной формой (ЭНФ). Под ЭНФ подразумевают выражение функции выхода схемы относительно ее входов, полученное непосредственно по подсхеме и представленное в дизъюнктивной нормальной форме (ДНФ). Основные этапы составления теста для одно-выходной комбинационной подсхемы: составление ЭНФ; составление теста по ЭНФ.

§ 2. Составление эквивалентной нормальной формы одновыходной комбинационной подсхемы

Составление ЭНФ производится по комбинационной подсхеме цифрового ТЗБа (см. рис. 2), в котором логические элементы упорядочены по уровням. Распределение элементов начинают с первого уровня, к нему относят логические элементы, входы которых - только входы подсхемы (внешние входы цифрового узла).

Ко второму уровню относят элементы, входы которых - входы подсхемы или входы элементов первого уровня, не включенные в состав элементов этого уровня.

К n -му уровню относят элементы, входы которых - входы подсхемы или входы элементов, не превышающие $(n-1)$ -го уровня, не включенные в состав элементов уровня ниже n -го. Распределение по уровням выполняют до тех пор, пока не определен последний уровень подсхемы, к которому следует отнести логический элемент с внешним выводом цифрового узла.

Входы подсхемы (см. рис. 2) обозначают буквами латинского алфавита, выходы логических элементов - арабского. Составление

ЭНФ начинают от выхода подсхемы (выхода элемента n -го уровня) и продолжают по уровням ко входам подсхемы.

Выражение функции элемента n -го уровня записывают относительно его входов с индексами порядкового номера выхода этого элемента. Полученное выражение разворачивают, для чего выходы элементов $n-1$ -го уровня заменяют их функциями относительно их входов. При этом номер выхода разворачиваемого элемента $(n-1)$ -го уровня переносят в индекс функции. Затем выполняют аналогичную подстановку на уровни $(n-2), (n-3), \dots, 2, 1$. При подстановке каждого аналитического выражения его закрывают в скобки и помещают индексами, номера которых соответствуют номеру выхода элемента, замененного функцией от его входов. Индекс определяют внутреннюю связь элементов с выходом подсхемы. В результате получают структурно-аналитическое выражение в произвольной (скобочной) форме.

Например, для схемы, представленной на рис. 2 и включившей четыре уровня, были получены аналитические выражения (1) и (4) значения сигнала на выходе Y последовательно для каждого уровня, начиная с четвертого:

$$Y = 1^6 \wedge 3^5 \wedge 5^6, \quad (1)$$

$$Y = 1^5 \wedge 3^5 \wedge (4 \vee x_5)^{5,6}, \quad (2)$$

$$Y = 1^6 \wedge (x_3 \vee 2)^{3,6} \wedge (\bar{2} \vee x_5)^{5,6}, \quad (3)$$

$$Y = (x_1 \vee x_2)^{1,6} \wedge (x_3 \vee \bar{x}_4)^{2,3,6} \wedge (x_4 \vee x_5)^{5,6}. \quad (4)$$

В полученном выражении (4) для первого уровня раскрывают скобки и выполняют преобразования, необходимые для описания схемы в дизъюнктивной нормальной форме. При раскрытии скобок индекс, стоящий после нее, приписывают последовательно всем переменным внутри скобки. У каждой входной переменной получают индекс путей, соответствующие номерам внутренних связей, которые образуют путь от этой переменной до выхода. Для удобства записи эти индексы путей нумеруют. В окончательном виде получают выражение в ЭНФ, которое включает переменные с индексами путей. При разветвлении в схеме, в том числе на ее входах, одна и та же переменная может входить в схему с различными индексами путей. При получении ЭНФ не следует проводить никаких сокращений. Переменную (или ее индекс) с индексом пути называют буквой, она будет аргументом ЭНФ.

букву, имеют различный индекс τ , один раз. При контроле последующих букв иногда предельные буквы проверяются вторично. Это допускается. При составлении теста каждая буква в каждой терме обводится кружком на том наборе, где ее впервые проверяют. Например, сокращенная ОЭФ для схемы на рис. 2 имеет вид

$$\bar{Y} = \bar{x}_1 \wedge \bar{x}_2 \vee \bar{x}_3 \wedge \bar{x}_4 \vee \bar{x}_5 \wedge \bar{x}_6 \quad (9)$$

Тест для выражения (9) приведен в табл. 1.

Таблица 1

Контрольный тест одновыходной подсхемы

Номер набора	Термы ЭФ					Выход
	\bar{x}_1	\bar{x}_2	\bar{x}_3	\bar{x}_4	\bar{x}_5	
1	1	1	1	1	0	1
2	0	1	1	0	1	1
3	0	1	0	1	1	1
4	0	0	1	1	1	0
5	1	0	0	0	1	0

Если на всех наборах контрольного теста (табл. 1) выход Y имеет значения, равные значениям в табл. 1, то подсхема не имеет неисправностей (годная). Если один или несколько наборов теста имеют выход Y , отличный от табл. 1, то в подсхеме (рис. 2) существует неисправность. Определить, в каком месте подсхемы эта неисправность, по тесту невозможно. Этим контрольный тест (табл. 1) отличается от диагностического, по которому определяет место неисправности в подсхеме.

§ 4. Составление контрольных тестов для многовыходных комбинационных схем

Комбинационную схему, имеющую более одного выхода, разбивают на одновыходные подсхемы, для каждой из которых составляют тест по методике, изложенной в § 3.

Особое внимание следует обратить на выделение однотипных или сходных по своему функциональному назначению частей схемы и уменьшение связей между подсхемами.

Схему узла приволят к виду, удобному для декомпозиции:

- а) обозначают входы схемы буквами x_1, x_2, \dots, x_n ;
 б) обозначают выходы схемы буквами y_1, y_2, \dots, y_n ;

- в) производят сквозную нумерацию выходов элементов схемы; г) обозначают обратные связи и связи между подсхемами строчными буквами латинского алфавита.

Определяют границы (входы и выходы) каждой одновыходной комбинационной подсхемы. Основные выходы - выходы цифрового ТЭЭА или микросхемы, промежуточные выходы - точки разрывов связей с другими подсхемами, образующиеся при декомпозиции.

Входами подсхем считают: входы цифрового узла; точки разрыва обратных связей и связей с другими подсхемами, образующиеся при декомпозиции.

После декомпозиции проводят составление ЭФ каждой подсхемы по методике, изложенной в § 3. Если ЭФ содержит более 50 терм, то подсхему рассматривают частным случаем многовыходной схемы. Такую схему разбивают на две или более подсхем, из которых только одна имеет выход, являющийся выходом цифрового ТЭЭА.

Для составления теста разрабатывают таблицу совмещения (табл. 2) тестовых наборов, в которую вписывают ЭФ каждой подсхемы, а также ЭФ для промежуточных выходов. Порядок расположения ЭФ в таблице совмещения соответствует номерам подсхем, присвоенным им при декомпозиции.

Составление первого набора теста схемы начинают от первой подсхемы, в которой по ЭФ определяют проверяющий набор. Если в первой подсхеме есть общие с другими подсхемами переменные (общие входы, промежуточные выходы), то их значения проставляют в каждой из этих подсхем. При определении проверяющего набора первой подсхемы некоторые общие переменные могут быть несущественными (их значения не влияют на условия проверки выбранных букв). В этом случае значения для этих переменных проставляют при проверке букв в других подсхемах. Несущественные переменные обозначают знаком X .

Затем определяют проверяющий набор второй подсхемы аналогично набору первой подсхемы. С учетом проставленных значений общих переменных может не существовать проверяющий набор второй подсхемы на первом наборе теста схемы. В этом случае следует перейти к третьей подсхеме, не заполняя вторую.

Далее определяют проверяющий набор третьей и каждой из последующих подсхем аналогично действиям, указанным для первой подсхемы. После определения проверяющего набора последней подсхемы первый набор теста считают оформленным.

Номер набора	Термы ЭНФ Вых.		Промежуточные входы		Описание Вых.		Описание Вых.		Термы ЭНФ Вых.		Термы ЭНФ Вых.	
	β_1	β_2	β_3	β_4	β_5	β_6	β_7	β_8	β_9	β_{10}	β_{11}	β_{12}
1	0	0	0	0	0	0	0	0	0	0	0	0
	1	1	1	1	1	1	1	1	1	1	1	1
2	0	1	0	0	0	0	0	0	0	0	0	0
	1	1	1	1	1	1	1	1	1	1	1	1
3	0	0	1	0	1	0	1	0	1	0	1	0
	0	0	1	1	1	1	1	1	1	1	1	1
4	0	0	0	1	0	1	0	1	0	1	0	1
	0	0	1	1	1	1	1	1	1	1	1	1
5	0	0	0	0	0	0	0	0	0	0	0	0
	0	0	1	1	1	1	1	1	1	1	1	1
6	0	0	0	0	0	0	0	0	0	0	0	0
	0	0	1	1	1	1	1	1	1	1	1	1

Примечание: X - несущественные переменные, которые могут иметь значение 0 или 1.

Составление второго, третьего и других наборов теста начинается от первой подсхемы и продолжается аналогично составлению для первого набора. При составлении наборов тестов подсхем учитывают буквы, проверенные на предыдущих наборах и не проверяют их вторично. Каждую букву в каждой подсхеме обводят кружком на тех наборах, где она впервые была проверена.

Составление теста следует продолжать для первой подсхемы до тех пор, пока в ней существует хотя бы одна непроверенная буква. После этого составление теста начинают для второй подсхемы и выполняют аналогично составлению для первой подсхемы, затем для третьей и т.д. Составление теста заканчивают после включения в него проверяемых тестов каждой подсхемы.

§ 5. Пример составления теста многовыходной комбинационной схемы

Исходная многовыходная комбинационная схема представлена на рис. 3. Проведем декомпозицию схемы.

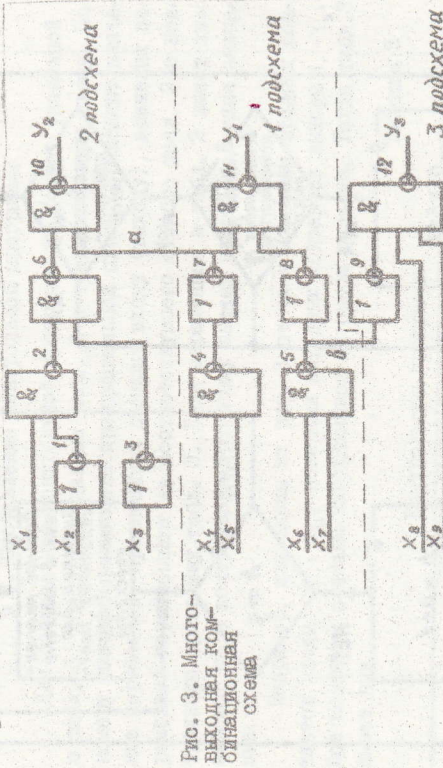


Рис. 3. Много-выходная ком-бинационная схема

Первая подсхема: 4, 5 - элементы первого уровня; 7, 8 - элементы второго уровня; 11 - элемент третьего уровня.

Вторая подсхема: 1, 3 - элементы первого уровня; 2 - элемент второго уровня; 6 - элемент третьего уровня; 10 - элемент четвертого уровня.

Третья подсхема: 9 - элемент первого уровня; 12 - элемент второго уровня. Составим ЭНФ схемы, который будет иметь следующий вид:

$$\gamma_1 = 11 = \overline{7 \cdot 8} = \overline{x_4 \cdot x_5 \cdot x_6 \cdot x_7} = \overline{x_4} \vee \overline{x_5} \vee \overline{x_6} \vee \overline{x_7}; \quad (10)$$

$$\gamma_2 = 10 = \overline{6 \cdot \alpha} = \overline{2 \cdot 3 \cdot \alpha} = \overline{x_1 \cdot x_2 \cdot x_3} \cdot \alpha = \overline{\alpha} \vee \overline{x_1} \vee \overline{x_2} \vee \overline{x_3} = \overline{\alpha} \vee (\overline{x_1} \vee \overline{x_2} \vee \overline{x_3}) \quad (11)$$

$$\gamma_3 = 9 = \overline{x_8 \cdot x_9} = \overline{b \cdot x_8 \cdot x_9} = \overline{b} \vee \overline{x_8} \vee \overline{x_9} = \overline{b} \vee \overline{x_8} \vee \overline{x_9}, \quad (12)$$

где α, b - промежуточные выходы.

$$\alpha = \overline{7 \cdot 4} = \overline{x_4 \cdot x_5} = \overline{x_4} \vee \overline{x_5}; \quad (13)$$

$$b = 5 = \overline{x_6 \cdot x_7} = \overline{x_6} \vee \overline{x_7}. \quad (14)$$

В ЭНФ схемы на рис. 3 не указаны пути, соединяющие входы с выходами. Это возможно потому, что в ЭНФ каждой подсхемы входы не повторяются.

Тест для схемы (см. рис. 3) приведен в табл. 2. Схема алгоритма составления теста приведена на рис. 4.

§ 6. Составление контрольной программы

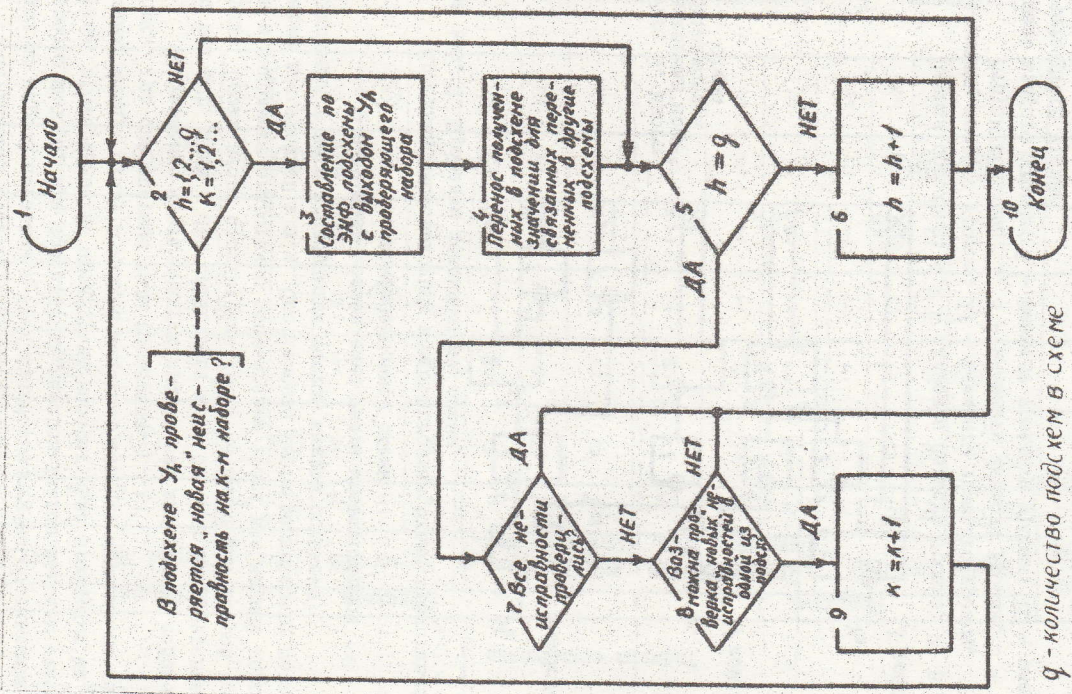
Для составления контрольной программы по форме, указанной в табл. 3, используют данные табл. 2 и принципиальную схему. По номеру разъема и контакта принципиальной схемы определяют значение переменной, присвоенной данному входу (выходу), значения переменной переписывают из соответствующего столбца табл. 2 в контрольную программу табл. 3. Если переменная в табл. 2 имеет индекс, то в контрольную программу вносят противоположные значения.

Например, для схемы на рис. 3 считаем номерами входных контактов входы x_1, x_3 , номерами выходных контактов входы γ_1, γ_3 . Все контакты считаем находящимися на одном разъеме. Тогда табл. 3 имеет вид.

Таблица 3

№ набора	Входные номера										Выходные номера		
	№ контакта разъема										№ контакта разъема		
1	1	2	3	4	5	6	7	8	9	10	11	12	13
1	2	3	4	5	6	7	8	9	10	11	12	13	
2	1	1	1	0	1	1	1	1	0	1	1	1	1
3	0	0	0	1	1	0	1	1	1	1	1	1	1

Контрольная программа



q - количество подсхем в схеме

Рис. 4 Схема алгоритма составления теста

Продолжение табл. 3

I	2	3	4	5	6	7	8	9	10	11	12	13
4	I	I	0	I	I	I	0	I	I	I	I	I
5	I	0	0	I	I	I	I	I	I	0	0	0
6	I	I	I	I	I	I	I	I	I	0	0	0

Если при подаче входных наборов на выходе появятся информация, отличная от контрольной в табл. 3 хотя бы на одном наборе, то ТЭЗ или микросхема неисправна. Она нуждается в диагностике и ремонте. Контрольная программа в табл. 3 достаточна для выявления любой однократной или многократной (т.е. одновременной в нескольких элементах схемы на рис. 3) неисправности. Однако выявить место неисправности по контрольной программе невозможно. Для этого (т.е. вход или выход какого элемента схемы неисправен) следует составить диагностирующий тест.

§ 7. Правило оформления материала по контролю в курсовом проекте

Необходимо документацию для проведения автоматизированного контроля цифровых ТЭЗов или микросхем с комбинационными схемами разрабатывать с использованием настоящих указаний.

В начале проводят выбор оборудования - системы автоматизированного контроля для заданного ТЭЗ. Рисуют его структурную схему и алгоритм работы [2] на операционном языке первого технологического листа. В расчетно-пояснительной записке в разделе разработки операционной технологии описывают принцип работы системы контроля.

Далее проводят декомпозицию схемы ТЭЗа, определены контрольных тестов подсхем и всей схемы. Материал по выводу ЭНФ вносят в записку, а чертек подсхем в соответствии с рис. 3 о окончательными выражениями функций выхода подсхем относительно ее входов помещают на половине пятого листа формата А1. Вторую половину этого листа занимает таблица, контрольный тест для схемы всего ТЭЗ (по типу табл. 2).

На рис. 5, 6 дается пример оформления листа по контролю микросхем на комбинационных схемах. На рис. 5 в проекте - формат А2) показана декомпозиция электрической принципиальной схемы микросхемы и ЭНФ каждой подсхемы. На рис. 6 (в проекте - формат А2) изображена таблица совмещения контрольных тестов каждой подсхемы, представляющая собой контрольный тест всей электриче-

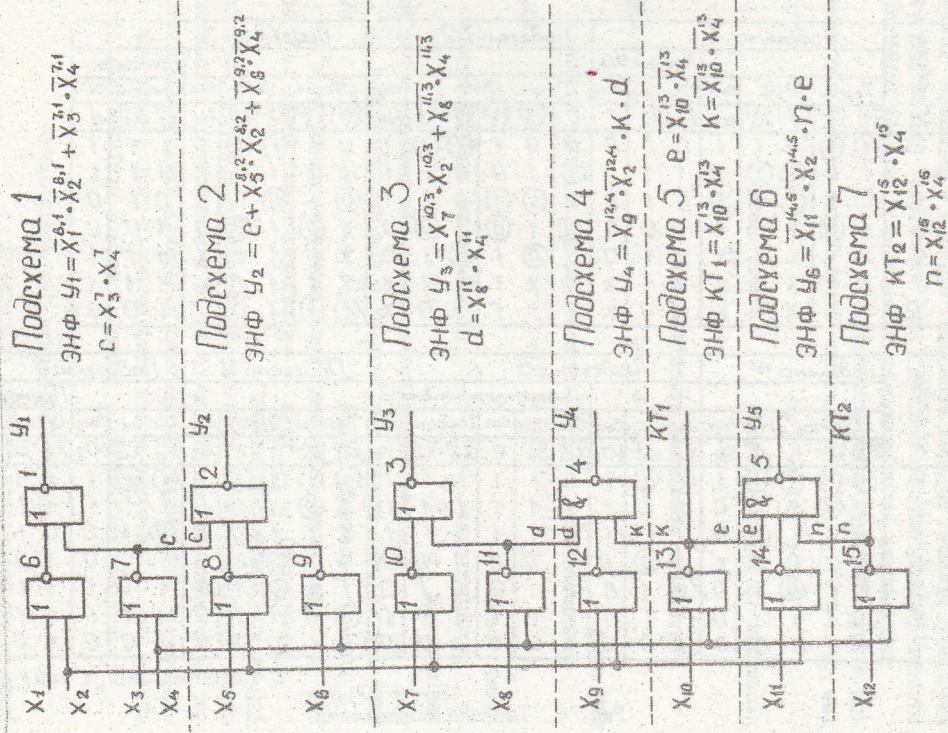


Рис. 5. Декомпозиция схемы

Далее по методике, изложенной в § 6, строят контрольную программу микросхемы. Согласно контрольной программе входные переменные, соответствующие номеру набора, подают на контакты разъема, указанные в электрической принципиальной схеме. Входные сигналы снимают с соответствующих контактов разъема и контролируют их на автоматизированных установках.

§ 8. Основы построения диагностирующих тестов

С помощью контрольного теста проверяют исправность ТЭЗов, однако для определения места неисправности (какой вход или выход микросхемы неисправен) необходимо построить диагностирующие тесты. Разработка диагностирующего теста и контрольной программы - часть технологического проекта, посвященного контролю цифровых ТЭЗ на комбинационных схемах.

Имеем схему M . Если i -й элемент схемы имеет m_i входов, то общее число одиночных неисправностей схемы $I = \sum_{i=1}^n 2^{(m_i+1)}$. Обозначим через $f_{i-0(i)}(x_1, \dots, x_n)$ функцию, реализуемую схемой при наличии в ней неисправности $S_{i-0(i)}$, а $f_{i-0(i)}$ - функцию, реализуемую схемой при наличии в ней неисправности $S_{i-0(i)}$.

Неисправность $S_{i-0(i)}$ проверяют на входном наборе e схемы, если

$$f_{i-0(i)}(e) \neq f(e), \quad (I5)$$

Неисправность $S_{i-0(i)}$ проверяют на входном наборе e схемы, если

$$f_{i-0(i)}(e) \neq f(e), \quad (I6)$$

Аналогично сочетание неисправностей

$$S = \{S_{i_1-0(i_1)}, \dots, S_{i_k-0(i_k)}\}$$

проверяют на входном наборе e схемы, если

$$f_S(e) \neq f(e), \quad (I7)$$

где $f_S(x_1, \dots, x_n)$ - функция, реализуемая схемой при наличии в ней сочетания неисправностей S .

Для анализа неисправностей логических элементов используют таблицы функций неисправностей (ТФН) элементов. Строки ТФН соответствуют входным наборам элемента, столбцы - функциям, реализуемым исправным элементом и элементом с неисправностями. На

Рис. 6. Таблица соотнесения

Подсхема	Подсхема 7							Подсхема 8							Подсхема 5							Подсхема 4						
	1	2	3	4	5	6	7	1	2	3	4	5	6	7	1	2	3	4	5	6	7	1	2	3	4	5	6	7
№ набора	X ₁ X ₂ X ₃ X ₄ X ₅ X ₆ X ₇	X ₁ X ₂ X ₃ X ₄ X ₅ X ₆ X ₇	X ₁ X ₂ X ₃ X ₄ X ₅ X ₆ X ₇	X ₁ X ₂ X ₃ X ₄ X ₅ X ₆ X ₇	X ₁ X ₂ X ₃ X ₄ X ₅ X ₆ X ₇	X ₁ X ₂ X ₃ X ₄ X ₅ X ₆ X ₇	X ₁ X ₂ X ₃ X ₄ X ₅ X ₆ X ₇	X ₁ X ₂ X ₃ X ₄ X ₅ X ₆ X ₇	X ₁ X ₂ X ₃ X ₄ X ₅ X ₆ X ₇	X ₁ X ₂ X ₃ X ₄ X ₅ X ₆ X ₇	X ₁ X ₂ X ₃ X ₄ X ₅ X ₆ X ₇	X ₁ X ₂ X ₃ X ₄ X ₅ X ₆ X ₇	X ₁ X ₂ X ₃ X ₄ X ₅ X ₆ X ₇	X ₁ X ₂ X ₃ X ₄ X ₅ X ₆ X ₇	X ₁ X ₂ X ₃ X ₄ X ₅ X ₆ X ₇	X ₁ X ₂ X ₃ X ₄ X ₅ X ₆ X ₇	X ₁ X ₂ X ₃ X ₄ X ₅ X ₆ X ₇	X ₁ X ₂ X ₃ X ₄ X ₅ X ₆ X ₇	X ₁ X ₂ X ₃ X ₄ X ₅ X ₆ X ₇	X ₁ X ₂ X ₃ X ₄ X ₅ X ₆ X ₇	X ₁ X ₂ X ₃ X ₄ X ₅ X ₆ X ₇	X ₁ X ₂ X ₃ X ₄ X ₅ X ₆ X ₇	X ₁ X ₂ X ₃ X ₄ X ₅ X ₆ X ₇	X ₁ X ₂ X ₃ X ₄ X ₅ X ₆ X ₇	X ₁ X ₂ X ₃ X ₄ X ₅ X ₆ X ₇	X ₁ X ₂ X ₃ X ₄ X ₅ X ₆ X ₇	X ₁ X ₂ X ₃ X ₄ X ₅ X ₆ X ₇	
Термы ЭНФ	X ₁ X ₂ X ₃ X ₄ X ₅ X ₆ X ₇	X ₁ X ₂ X ₃ X ₄ X ₅ X ₆ X ₇	X ₁ X ₂ X ₃ X ₄ X ₅ X ₆ X ₇	X ₁ X ₂ X ₃ X ₄ X ₅ X ₆ X ₇	X ₁ X ₂ X ₃ X ₄ X ₅ X ₆ X ₇	X ₁ X ₂ X ₃ X ₄ X ₅ X ₆ X ₇	X ₁ X ₂ X ₃ X ₄ X ₅ X ₆ X ₇	X ₁ X ₂ X ₃ X ₄ X ₅ X ₆ X ₇	X ₁ X ₂ X ₃ X ₄ X ₅ X ₆ X ₇	X ₁ X ₂ X ₃ X ₄ X ₅ X ₆ X ₇	X ₁ X ₂ X ₃ X ₄ X ₅ X ₆ X ₇	X ₁ X ₂ X ₃ X ₄ X ₅ X ₆ X ₇	X ₁ X ₂ X ₃ X ₄ X ₅ X ₆ X ₇	X ₁ X ₂ X ₃ X ₄ X ₅ X ₆ X ₇	X ₁ X ₂ X ₃ X ₄ X ₅ X ₆ X ₇	X ₁ X ₂ X ₃ X ₄ X ₅ X ₆ X ₇	X ₁ X ₂ X ₃ X ₄ X ₅ X ₆ X ₇	X ₁ X ₂ X ₃ X ₄ X ₅ X ₆ X ₇	X ₁ X ₂ X ₃ X ₄ X ₅ X ₆ X ₇	X ₁ X ₂ X ₃ X ₄ X ₅ X ₆ X ₇	X ₁ X ₂ X ₃ X ₄ X ₅ X ₆ X ₇	X ₁ X ₂ X ₃ X ₄ X ₅ X ₆ X ₇	X ₁ X ₂ X ₃ X ₄ X ₅ X ₆ X ₇	X ₁ X ₂ X ₃ X ₄ X ₅ X ₆ X ₇	X ₁ X ₂ X ₃ X ₄ X ₅ X ₆ X ₇	X ₁ X ₂ X ₃ X ₄ X ₅ X ₆ X ₇	X ₁ X ₂ X ₃ X ₄ X ₅ X ₆ X ₇	
Вых.	Вых.	Вых.	Вых.	Вых.	Вых.	Вых.	Вых.	Вых.	Вых.	Вых.	Вых.	Вых.	Вых.	Вых.	Вых.	Вых.	Вых.	Вых.	Вых.	Вых.	Вых.	Вых.	Вых.	Вых.	Вых.	Вых.	Вых.	Вых.
Промежуточ. Выход																												

пересечении соответствующих строк и столбцов прооставляют значения соответствующих функций на наборах элемента. Ниже дана ТФН для двухходового элемента (табл. 4), где x_1, x_2 - входные элементы α .

Таблица 4
ТФН элемента α

x_1	x_2	$f(e)$	$S_{1,1-1}$	$S_{1,1-0}$	$S_{1,2-0}$	$S_{1,1-1}$	$S_{1,1-0}$
0	0	0	0	0	0	I	0
0	I	0	I	0	0	I	0
I	0	0	0	I	0	I	0
I	I	I	I	0	0	I	0

Более удобная форма представления информации о поведении элемента при несправностях - таблица несправностей (ТН). Строки ТН соответствуют наборам, столбцы - несправностям элемента. На пересечении i -й строки и j -го столбца прооставляют I, если λ - в несправности проверит на i -м наборе, в противном случае клетку не заполняют. К табл. 5 можно перейти от ТФН поочередным выравниванием в ТФН столбца для $j(e)$ со столбцами для $f_{i,j} - 0(1)$.

Таблица 5
ТН элемента α

x_1	x_2	$S_{1,1-1}$	$S_{1,2-1}$	$S_{1,1-0}$	$S_{1,2-0}$	$S_{1,1-1}$	$S_{1,1-0}$
0	0					I	$S_{1,1-0}$
0	I	I				I	
I	0		I			I	
I	I			I	I		I

Аналогичные таблицы (ТФН и ТН) можно построить для логической схемы. Строки этих таблиц соответствуют входным наборам, столбцы - несправностям схемы, под которыми понимаем несправности ее элементов.

Из табл. 5 видно, что некоторые несправности проверят на различных наборах и поэтому они являются различными. Несправности $S_{1,1-0}$ и $S_{1,2-0}$ и $S_{1,1-0}$ различные, так как они одновременно проверяются на одном и том же наборе (II). В дальней-

шем изложении в ТФН и ТН будем указывать только различные несправности элементов, т.е. для их множества в ТФН и ТН отводится один столбец, соответствующий одному их предствителю.

Для элементов типа И, ИЛИ, НЕ-И, НЕ-ИЛИ число различных несправностей равно $m + 2$ (табл. 6, 7).

Таблица 6

Таблица различных несправностей элемента И

x_1	x_2	$S_{1,1-0}$	$S_{1,2-1}$	$S_{1,1-1}$	$S_{1,1-0}$
0	0				$S_{1,1-0}$
0	I	I		I	
I	0		I	I	
I	I			I	I

Таблица 7

Таблица различных несправностей элемента ИЛИ

x_1	x_2	$S_{1,1-0}$	$S_{1,2-0}$	$S_{1,1-0}$	$S_{1,1-1}$
0	0				I
0	I			I	
I	0	I	I	I	
I	I			I	I

В этих таблицах предствитель множества неразличимых несправностей $S_{1,1-0}$; $S_{1,2-0}$; $S_{1,1-0}$ элемента И - несправности $S_{1,1-0}$; предствитель множества неразличимых несправностей $S_{1,1-1}$; $S_{1,2-1}$; $S_{1,1-1}$ элемента ИЛИ - несправности $S_{1,1-0}$; $S_{1,2-0}$; $S_{1,1-1}$ элемента НЕ-И - несправности $S_{1,1-1}$; предствитель множества неразличимых несправностей $S_{1,1-1}$; $S_{1,2-1}$; $S_{1,1-1}$ элемента НЕ-ИЛИ - несправности $S_{1,1-1}$; $S_{1,2-1}$; $S_{1,1-1}$ элемента НЕ-ИЛИ - несправности $S_{1,1-1}$.

Таблица 8

Таблица различных несправностей элемента НЕ-И

x_1	x_2	$S_{1,1-1}$	$S_{1,2-1}$	$S_{1,1-1}$	$S_{1,1-0}$
I	2	3	4	5	6
0	0				I

Литература

1. Верхоянитский П.Д., Латинский В.С. Справочник по модульному конструированию радиоэлектронной аппаратуры. - Л.: Судостроение, 1983. - 232 с.
2. Гольдман Р.С., Чипулис В.П. Техническая диагностика цифровых устройств. - М.: Энергия, 1976. - 224 с.

Продолжение табл. 8

	2	3	4	5	6
I					
0	I	I			I
I	0		I		I
I	I			I	

Таблица 9

Таблица неисправностей элемента HE-ИЛИ

x_1	x_2	$S_{1,1-0}$	$S_{1,2-0}$	S_{1-0}	S_{1-1}
0	0			I	I
0	I		I		I
I	0	I			I
I	I				I

Из таблицы (табл.10) неисправностей элемента, реализующего функцию суммы по модулю 2, видно, что любую из неисправностей $S_{1,1-0}$ элемента проверит на каждом из входных наборов элемента, на котором значение λ -го входа равно $\bar{1}$. Все неисправности элемента - различные и, следовательно, число различных неисправностей равно $2^m + 2$.

Для контроля (проверки отсутствия всех неисправностей) логического элемента достаточно $m + 1$ входных наборов. Так, например, множество входных наборов (01, 10, 11) позволяет проверить элемент И, множество входных наборов (00, 01, 11) - элемент суммы по модулю 2. Однако, если для элемента И существует только одно неизбыточное множество проверяемых наборов, то для элемента суммы по модулю 2 - четыре - (00, 01, 10), (00, 01, 11), (00, 10, 11)... Нетрудно заметить, что на этих наборах различаются все неисправности, представленные в табл. 10.

Таблица 10

Различные неисправности элемента суммы по модулю 2

x_1	x_2	$S_{1,1-1}$	$S_{1,2-1}$	$S_{1,1-0}$	$S_{1,2-0}$	S_{1-1}	S_{1-0}
0	0	I	I			I	
0	I	I			I		I
I	0		I	I			I
I	I			I	I	I	

Отглавление	
Введение	3
§ 1. Общие правила составления контрольных тестов для комбинационных схем	4
§ 2. Составление эквивалентной нормальной формы однооб- ходной комбинационной подсхемы	6
§ 3. Составление теста одновыходной комбинационной подсхемы	9
§ 4. Составление контрольных тестов для многовыходных комбинационных схем	10
§ 5. Пример составления теста многовыходной комбиа- ционной схемы	13
§ 6. Составление контрольной программы	15
§ 7. Правилу оформления материала по контролю в курсовом проекте	16
§ 8. Основн построения диагностических тестов	19
Литература	23