

Министерство высшего и среднего специального образования СССР

— — —
Московское ордена Ленина, ордена Октябрьской Революции
и ордена Трудового Красного Знамени
высшее техническое училище имени Н. Э. Баумана

Б. И. БЕЛОВ, А. П. КУЗИН, В. В. ШЕРСТНЕВ

**ФУНКЦИОНАЛЬНО-УЗЛОВОЙ МЕТОД
ПРОЕКТИРОВАНИЯ НА МИКРОСХЕМАХ МАЛОЙ
И СРЕДНЕЙ СТЕПЕНИ ИНТЕГРАЦИИ
И МИКРОПРОЦЕССОРНЫХ КОМПЛЕКТАХ**

Методические указания
по курсовому и дипломному проектированию
по курсу
«Конструирование электронно-вычислительной аппаратуры»

Министерство высшего и среднего специального образования СССР

Московское ордена Ленина, ордена Октябрьской Революции
и ордена Трудового Красного Знамени
высшее техническое училище им. Н.Э.Баумана

Б.И.Белов, А.П.Кузин, В.В.Шерстнев

Утверждены
редсоветом МВТУ

ФУНКЦИОНАЛЬНО-УЗЛОВОЙ МЕТОД ПРОЕКТИРОВАНИЯ
НА МИКРОСХЕМАХ МАЛОЙ И СРЕДНЕЙ СТЕПЕНИ ИНТЕГРАЦИИ
И МИКРОПРОЦЕССОРНЫХ КОМПЛЕКТАХ

Методические указания
по курсовому и дипломному проектированию
по курсу
"Конструирование электронно-вычислительной аппаратуры"

Под редакцией Б.И.Белова

Данные методические указания издаются в соответствии с учебным планом. Рассмотрены и одобрены кафедрой П-8 02.12.85г., методической комиссией факультета П 18.12.85 г. и учебно-методическим управлением 20.01.86 г.

Рецензент: к.т.н. доц. Чистов В.В.

Авторы: разделы I,2 - Белов Б.И.; разделы 3,4 - Кузин А.П., Шерстнев В.В.

© Московское высшее техническое училище им. Н.Э. Баумана

ОГЛАВЛЕНИЕ

1. Основы системного проектирования	3
2. Модульный принцип проектирования	5
3. Функционально-узловой метод, алгоритмизация.....	10
4. Микропроцессоры и их применение	28
Литература	38

Редактор Ю.Н.Хлебинский

Корректор Л.И.Малютина

Заказ/Объем 2,5п.л.(2,25 уч.-изд.л.) Тираж 300 экз.

Бесплатно. Подписано в печать 28.10.86 г. . План 1986г., № 68.

Типография МВТУ. 107005, Москва, Б-5, 2-я Бауманская, 5.

I. ОСНОВЫ СИСТЕМНОГО ПРОЕКТИРОВАНИЯ

Сложность электронной системы чаще всего не позволяет разработчику сразу представить ее во всех подробностях. Поэтому в системе разработчик выделяет подсистемы, хорошо им понимаемые, легко реализуемые и поддающиеся анализу. На начальном этапе проектирования необходимо представлять, что является входной и выходной информацией подсистем и какие действия должна выполнять подсистема при поступлении на вход той или иной информации. При этом на системном уровне не принимаются во внимание некоторые несущественные детали, например способ реализации конкретных логических схем, способ коммутации подсистем и т.д.

После того как функции подсистем определились, каждую подсистему разбивают на несложные, легко реализуемые схемы. Таким образом, задача проектирования системы должна быть разделена на ряд последовательно выполняемых частных задач, причем на каждом последующем схемном уровне проектирования вводятся дополнительные элементы, обеспечивающие необходимую степень детализации подсистем и системы в целом.

При переходе от общей структурной схемы системы к детальному проектированию (функциональным и принципиальным схемам) все в меньшей степени уделяется внимание общей структурной схеме, а каждая подсистема рассматривается как самостоятельная задача проектирования, которая нуждается или не нуждается в дальнейшей детализации. В результате сложность задачи поддерживается на уровне, оптимальном с точки зрения возможностей разработчика или коллектива разработчиков.

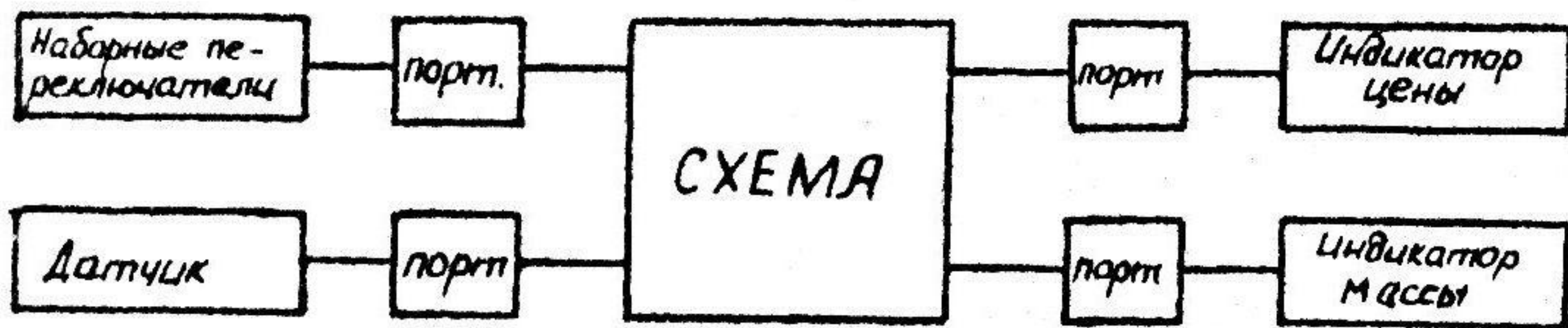
Разбивка системы на очень мелкие части может привести к излишним затратам времени при решении задачи небольшими частями. Решение слишком сложной задачи тоже приводит к увеличению цикла проектирования, так как разработчику требуется много больше времени, чтобы понять и выполнить задачу. Вопрос о том, сколько потребуется уровней детализации системы, зависит от ее сложности и способностей разработчика.

Рассмотренный системный подход к проектированию показан на примере разработки электронных весов. Задача разработчика состоит в проектировании электронной схемы, осуществляющей вычисление стоимости и индикации массы и стоимости товара.

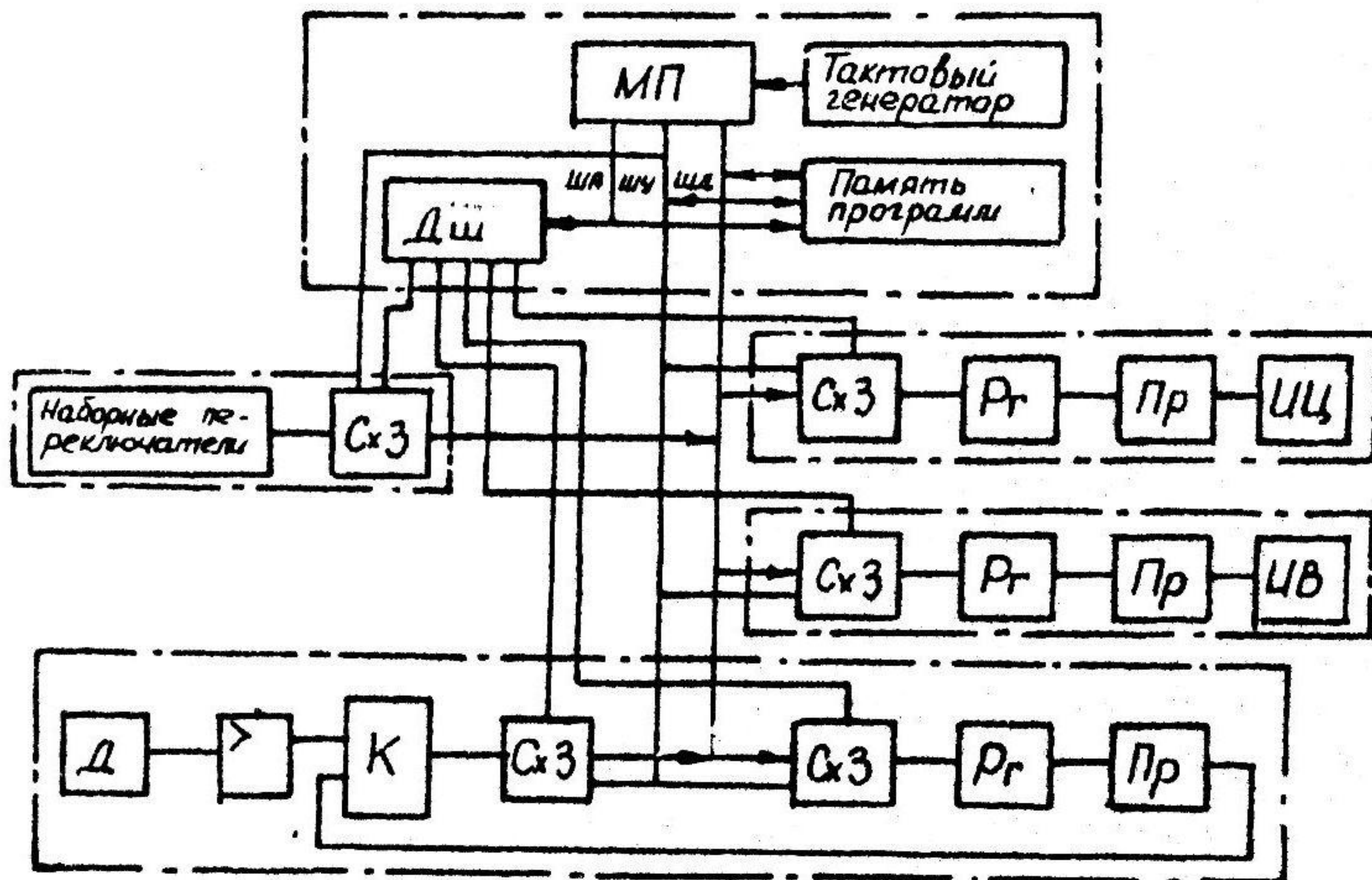
Входная информация поступает в аналоговый (масса товара) и цифровой форме (цена за 1 кг). Выходная информация должна выдаваться в цифровой форме (рис. 1а).



а)



б)



в)

Рис. 1. Последовательность разработки схемы электронных весов:
 МП - микропроцессор; Дш - дешифратор; ША, ШУ, ШД - шины адресная, управления, данных; СхЗ - схема загрузки; Рг - регистр; Пр - преобразователь; ИЦ - индикатор цены товара; ИВ - индикатор массы товара; Д - датчик; К - компаратор

Напряжение, пропорциональное массе товара, снимается с датчика давления. Это напряжение затем преобразуется в двоично-десятичный код, который умножается на двоично-десятичный код цены за 1 кг товара, вводимый с наборных переключателей. Схемы на рис. 1 а, б лучше всего реализовать на микропроцессоре (МП). Связь между устройствами ввода-вывода и микропроцессором обеспечивается схемами, называемыми портами.

Преобразование аналогового сигнала в цифровую форму осуществляется микропроцессором и является частью процесса ввода значения массы товара. Память программ вводится в схему для хранения программы работы электронных весов (рис. 1в). Схемы загрузки (СхЗ) управляются дешифратором (Дш) и непосредственно от микропроцессора и обеспечивают запись входной информации в МП, либо считывание информации из МП.

2. МОДУЛЬНЫЙ ПРИНЦИП КОНСТРУИРОВАНИЯ

Снизить номенклатуру изделий ЭВА, затраты на разработку, изготовление и освоение производства, обеспечить совместимость и преемственность позволяет использование модульного принципа конструирования. При этом достигается улучшение качества, увеличение надежности и срока службы изделий.

Модуль - составная часть электронной аппаратуры, выполняющая в конструкции подчиненные функции, имеющая окончательное функциональное и конструктивное оформление и снабженная элементами коммутации и механического соединения (с себе подобными модулями) в изделия или в модули высшего уровня.

Под модульным принципом конструирования, в машиностроении называемым агрегатным, понимается разработка изделий электронной аппаратуры на основе размерной и функциональной взаимозаменяемости составных частей - модулей.

Модульный принцип конструирования предполагает расчленение (разбивку) электронных схем ЭВА на подсхемы, выполняющие определенные функции и конструктивно реализуемые модулями. Проектируемое изделие будет состоять из нескольких совмещенных между собой модулей с заданными технико-эксплуатационными параметрами. Функциональное многообразие изделий достигается различным сочетанием модулей, а также возможностью наращивания структуры изделий при эксплуатации.

Конструкция современной электронной аппаратуры представляет собой некоторую иерархию (многоуровневость) типовых модулей. Перед выбором уровней модульности конструкции производится типизация модулей, т.е. сокращение их видов и установление модулей, выполняющих разнообразные функции и принимаемых за основу при разработке изделий электронной техники определенного функционального назначения.

Модуль нулевого уровня (микросхема) есть корпус с выводами, в который заключена электронная схема; в этом виде он поставляется разработчику.

Модули высших уровней поставляются разработчику в виде базовых несущих конструкций. Несущая конструкция представляет собой элемент или совокупность элементов конструкции, предназначенную для размещения составных частей аппаратуры и обеспечения их устойчивости в условиях внешних воздействий. Под базовой несущей конструкцией понимается конструктивная основа, служащая для разработки модификаций изделий электронной аппаратуры.

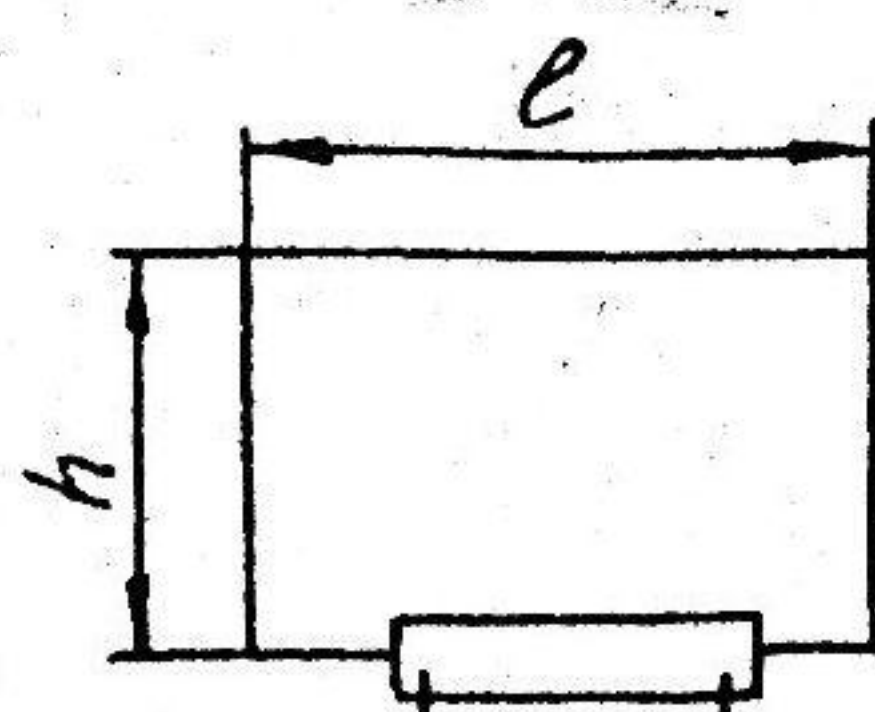
Задача конструкторского проектирования заключается в реализации электронной схемы изделия, модулей высоких уровней иерархии из модулей низших уровней в работоспособную конструкцию. Таким образом, объединение двух и более модулей даст либо изделие, либо модуль высокого уровня.

В основу стандартизации модулей и их несущих конструкций положены типовые функции, свойственные многим электронным системам.

Для использования при проектировании изделий модульного принципа конструирования разработаны ведомственные нормы и ГОСТ 20504-75, определяющие системы унифицированных типовых конструкций модулей. Система прежде всего должна представлять многоуровневое семейство конструкций с оптимальным составом набора модулей, обеспечивающих функциональную полноту при построении аппаратуры определенного назначения. Все модули системы должны быть совместимы между собой по конструктивным, электрическим, информационным, программным и эксплуатационным требованиям. Модули нулевого уровня должны иметь рационально высокий уровень интеграции и обеспечивать наращивание возможностей ЭВА по выполняемым функциям. Гибкость в проектировании, возможность наращивания структуры ЭВА без доработки модулей, автоматизированное диагностирование - основные свойства модулей высших уровней.

Модули, выполняющие одни и те же функции, должны быть взаимозаменяемыми по механическим и электрическим параметрам, иметь высокую эксплуатационную надежность и ремонтпригодность.

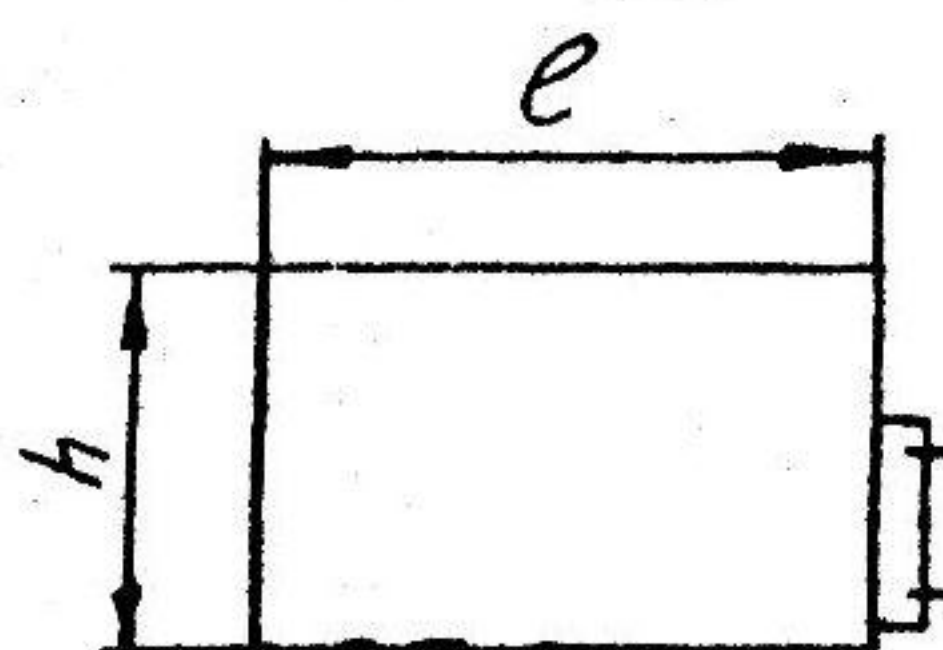
На рис. 2 - 4 показана система унифицированных типовых конструкций, которая может быть использована для построения широкого класса аппаратуры. Микросхемы совместно с дискретными электрорадиоэлементами устанавливаются на платы двух конструктивных исполнений (рис. 2).



$$\frac{h \times e}{180 \times 200}$$

$$160 \times 140$$

а)



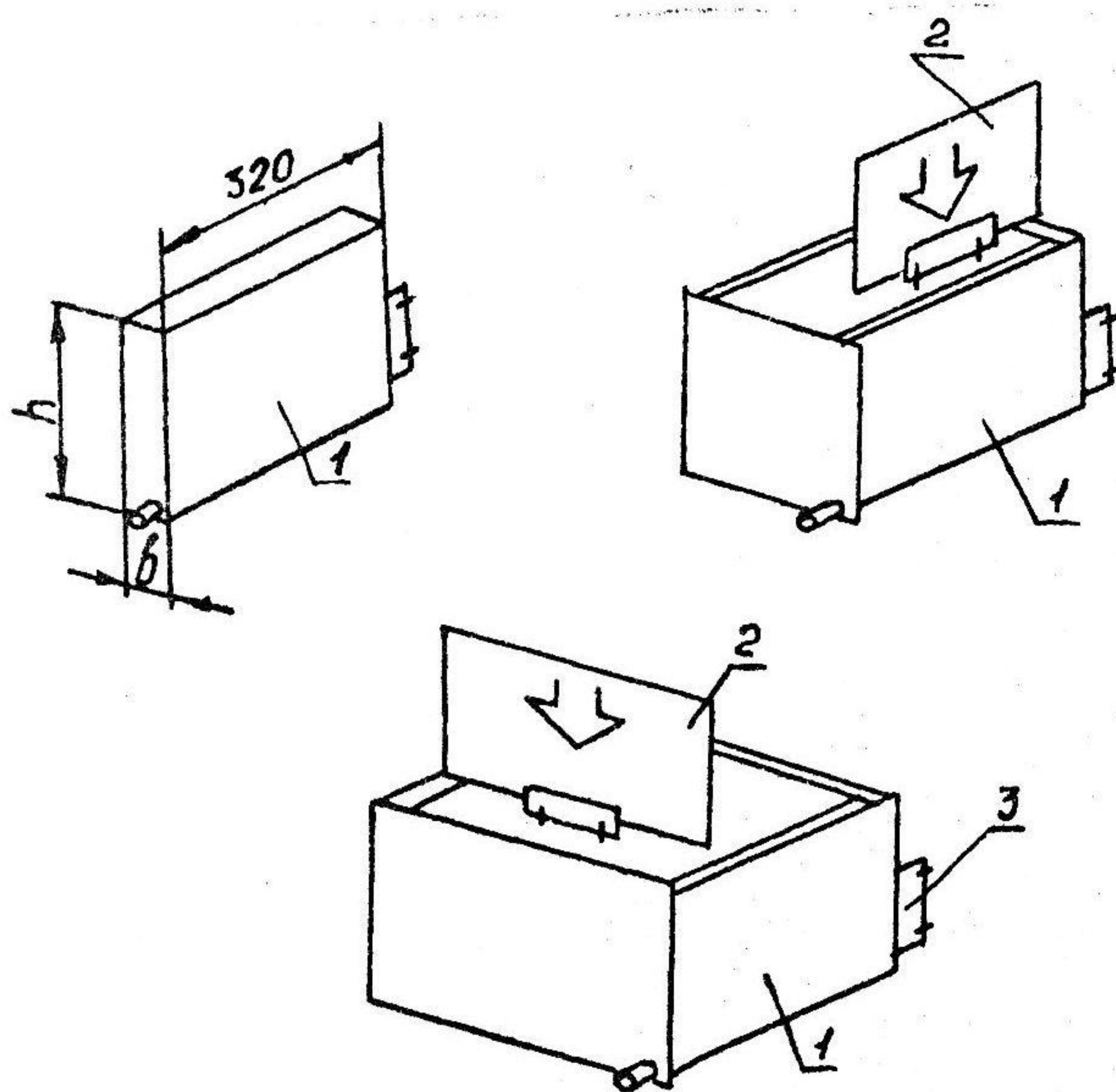
$$\frac{h \times e}{200 \times 300}$$

б)

Рис. 2. Платы функциональные (модули первого уровня):
а - подвижная; б - базовая

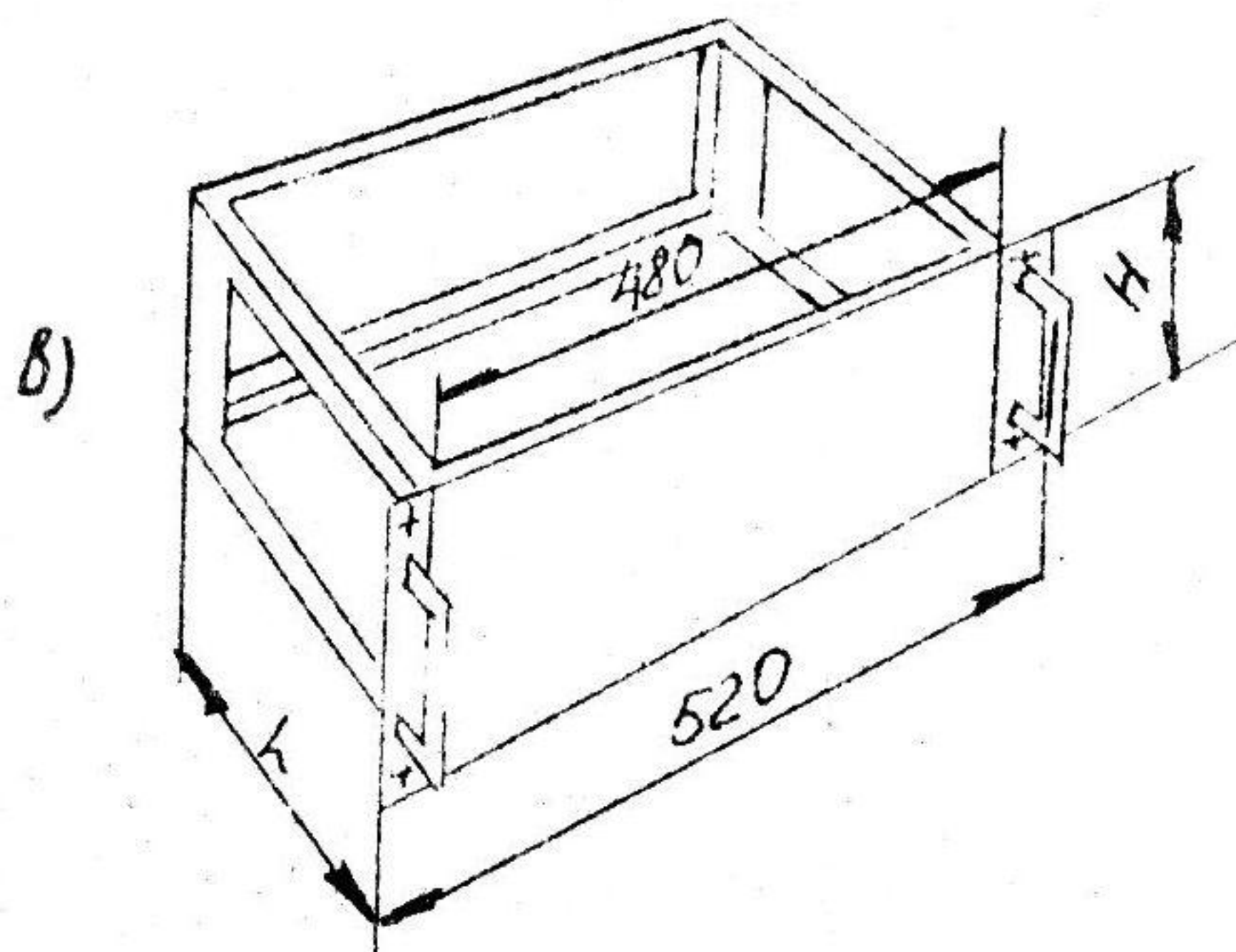
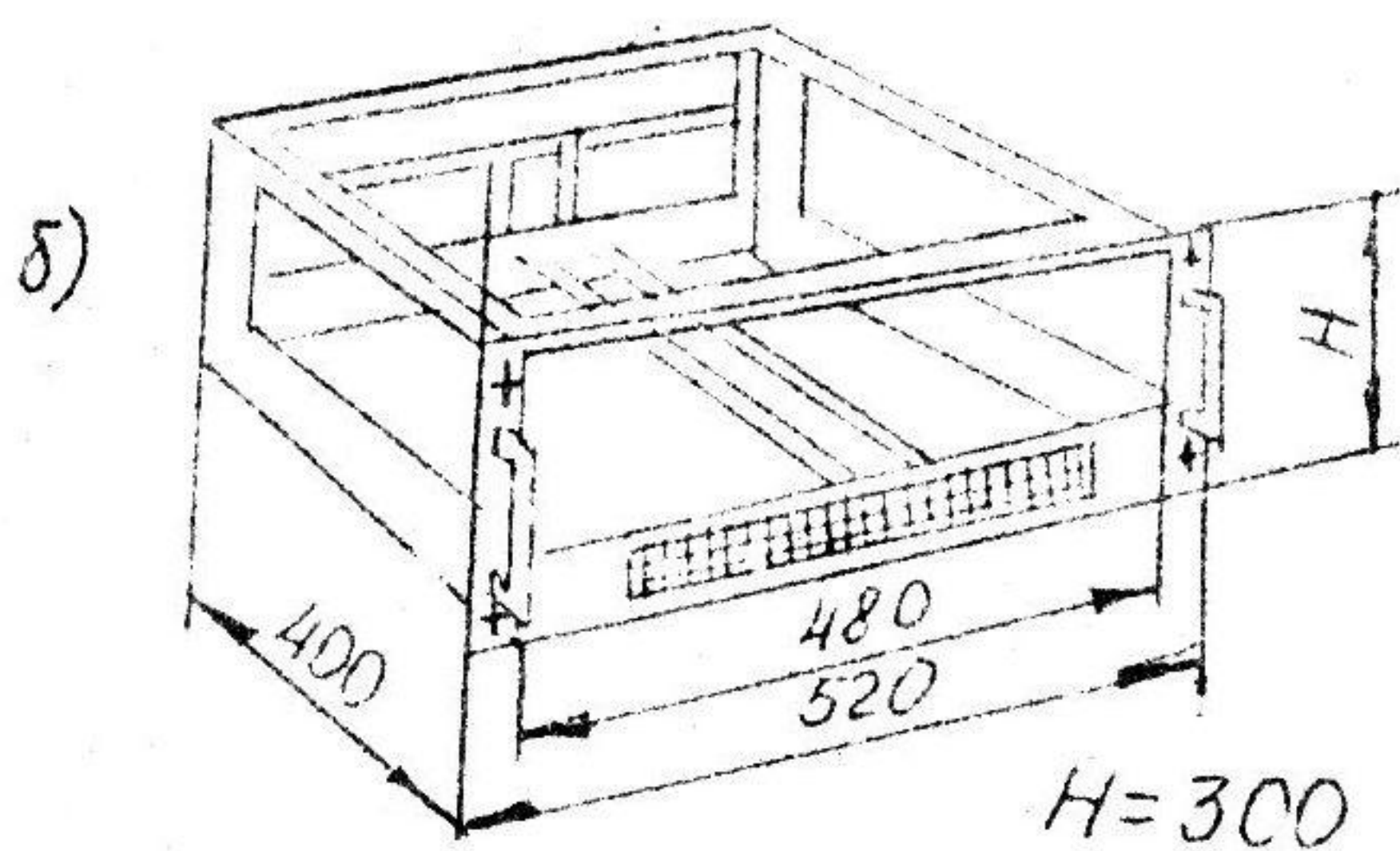
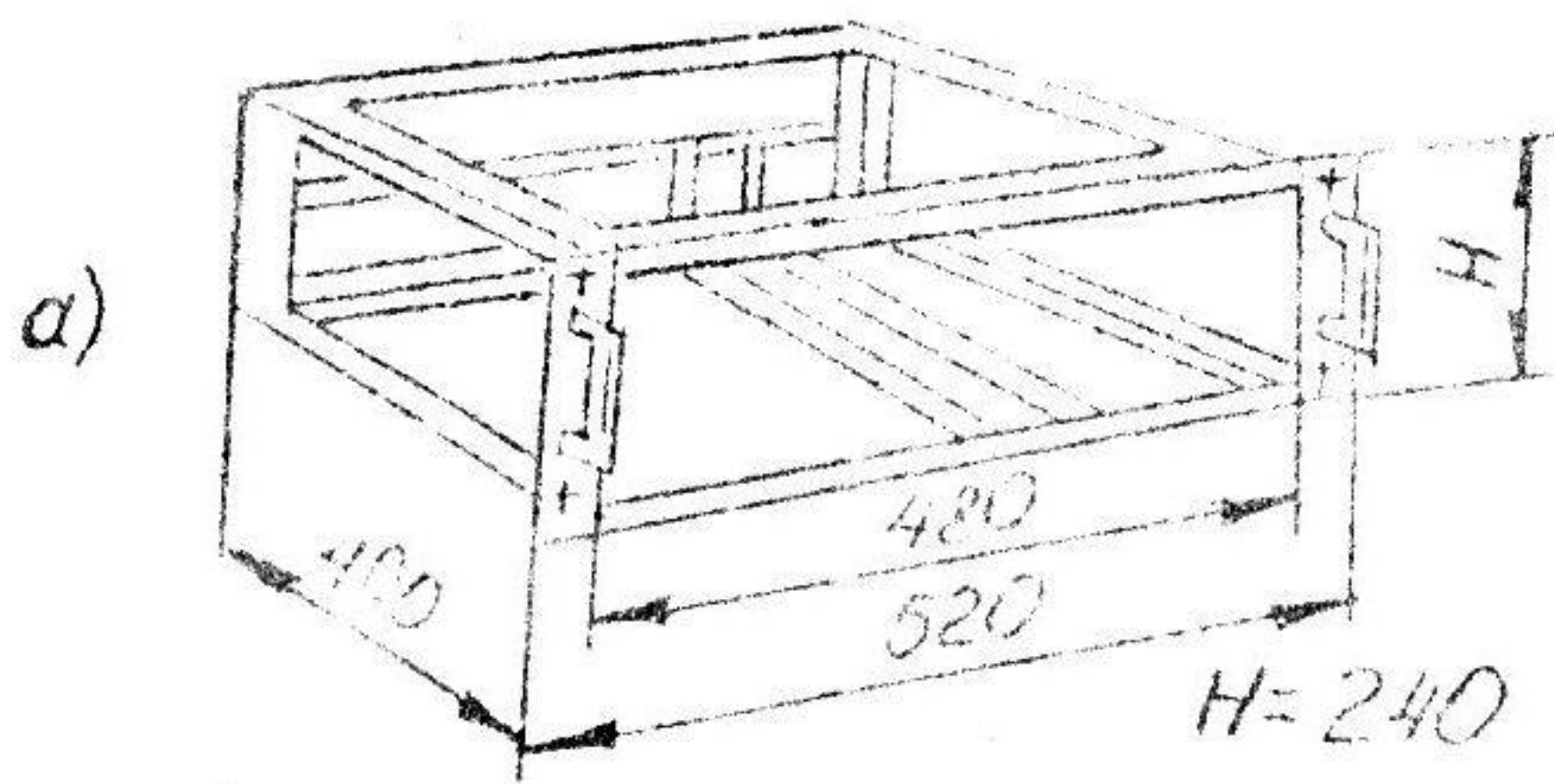
Плата базовая, как и подвижная, снабжается электрическим соединителем и жестко фиксируется на боковинах частичных блоков с одной или двух сторон. Если нет необходимости в двух внешних соединителях для блока, то одна плата базовая устанавливается на блок без соединителя. Межплатная коммутация в блоке осуществляется объемным жгутом. Кроме базовых плат в частичные блоки (рис. 3) устанавливаются подвижные платы.

Каркасы служат для размещения частичных блоков (рис. 4а, б), подвижных плат (рис. 4в). Увеличенный по высоте блок (рис. 4б) служит для установки в нижней части блока вентиляции. Блок, увеличенный по длине (рис. 4в), позволяет разместить в задней части блок питания. Каркасы, снабженные крышками, именуются кожухами и являются законченными изделиями (приборами).



<i>h</i>	240
<i>b</i>	20, 40, 60, 80, 100, 120, 160, 200, 240, 320, 360

Рис. 3. Блоки частичные (модули второго уровня):
 1 - плата базовая; 2 - плата подвижная;
 3 - соединитель блока



H	120; 180; 240; 300; 360
L	420, 480

Рис. 4. Каркасы (модули третьего уровня):

а - основной; б - с поддоном; в - комплектный

Каждый касн с частичными блоками устанавливаются в стойку. Если аппаратура представляет собой многостоечную конструкцию, то стойка является модулем четвертого уровня. В стойках размещаются отдельные устройства.

Далее разработка конструкции выполняется в такой последовательности. Выбирается основной и (или) дополнительный размеры печатной платы и осуществляется разбивка схемы изделия на под-схемы, конструктивно реализуемые на платах. Затем наступает этап объединения подсхем, конструктивно реализованных на печатных платах, в модули высших уровней: каркасы, кожухи, стойки.

Применение типовых несущих конструкций приводит к недоиспользованию их объемов и, как следствие, снижению плотности компоновки аппаратуры. Практически невозможно всю поверхность платы уставить микросхемами, заполнить частичные блоки платами, каркасы - частичными блоками и т.д. Блоки вторичных источников электропитания оказываются недогруженными по мощности и будут иметь габариты и массу большие, чем это нужно.

3. ФУНКЦИОНАЛЬНО-УЗЛОВОЙ МЕТОД, АЛГОРИТМИЗАЦИЯ

Выражение "функционально-узловой метод проектирования" широко распространено в отечественной литературе. Как можно понять из смыслового содержания выражения, метод дает принципы разбивки функциональной схемы на узлы, конструктивно реализуемые на печатных платах. В действительности задача проектирования ставится значительно шире, так как ЭВА представляет собой не одну функциональную схему, а, как правило, целый набор структурных и функциональных схем. Поэтому вместо выражения "функционально-узловой метод проектирования" целесообразно говорить о "модульном методе проектирования", подразумевая при этом принципы разбивки схем ЭВА на логические и запоминающие элементы, узлы (регистры, счетчики, сумматоры и т.д.), функциональные группы разных уровней сложности (несколько узлов, объединенных для выполнения определенных функций), устройства (арифметическое, запоминающее, устройство управления) для реализации их конструктивными модулями.

Конструктивной модульности возможно поставить в соответствие схемную. Схемные модули тоже имеют многоуровневую иерархию и представляют собой элементы, узлы, функциональные группы, устройства.

При разбивке структурных и функциональных схем необходимо удовлетворить многим и порой противоречивым требованиям:

- функциональная законченность, т.е. выделяемая подсхема должна выполнять частные законченные логические функции;
- минимизация числа внешних связей подсхем, либо, если электрические соединители в модулях выбраны или заданы, число внешних связей не должно превышать количество контактов соединителя;
- максимальное заполнение отведенного конструктивного пространства (установочной площади) модулями (компонентами); по этой же причине компоненты не должны значительно отличаться по массогабаритным параметрам;
- во избежание местных перегревов модули (компоненты) подсхем должны рассеивать приблизительно одинаковые мощности;
- для надежной работы при воздействии помех модули (компоненты) подсхем не должны быть чрезмерно чувствительны к электрическим, магнитным и электромагнитным помехам, сами не должны создавать чрезмерных помех.

Приведенные требования, кроме первого, не нуждаются в дополнительных пояснениях. Удовлетворить требованию функциональной законченности несколько легче при конструировании радиоэлектронной аппаратуры. Например, в супергетеродинном радиоприемнике, состоящем из входной цепи, усилителя радиочастоты, преобразователя частоты, усилителя промежуточной частоты, детектора, усилителя звуковой частоты, можно в зависимости от класса радиоприемника каждый функциональный узел реализовать на плате или всю схему на одной плате. И в том, и другом случае функциональная законченность будет иметь место, но во втором случае общее число внешних связей будет меньше и надежность окажется выше.

Функциональной законченности не получится, если, например, на одной плате будет выполнена схема входной цепи и часть усилителя радиочастоты, а на другой плате - оставшаяся часть усилителя радиочастоты и преобразователь частоты.

Функциональная законченность подсхем сокращает количество межплатных электрических соединений, дает возможность конструктивных изменений в модулях на более поздних стадиях проектирования, упрощает и удешевляет контроль модулей.

При разбивке схем ЭВА кажется целесообразным выполнять многоразрядные регистры, счетчики, компараторы и т.д. целиком

на одной плате. Тем более, что возможности технологии позволяют на плате получать несколько десятков разрядов вышеперечисленных схем. Схемы обработки данных содержат наборы регистров, счетчиков, компараторов, сумматоров, приемников и т.д. Может оказаться значительно лучше так разбить схему обработки данных, чтобы одной платой обрабатывалось один или несколько бит информации, а нужная разрядность устройства обработки данных получалась бы простым наращиванием подобных плат. При этом вместо разработки нескольких схемных модулей необходим будет только один.

Недостаток подобного подхода к проектированию - подсхема обработки данных может быть использована только в арифметическом устройстве. Если же схемный модуль будут представлять регистры, счетчики, компараторы и т.д., то их можно использовать, кроме арифметического устройства, в схемах запоминающего устройства и устройств ввода-вывода.

В интегральных схемах малой степени интеграции в каждом корпусе реализуются простейшие логические схемы, триггеры. В задачу разработчика входит проектирование схемы, выполняющей заданные функции с минимальным числом корпусов интегральных схем. Требуемые логические функции осуществляются на печатной плате коммутацией входов-выходов интегральных схем. На каждой плате стараются получить схему, которую можно было бы многократно использовать во всех устройствах ЭВА. В результате подобного подхода для ЗИП (запасное имущество и приборы) ЭВА потребуется небольшое число резервных модулей. Здесь наблюдается и еще одна закономерность - чем меньше схемный модуль, тем чаще он будет использоваться в ЭВА.

При проектировании быстродействующей аппаратуры на интегральных схемах средней степени интеграции для уменьшения длин связей разрабатывают модули с большими размерами печатной платы. Использование больших интегральных схем (БИС) микропроцессоров и запоминающих устройств (ЗУ) позволяет осуществлять много-разрядные ЭВМ на одной плате стандартных размеров.

Рассмотрим применение способа разбиения логических схем на конкретных примерах.

Регистр на малых интегральных схемах (МИС) позволяет сдвигать, записывать и считывать информацию в прямом и обратном виде. Сброс регистра осуществляется по каналу записи. Три разряда регистра представлены на рис. 5а.

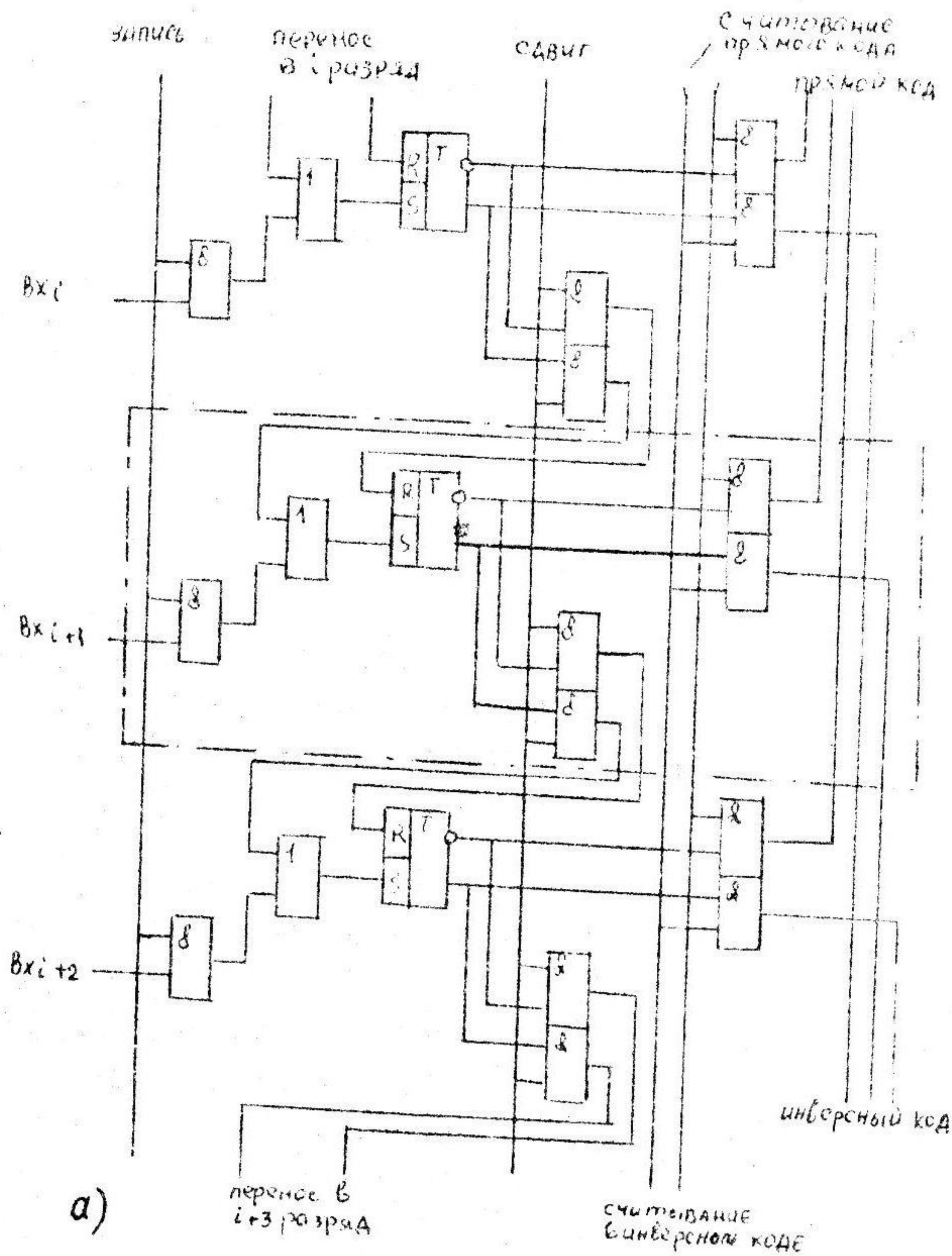


Рис. 5. Избирательная схема (а) и зависимость количества внешних связей от числа разрядов регистров (б).

Все внешние связи регистра условно можно выделить в две группы: цепи входов-выходов, количество которых зависит от числа разрядов регистра в узле, и цепи управления, питания, "земли", количество которых постоянно и не зависит от сложности узла. Количество внешних связей узла на любую группу из q разрядов регистра

$$K_q = d_1 q + d_2,$$

где d_1 - число входов-выходов узла; d_2 - число цепей управления, питания, "земли".

Для регистра на n разрядов будет иметь место n/q узлов и общее число внешних связей на регистр

$$K_\Sigma = n d_1 + n d_2 / q. \quad (1)$$

На узел одного разряда (штрихпунктирная линия на рис. 5а) количество внешних связей $K_1 = 3 \cdot 1 + 10 = 13$. Наивысшая надежность регистра будет при минимуме внешних связей между узлами. Необходимое условие максимума функции (1)

$$\frac{dK_\Sigma}{dq} = 0 - \frac{n d_2}{q^2} = 0. \quad (2)$$

Производная (2) в нуль не обращается и, следовательно, не имеет экстремума. На рис. 7б показаны зависимости $K_q = f(q)$ и $K_\Sigma = f(q)$ для равного числа разрядов регистра n . Анализ графика позволяет сделать следующие выводы:

- с увеличением числа разрядов в регистре количество внешних связей в регистре увеличивается;
 - минимум внешних связей будет при выполнении регистра на одном конструктивном модуле;
 - с уменьшением q в схемном модуле (узле) количество внешних связей, приходящихся на один узел, уменьшается;
 - количество внешних связей, приходящихся на регистр, с уменьшением q увеличивается по гиперболическому закону
- Функциональная законченность будет иметь место при реализации в узле 1, 2, ..., q , ..., n разрядов регистра.

Условно все многообразие функциональных узлов ЭВА можно разделить на три группы.

В первую, наиболее многочисленную группу входят узлы,

осуществляющие обработку, преобразование и временное хранение информации. Основным свойством данных узлов является их регулярность, характеризующаяся большим числом повторяющихся элементов схем с одинаковой топологией и тесной функциональной связью, проявляющейся в большом количестве общих входных и управляющих цепей.

Во вторую группу входят узлы схем управления, построение и структура которых зависит от принципа организации ЭВА, адресности и т.д. Не имея в виду конкретную ЭВА, невозможно дать характеристику схем управления. Как правило, функциональные узлы управляющих схем представляют собой нерегулярные структуры, зависящие от выполняемых функций, способов построения схем и других факторов. Однако возможно использование и регулярных структур, например формирование из серии синхросигналов последовательности повторяющихся с заданными интервалами импульсов.

К третьей группе относятся схемы, выполняющие вспомогательные функции усиления и формирования мощных импульсных сигналов.

Первые две группы функциональных узлов конструктивно реализуются на интегральных схемах (ИС), третья группа — с применением линейных ИС и дискретных электрорадиоэлементов.

Принципы функциональной разбивки сложных схем покажем на основных устройствах ЭВА.

Арифметическое устройство (АУ). Структурная схема АУ (рис. 6) содержит несколько регистров для хранения операндов, промежуточных и окончательных результатов и сумматора, в котором выполняются все арифметические и логические операции.

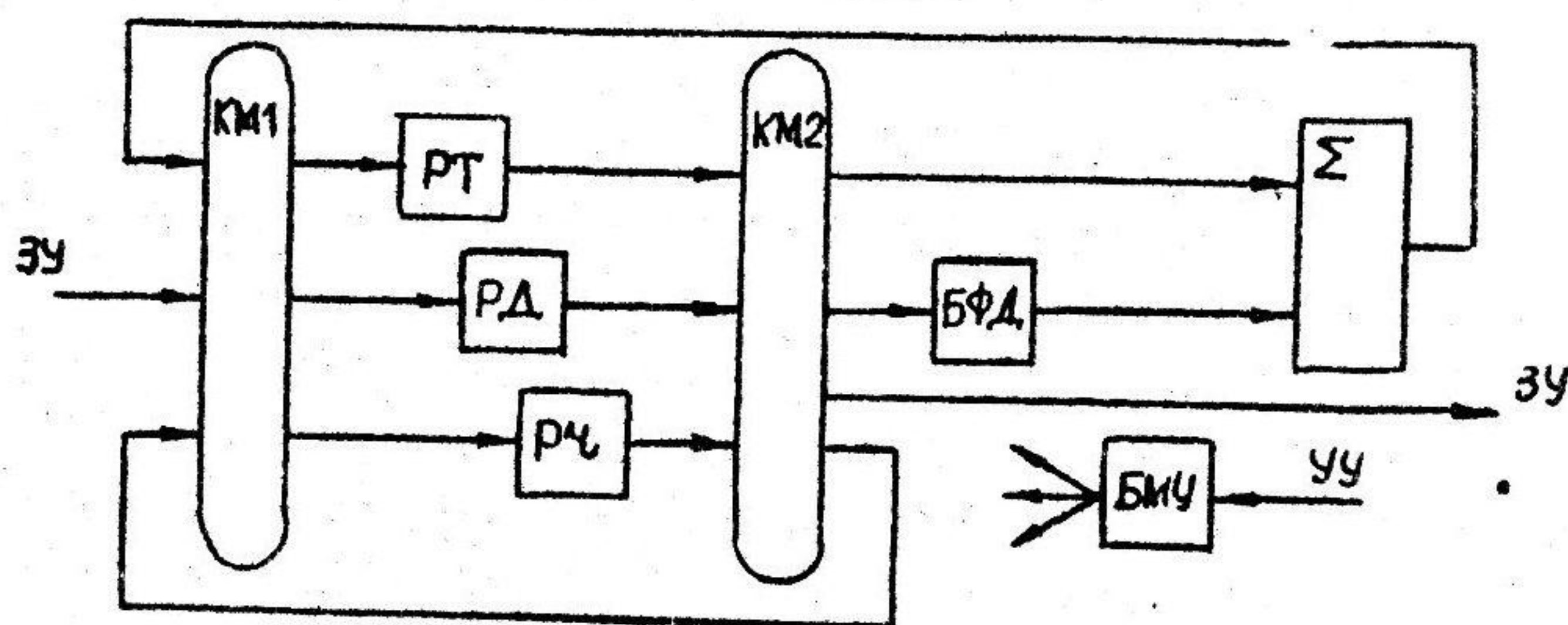


Рис. 6. Структурная схема АУ:
 КМ1, КМ2 — коммутаторы; РТ, РД, РЧ — регистры текущего результата, делителя; частного; БФД — блок формирования дополнения; БМУ — блок местного управления

Два коммутатора КМ1 и КМ2 управляют потоком информации, направляя его по разным выходам через сумматор или в обход его. В схеме АУ входят регистр текущего результата РТ, регистр делителя РД и регистр частного РЧ. Последние два регистра используются в операции деления, а также для вспомогательных целей в других операциях. При выполнении команд информация из ЗУ может быть направлена в любой из регистров. Каждая арифметическая операция содержит код ячейки ЗУ и (или) регистра, из которого берется операнд. Операнды обрабатываются сумматором и по окончании выполнения команды результат оказывается в одном из трех регистров. Для записи результата в ЗУ может потребоваться другая команда. От появления операндов в АУ до получения результата проходит несколько тактов, последовательность которых задается блоком местного управления БМУ.

Замена операции вычитания операцией сложения производится с помощью блока формирования дополнения БФД. Содержимое регистров передается в ЗУ минуя сумматор. Блок местного управления управляет передачей информации между регистрами, сумматором и ЗУ. Управляющие сигналы в БМУ поступают из устройства управления (УУ).

Схема АУ, как правило, обрабатывает несколько байтов информации. При функциональной разбивке схемы кажется выгодным выполнить схемы коммутаторов, регистров, сумматора, блоков БМУ и БФД отдельными узлами. Подобный подход имеет два существенных недостатка:

- в схеме АУ с параллельной обработкой информации в узле могут одновременно переключаться все микросхемы, что приведет к выбросам напряжения по цепям питания и "земли" платы и к значительным перекрестным наводкам на сигнальные связи;

- в конструкции будут лишь три узла регистров и два узла коммутаторов с одинаковой структурой, обеспечивающие их взаимозаменяемость.

Лучшие результаты будут, если каждый узел будет содержать несколько разрядов АУ (допустим, байт), т.е. часть коммутатора КМ1 и КМ2, регистров РТ, РД и РЧ, блока БФД, сумматора. Блок БМУ лучше выполнить отдельным узлом. Например, 48-разрядное АУ разбивается на 6 одинаковых узлов и узел (несколько узлов) БМУ. В результате уменьшается количество одновременно переключаемых в узле микросхем, уменьшается ЗИП, равномерно нагревается устройство, будут отсутствовать местные перегревы, упрощается

поиск неисправного модуля. Неисправность любого из одинаковых модулей приведет к появлению ошибок в определенном байте разрядной сетки. Перестановка модулей позволит выявить отказавший. При появлении ошибок во всех разрядах неисправность следует искать в узле (узлах) БМУ или УУ ЭВА.

Рассмотренный выше подход к разбивке схемы допустим при осуществлении АУ на средней интегральной схеме (СИС). Если аппаратная сложность АУ не превышает 1-2 блоков, то в первом случае узел (узлы) БМУ следует располагать в центре блока, а узлы операционного устройства - по периферии. Это уменьшит пути прохождения управляющих сигналов, повысит быстродействие. Во втором случае узлы операционных устройств размещаются в одном блоке, БМУ - в другом.

При выполнении АУ на ММС, если на плате можно реализовать не менее одного разряда одновременно всех функциональных схем АУ, то целесообразен тот же подход, что и при реализации АУ на СИС. Если модуль на один разряд операционного устройства получить не удастся, то АУ разбивают на подсхемы функциональных групп из нескольких разрядов РТ, РД, РЧ, КМІ и т.д., а сами функциональные группы реализуются блоками (блок РТ, блок РД, блок РЧ и т.д.), размещаемыми в стойке.

Структурная схема ЗУ представлена на рис. 7.

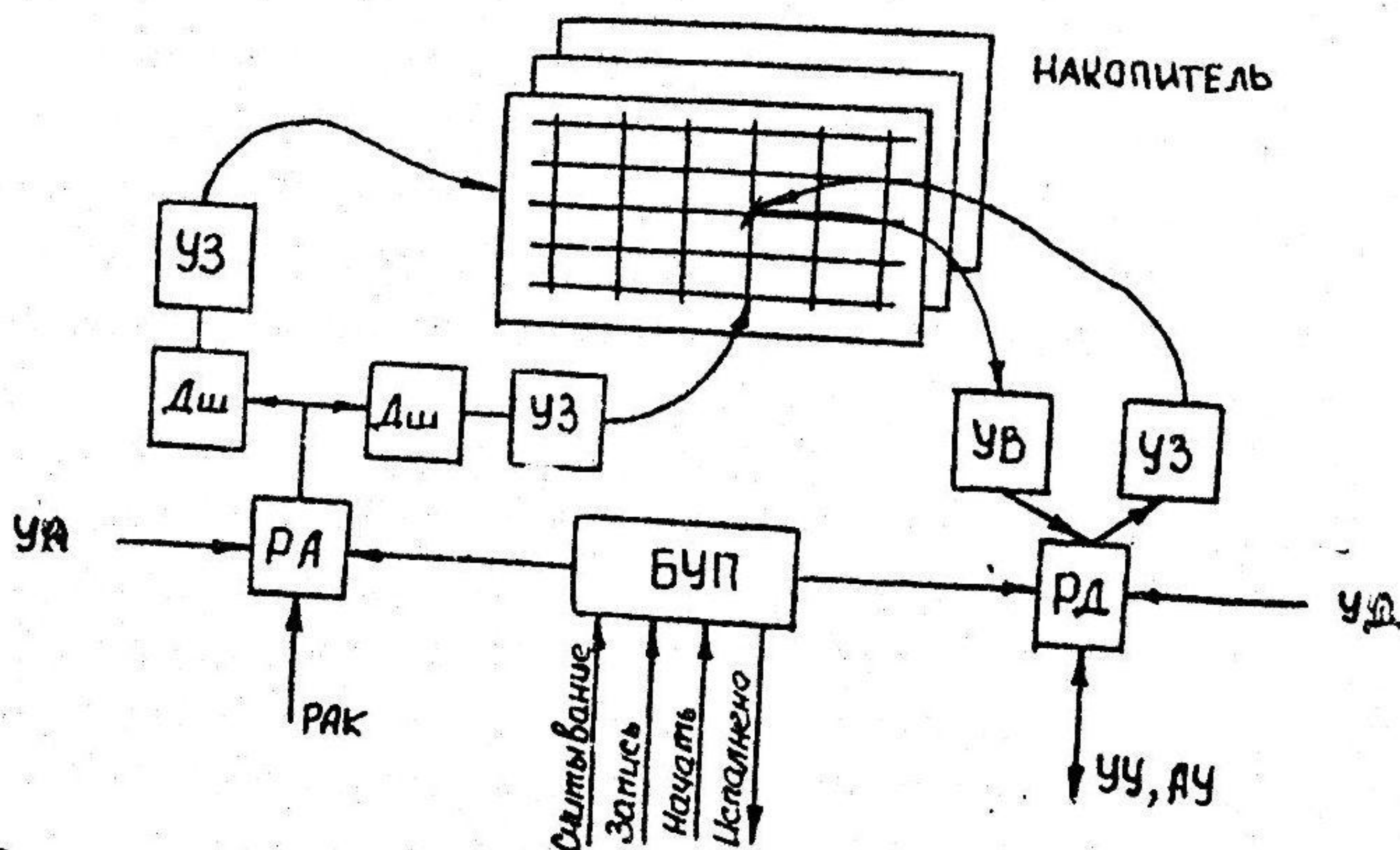


Рис. 7. Структурная схема ЗУ:
РА, РД - регистры адреса, данных; БУП - блок управления памятью; Дш - дешифратор; УЗ, УВ - усилители записи, воспроизведения

Каждая ячейка ЗУ содержит одно слово и имеет адрес для обращения к ней. Регистр адреса РА содержит адрес ячейки, к которой происходит обращение. По сигналу УА (установить адрес) код адреса поступает в РА. Считываемая или записываемая информация временно хранится в регистре данных РД. Запись в регистр происходит по сигналу УД (установить данные). Блок управления памятью (БУП) управляет работой ЗУ в автономном режиме. По сигналу, приходящему в БУП, осуществляется считывание или запись информации усилителями УВ и УЗ. Сигнал "Начать" разрешает запись информации в регистры РА и РД, отключая ЗУ от остальных устройств ЭВА на время записи или считывания очередного слова. Окончанием операции обращения к ЗУ является выдача с БУП сигнала "Исполнено".

На рис. 8 изображена структурная схема УУ.

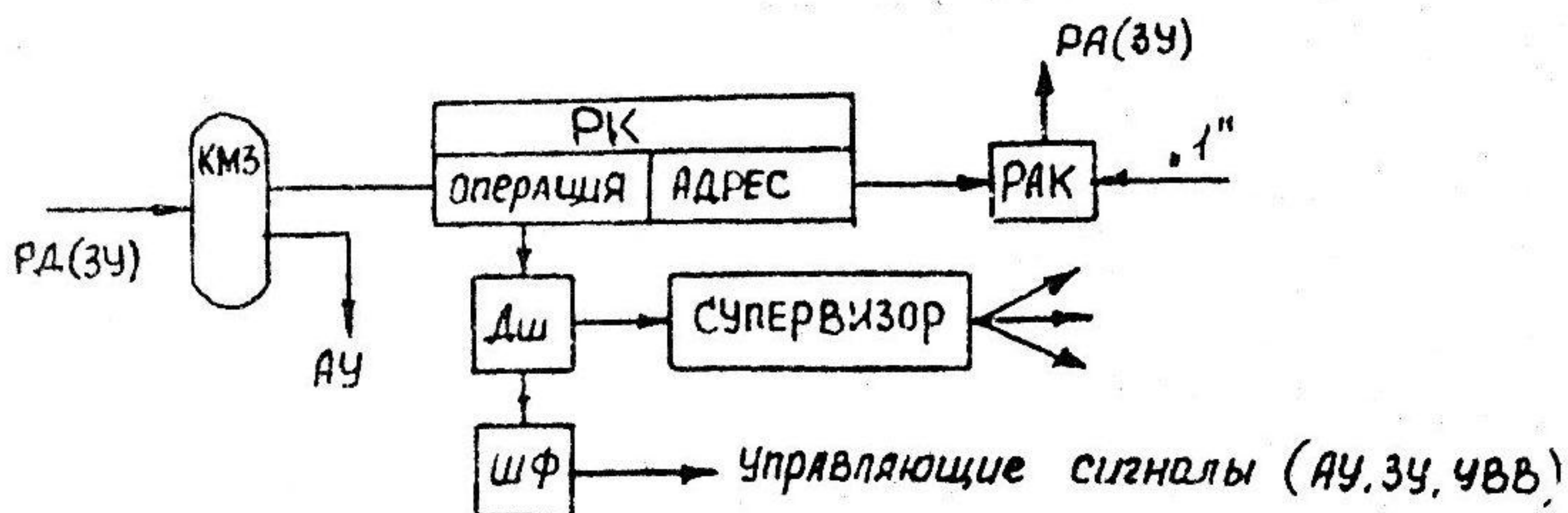


Рис. 8. Структурная схема УУ:

КМЗ - коммутатор; РК, РАК - регистры команд, адреса команд; Дш - дешифратор; ШФ - шифратор

Процесс управления состоит из циклов выборки и выполнения. В цикле выборки очередная команда пересылается из ЗУ в регистр команд (РК) и интерпретируется. Затем выполняется команда. Как правило, команда требует операндов. Считываемый ЗУ операнд засылается в один из регистров АУ по сигналу с УУ.

Регистр адреса команды (РАК) работает в счетном режиме (после выполнения очередной команды в РАК засылается "1", изменяющая его содержимое и позволяющая считывать очередную команду из ЗУ) и хранит адрес команды, выполняемой в данный момент времени. При поступлении на регистр команд (РК) команды условного или безусловного перехода новый адрес поступает в РАК, а на регистр РК засылается команда, адрес которой содержится в РАК. Коммутатор КМЗ служит для пересылки команды в РК

УУ и операнды в АУ. Дешифратор ДД выдает сигнал, соответствующий коду операции, находящейся в регистре РК. Шифратор ШФ интерпретирует сигналы с ДД, задает цикл работы ЭВА при выполнении каждой операции и осуществляет передачу информации управляющими сигналами. Супервизор обеспечивает контроль и синхронизацию УУ, являясь местным управлением в УУ.

Схема УУ (за исключением супервизора), а также регистры РА, РД и дешифратор ДД схемы ЗУ реализуются на узлах первой группы. Узлы второй группы служат для построения схем БМУ АУ, БУП ЗУ и супервизора УУ, узлы третьей группы — для схем УЗ и УВ ЗУ. Накопитель полупроводникового ЗУ конструктивно реализуется на функциональных узлах первой группы. Однако большинство накопителей строится совсем по иному принципу — блочному и представляет собой единую трудноразборную конструкцию, электрически соединяемую с электронным обрамлением ЗУ жгутами и паяными соединениями.

Разбивка на узлы и затем объединение узлов схем УУ и ЗУ подобны рассмотренному АУ.

Для разбиения электрических схем электронной аппаратуры, реализуемой микросхемами малой и средней степени интеграции, на конструктивно законченные части требуется знание формализованных методов и разработка на их основе алгоритмов, легко реализуемых на ЭВМ. При этом необходим переход от электрической схемы к абстрактной математической модели. Наиболее приемлемой моделью являются графы различного вида.

Графический способ задания является наглядным представлением графа и заключается в выполнении рисунка, в котором точками обозначают вершины графа, а линиями, соединяющими вершины — ребра.

Другим способом задания графа является составление его матрицы смежности $R = \|z_{ij}\|_{n \times n}$, где n — число вершин рассматриваемого графа; z_{ij} — элемент матрицы, равный числу ребер, инцидентных вершинам x_i и x_j . Если $i=j$, то соответствующий элемент матрицы R определяет число петель при вершине x_i графа G .

Для решения задач конструирования осуществляется переход к графу $G = (X, U)$, при котором элементам электрической схемы соответствуют вершины графа $x \in X$, а электрические цепи (связи) между ними представляются ребрами $u \in U$.

Способы представления графа для решения задачи разбиения.

Построение матрицы смежности и ее особенности описаны выше. Такой способ представления графа удобен при большой насыщенности схем связями.

Матрица цепей используется, если принципиальная электрическая схема содержит значительное число элементов и разветвленных узлов. Матрица цепей имеет обозначение $T = \|t_{ij}\|_{n \times \alpha}$, где α — число контактов элемента схемы, имеющего наибольшее число контактов; n — число элементов в схеме; t_{ij} — номер цепи в схеме, инцидентной j -му контакту i -го элемента. Для построения матрицы T необходимо предварительно присвоить каждой цепи и каждому элементу схемы определенный номер. Тогда строки матрицы T соответствуют номерам элементов схемы, столбцы — номерам контактов, а на пересечении i -й строки и j -го столбца ставится номер электрической цепи, подключенной к j -му контакту i -го элемента.

Постановка задачи разбиения электрических схем. Разбиение электрической схемы ЭВА на конструктивно законченные части представляет собой процесс распределения элементов низшего конструктивного уровня в высший в соответствии с выбранным критерием. Наиболее распространенным является критерий минимума числа внешних связей. Выполнение его обеспечивает минимизацию взаимных наводок, упрощение конструкции, повышение надежности и т.д.

Задача разбиения схемы ЭВА формулируется как задача разбиения графа $G = (X, U)$, интерпретирующего электрическую схему, на куски:

$G_i = (X_i, U_i)$, $X_i \in X$, $U_i \in U$, $i \in I = \{1, 2, \dots, \ell\}$, где ℓ — число кусков в разбиении. Совокупность кусков $P(G) = \{G_1, G_2, \dots, G_\ell\}$ является разбиением графа G , если: а) любой кусок из этой совокупности не пустой; б) для любых двух кусков из $P(G)$ пересечение множества вершин пусто, а пересечение множества ребер может быть не пустым; в) объединение всех кусков в точности равно графу G .

Подмножество ребер $U_{ij} \in U$, попадающих в разрез (сечение) между кусками G_i и G_j графа G , определяет число соединительных ребер K всех кусков графа:

$$K = 0,5 \sum_{i=1}^{\ell} \sum_{j=1}^{\ell} |U_{ij}|, \quad i \neq j.$$

Разбить граф $G = (X, U)$ означает найти такую совокупность кусков, чтобы число K удовлетворяло заданному критерию оптимальности.

Для оценки разбиения графа на куски служит коэффициент разбиения

$$\Delta(G) = \frac{\sum_{i=1}^{\ell} |U_{ij}|}{K},$$

где U_{ij} - подмножество ребер, соединяющих подмножество вершин X_i куска G_i между собой. Очевидно, что оптимальному разбиению одного и того же графа соответствует наибольшее значение $\Delta(G)$. Поскольку число возможных разбиений сложного графа достаточно велико, то при решении задачи необходимо отыскать такое разбиение, для которого либо коэффициент $\Delta(G)$ максимален, либо минимален абсолютный критерий K .

Методика разбиения электрической схемы ЭВА. Поиск оптимального разбиения графа на куски путем получения всех возможных вариантов и выбора из них наилучшего по заданному критерию для конструктора неприемлем, поскольку требует больших затрат машинного времени. Поэтому наибольшее применение нашли эвристические алгоритмы разбиения графов. Они позволяют за конечное число шагов получить локальный минимум, который является достаточным для практических случаев. Рассмотрим последовательный алгоритм разбиения графа в зависимости от способа задания последнего.

Суть алгоритма состоит в следующем. Сначала по определенному правилу выбирают вершину или группу вершин, к которым затем присоединяют другие вершины графа для образования первого куска. Затем процесс повторяют до получения заданного разбиения. Критерий разбиения графа на куски - минимум числа соединительных ребер кусков.

Разбиение графа на куски с использованием матрицы смежности. Пусть граф $G(X, U)$ задан своей матрицей смежности $R = \|z_{ij}\|_{n \times n}$, $i, j \in I = \{1, 2, \dots, n\}$. Предварительно необходимо определить локальную степень $\rho(x_i)$ каждой вершины графа, численно равную сумме элементов в соответствующей строке матрицы R , т.е.

$$\rho(x_i) = \sum_{j=1}^n z_{ij}.$$

Алгоритм разбиения графа G на ℓ кусков состоит в следующем.

I. Выделяется строка x_i матрицы R , соответствующая вершине с максимальной локальной степенью $\rho(x_i)$, и в ней выбирается наибольший элемент γ_{ij} , причем $i \neq j$. Если таких вершин несколько, то предпочтение отдается той вершине, которая имеет большее число кратных ребер, идущих к одной вершине.

Вершины x_i и x_j относим к подмножеству $X'_1 \in X_1$. Переход к 2.

2. Поэлементно складываются строки x_i и x_j матрицы R и строится матрица смежности R' . Переход к 3.

3. В суммарной строке x_{ij} находим максимальный элемент $\gamma_{ij,k}$, $k \neq j$, $k \neq i$ и вершину x_k относим к множеству X'_1 . Если $|X'_1| = |X_1|$, то кусок G_i сформирован и осуществляется переход к 4. Если $|X'_1| < |X_1|$, то ij принимаем за i , а k за j и переходим к 2.

4. Из графа G удаляем вершины подмножества X_1 со всеми инцидентными им ребрами, т.е. вычеркиваем из матрицы R строки и столбцы, соответствующие вершинам подмножества X_1 . Рассматривая матрицу R' и принимая R' за R , переходим к I. Если в матрице осталось ровно $|X_2|$ строк и столбцов, то работа алгоритма окончена.

Пример I. Задан граф $G = (X, U)$. Требуется разбить его на три куска $G_1 = (X_1, U_1)$, $G_2 = (X_2, U_2)$, $G_3 = (X_3, U_3)$, содержащих соответственно 3, 2 и 2 вершины.

Матрица смежности графа имеет вид

$$R = \begin{vmatrix} 0 & 4 & 1 & 0 & 2 & 0 & 1 \\ 4 & 0 & 3 & 1 & 1 & 0 & 0 \\ 1 & 3 & 0 & 5 & 0 & 0 & 1 \\ 0 & 1 & 5 & 0 & 0 & 0 & 0 \\ 2 & 1 & 0 & 0 & 0 & 5 & 2 \\ 0 & 0 & 0 & 0 & 5 & 0 & 6 \\ 1 & 0 & 1 & 0 & 2 & 6 & 0 \end{vmatrix}$$

Решение. I) Для каждой вершины подсчитываем величины $\rho(x_i)$. Далее, выделив в матрице строку x_6 , имеющую максимальное значение $\rho = 11$, и в ней максимальный элемент γ_{67} , формируем из вершин x_6 и x_7 подмножество $X'_1 = \{x_6, x_7\}$.

2) Поэлементно суммируем элементы матрицы в строках x_6 и x_7 и записываем матрицу смежности

$$R' = \begin{vmatrix} 0 & 4 & 1 & 0 & 2 & 1 \\ 4 & 0 & 3 & 1 & 1 & 0 \\ 1 & 3 & 0 & 5 & 0 & 1 \\ 0 & 1 & 5 & 0 & 0 & 0 \\ 2 & 1 & 0 & 0 & 0 & 7 \\ 1 & 0 & 1 & 0 & 7 & 0 \end{vmatrix}$$

3) В строке x_{67} выделяем наибольший элемент $\gamma_{67,5}$ и складываем поэлементно строки x_{67} и x_5 . Вершина x_5 относится в подмножество X_1' . Поскольку $|X_1'| = |X_1|$, то кусок G_1 сформирован.

4) Из исходной матрицы R' вычеркиваем строки и столбцы x_5, x_6, x_7 , соответствующие куску G_1 . В результате получаем матрицу смежности

$$R = \begin{vmatrix} 0 & 4 & 1 & 0 \\ 4 & 0 & 3 & 1 \\ 1 & 3 & 0 & 5 \\ 0 & 1 & 5 & 0 \end{vmatrix}$$

в которой выбираем строку x_3 с максимальным элементом γ_{34} . Вершины x_3 и x_4 относим в подмножество $X_2' = \{x_3, x_4\}$. Поскольку $|X_2'| = |X_2| = 2$, то кусок G_2 сформирован. Тогда в кусок G_3 попадут вершины x_1 и x_2 .

Характеристика разбиения: $K = II, \Delta(G) = 2$.

Разбиение графа на куски с использованием матрицы цепей.

Для разбиения графа, заданного матрицей цепей, вводится вспомогательная матрица

$$S = \|s_{ij}\|_{\ell \times m},$$

где ℓ - число кусков графа; m - количество электрических цепей в схеме. Значения элементов матрицы определяются так:

$$s_{ij} = \begin{cases} 1, & \text{если в куске } G_i \subseteq G \text{ есть вершина, инцидентная} \\ & j\text{-й цепи;} \\ 0 & \text{в противном случае.} \end{cases}$$

Матрица S строится непосредственно по матрице T в соответствии с алгоритмом:

Число соединительных ребер всех кусков графа

$$K = 0,5 \left(\sum_{j=1}^m \sum_{i=1}^l s_{ij} - m \right).$$

При определении числа контактов разъема куска достаточно подсчитать сумму единиц в строке, соответствующей этому куску, полученную сумму уменьшить на величину, равную числу столбцов, в которых имеется одна единица, находящаяся в этой строке. Так, для выполненного случайного разбиения имеем $K = 20$, а число контактов разъема каждого куска соответственно $K_1 = 11$, $K_2 = 20$, $K_3 = 9$.

Суть алгоритма разбиения, выполняемого по матрицам S и T путем последовательного формирования кусков с минимизацией, заключается в следующем. Сначала число элементов в каждой под-схеме (куске) пусто. Далее следует предварительное распределение элементов по кускам. После этого начинается последовательная выборка строк x_q из T и определение того куска G_i , при помещении в который элемент $x_q \in X$ дает наименьшее приращение числа связей между кусками. Процесс повторяется до тех пор, пока все элементы не будут распределены.

Общее приращение числа связей между кусками графа схемы для всех цепей, инцидентных вершине x_i :

$$\Delta K_j^i = \sum_{q=1}^m s_{0q}^i \bar{s}_{jq}^i \left(\bigcup_{\alpha=1}^l s_{\alpha q} \right).$$

Любая из величин s_{0q}^i , \bar{s}_{jq}^i , $s_{\alpha q}$ может принимать только два значения: 0 или 1. Заметим также, что при помещении вершины x_i в кусок G_j возможно совпадение некоторых цепей, инцидентных этой вершине с другими цепями, лежащими внутри куска. Очевидно, что при формировании кусков графа схемы необходимо стремиться к полному совпадению цепей вносимой вершины и внутренних вершин. Связь между куском G_j и другими кусками образуется, если $s_{jp}^i = 0$, $s_{0p}^i = 1$ и в столбце p имеется хотя бы одна единица. Здесь s_{0p}^i - элемент строки s_0^i матрицы S , соответствующей вносимой вершине $x_i \in X$. Строка s_0^i строится по строке x_i матрицы T так:

$$s_0^i = \|s_{i\alpha}\|_{e \times m},$$

где $S_{i\sigma} = \begin{cases} 1, & \text{если элемент } x_i \text{ подключен к цепи с номером } \sigma; \\ 0 & \text{в противном случае.} \end{cases}$

Последовательный алгоритм разбиения графа с использованием матриц T и S следующий.

1. Выбирается строка x_i в матрице T . Переход к 2.
2. Строится строка S_0^i . Переход к 3.
3. Определяется множество приращений числа связей ΔK для элемента при помещении его в куски $G_1, G_2, \dots, G_p / G_{f_1}, G_{f_2}, \dots, G_{f_e}$ (G_{f_i} - сформированный кусок):

$$\Delta K = \{ \Delta K_1^i, \Delta K_2^i, \dots, \Delta K_p^i / \Delta K_{f_1}^i, \Delta K_{f_2}^i, \dots, \Delta K_{f_e}^i \} = \{ \Delta K_j^i \}, \quad j \in I = \{1, 2, \dots, p\}.$$

Переход к 4.

4. Из множества ΔK выбирается элемент ΔK_j^i с минимальным весом (значением). Переход к 5.

5. Определяется поэлементно дизъюнкция строк S_j^i и S_0^i . Переход к 6.

6. Подсчитывается число элементов n_j в куске G_j и сравнивается с заданным числом $N_j = |X_j|$ для этого куска. Если $n_j < N_j$, то переход к 7. При $n_j = N_j$ кусок считается сформированным и осуществляется переход к 8.

7. В матрице T выбирается новая строка x_q , причем $q \neq i$. Индекс i заменяется на q , и переход к 2. Если просмотрены все строки, то переход к 8.

8. Конец работы алгоритма.

Пример 3. Задан граф схемы $G = (X, U)$, $|X| = 13$,

$X = \{x_1, x_2, \dots, x_{13}\}$ и его матрица цепей (см. пример 2). Требуется произвести разбиение графа на три куска G_1, G_2, G_3 так, чтобы $\bigcup_{i=1}^3 G_i = G$, а число соединительных ребер было минимально. В каждом куске должно быть вершин: $|X_1| = 4$, $|X_2| = 4$, $|X_3| = 5$.

Решение. Пусть после нескольких шагов работы алгоритма найдено, что элементы $x_4, x_1, x_7 \in X_1$; $x_2, x_5 \in X_2$; $x_3, x_6 \in X_3$. Матрица S в этом случае имеет вид

$$S = \begin{pmatrix} 1 & 1 & 1 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 1 & 1 & 1 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 1 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 1 & 1 & 1 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 1 & 1 & 1 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 1 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 1 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \end{pmatrix}$$

1) Согласно представленному алгоритму разбиения, из матрицы T выбираем строку x_8 , соответствующую еще не рассмотренному элементу x_8 .

2) Строим строку

$$S_0^8 = 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 1 \ 1 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 1 \ 1 \ 1 \ 1 \ 1 \ 0 \ 0 \ 0 \ 0 \ 0$$

3) Для определения $\Delta K_1^8, \Delta K_2^8, \Delta K_3^8$ находим по матрице поэлементные дизъюнкции строк:

$$\begin{aligned} S_2 \vee S_3 &= 0 \ 0 \ 0 \ 0 \ 1 \ 1 \ 1 \ 1 \ 1 \ 1 \ 0 \ 0 \ 0 \ 0 \ 1 \ 1 \ 1 \ 1 \ 1 \ 1 \ 1 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0, \\ S_1 \vee S_3 &= 1 \ 1 \ 1 \ 1 \ 0 \ 0 \ 0 \ 0 \ 1 \ 1 \ 1 \ 1 \ 1 \ 1 \ 1 \ 0 \ 0 \ 0 \ 0 \ 1 \ 1 \ 1 \ 1 \ 1 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0, \\ S_1 \vee S_2 &= 1 \ 1 \ 1 \ 1 \ 1 \ 1 \ 1 \ 1 \ 0 \ 0 \ 1 \ 1 \ 1 \ 1 \ 1 \ 1 \ 1 \ 1 \ 1 \ 0 \ 0 \ 1 \ 1 \ 1 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0. \end{aligned}$$

и инверсии строк S_1, S_2, S_3

$$\begin{aligned} \bar{S}_1 &= 0 \ 0 \ 0 \ 0 \ 1 \ 1 \ 1 \ 1 \ 1 \ 1 \ 0 \ 0 \ 0 \ 0 \ 0 \ 1 \ 1 \ 1 \ 1 \ 1 \ 1 \ 0 \ 0 \ 0 \ 1 \ 1 \ 1 \ 1 \ 1 \ 1 \ 1 \ 1 \ 1, \\ \bar{S}_2 &= 1 \ 1 \ 1 \ 1 \ 0 \ 0 \ 0 \ 0 \ 1 \ 1 \ 1 \ 1 \ 1 \ 1 \ 0 \ 0 \ 0 \ 0 \ 0 \ 1 \ 1 \ 1 \ 1 \ 1 \ 1 \ 1 \ 1 \ 1 \ 1 \ 1 \ 1 \ 1 \ 1, \\ \bar{S}_3 &= 1 \ 1 \ 1 \ 1 \ 1 \ 1 \ 1 \ 1 \ 0 \ 0 \ 1 \ 1 \ 1 \ 1 \ 0 \ 1 \ 1 \ 1 \ 1 \ 0 \ 0 \ 1 \ 1 \ 1 \ 1 \ 1 \ 1 \ 1 \ 1 \ 1 \ 1 \ 1. \end{aligned}$$

Далее находим поэлементные конъюнкции строк:

$$\begin{aligned} (S_2 \vee S_3) \wedge S_0^8 \wedge \bar{S}_1 &= \\ &= 0 \ 0, \end{aligned}$$

$$\begin{aligned} (S_1 \vee S_3) \wedge S_0^8 \wedge \bar{S}_2 &= \\ &= 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 1 \ 1 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 1 \ 1 \ 1 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0, \end{aligned}$$

$$\begin{aligned} (S_1 \vee S_2) \wedge S_0^8 \wedge \bar{S}_3 &= \\ &= 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 1 \ 1 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 1 \ 1 \ 1 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0. \end{aligned}$$

Суммируя число единиц в каждой из полученных строк, получим

$$\Delta K_1^8 = 0, \quad \Delta K_2^8 = 5, \quad \Delta K_3^8 = 5.$$

4) Поскольку $\Delta K, \delta = 0$, то элемент x_8 помещается в кусок G_1 . При этом число связей между кусками не изменится.

5) Строка S_j матрицы S схемы модифицируется поэлементной дизъюнкцией со строкой S_0^{δ} .

6) При внесении элемента x_8 в кусок G_1 , число элементов оказалось равным заданному. Осталось распределить элементы $x_9, x_{10}, \dots, x_{13}$ между кусками G_2 и G_3 . Для этого из матрицы T выбирается строка x_9 , соответствующая элементу x_9 , и выполняются все операции согласно приведенному алгоритму. Аналогично поступаем с оставшимися строками x_{10}, \dots, x_{13} до формирования кусков G_2 и G_3 . Окончательный результат разбиения графа на три куска

$$G_1 = (X_1, U_1), \quad X_1 = \{x_1, x_4, x_7, x_8\};$$

$$G_2 = (X_2, U_2), \quad X_2 = \{x_2, x_5, x_9, x_{10}\};$$

$$G_3 = (X_3, U_3), \quad X_3 = \{x_3, x_6, x_{11}, x_{12}, x_{13}\};$$

$$K = 8.$$

4. МИКРОПРОЦЕССОРЫ И ИХ ПРИМЕНЕНИЕ

Из всех ИС, разработанных на сегодняшний день, функционально микропроцессоры являются наиболее сложными и представляют собой программное устройство обмена и обработки информации, реализованное на одной или нескольких больших интегральных схемах (БИС). В последнем случае будет иметь место микропроцессорный комплект (МПК) БИС. Количество БИС в комплектах может достигать нескольких десятков.

В качестве самостоятельного устройства МП не применяются; 4-разрядные МП широко применяются в электробытовой аппаратуре, игровых автоматах, 8-разрядные - в аппаратуре связи, зрительно-слуховой аппаратуре; 16-разрядные МП являются базой для создания мини-ЭВМ, применяемых в промышленности, военной технике, персональных компьютерах.

При разработке вычислительной аппаратуры вместо проектирования логических структур из МИС и СИС, входящих в состав серий микросхем, можно использовать МП и составить программу, выполняющую те же действия, что и логические структуры.

В традиционной аппаратуре, построенной без использования МП, схемы могут изменять свое состояние при воздействии каждого синхроимпульса. Для МП это принципиально невозможно. На каждом такте синхронизации МП может выполнять какое-либо действие: запись в ЗУ, считывание из ЗУ, арифметическую или логическую операцию, пересылая или обрабатывая одновременно несколько разрядов. Таким образом, программный подход к реализации определенных действий приводит к разработке аппаратуры, действующей медленнее, чем разработанной при традиционном логическом проектировании.

Применение МП в малых электронных системах неэффективно. Традиционное логическое проектирование несложной ЭВА даст более экономичные результаты. Однако, учитывая непрерывное снижение стоимости МП, необходимо снижать требования к минимальным размерам электронных систем, в которых МП может быть использован. В будущем останутся как традиционные методы логического проектирования, так и получат дальнейшее развитие методы проектирования ЭВА с использованием МП. Первый метод будет применяться для осуществления простейших функций и связи отдельных подсистем, когда важна скорость обработки информации, второй — при наличии множества логически связанных функций.

Структурная схема одного из МП представлена на рис. 9. Рассмотрим назначение и взаимосвязь отдельных узлов МП. Счетчик команд (СЧК), стек и регистр команд (РгК) служат для обработки команд. Арифметико-логическое устройство (АЛУ), общие регистры и регистр адреса данных (РгАД) предназначены для обработки данных. Взаимодействие схем МП осуществляется по внутренним каналам передачи данных. Дешифратор команд (ДШК), блок управления и синхронизации (БУС) управляет работой МП. Связь МП с внешними схемами происходит по шине адресной (ША), шине данных (ШД) и шине управления (ШУ).

Одна из функций стека — сравнение адреса возврата из подпрограммы. В стеке могут также сохраняться данные из верхних трех общих регистров.

В то время как данные состоят из одного байта, команда может состоять из одного-трех байтов. Первый байт любой команды поступает из ЗУ по ШД на регистр команд. Первый байт команды определяет, является ли она однобайтовой или состоит из большего числа байтов. Дополнительные байты передаются по ШД и ЗУ и принимаются на РГАД или на один из общих регистров.

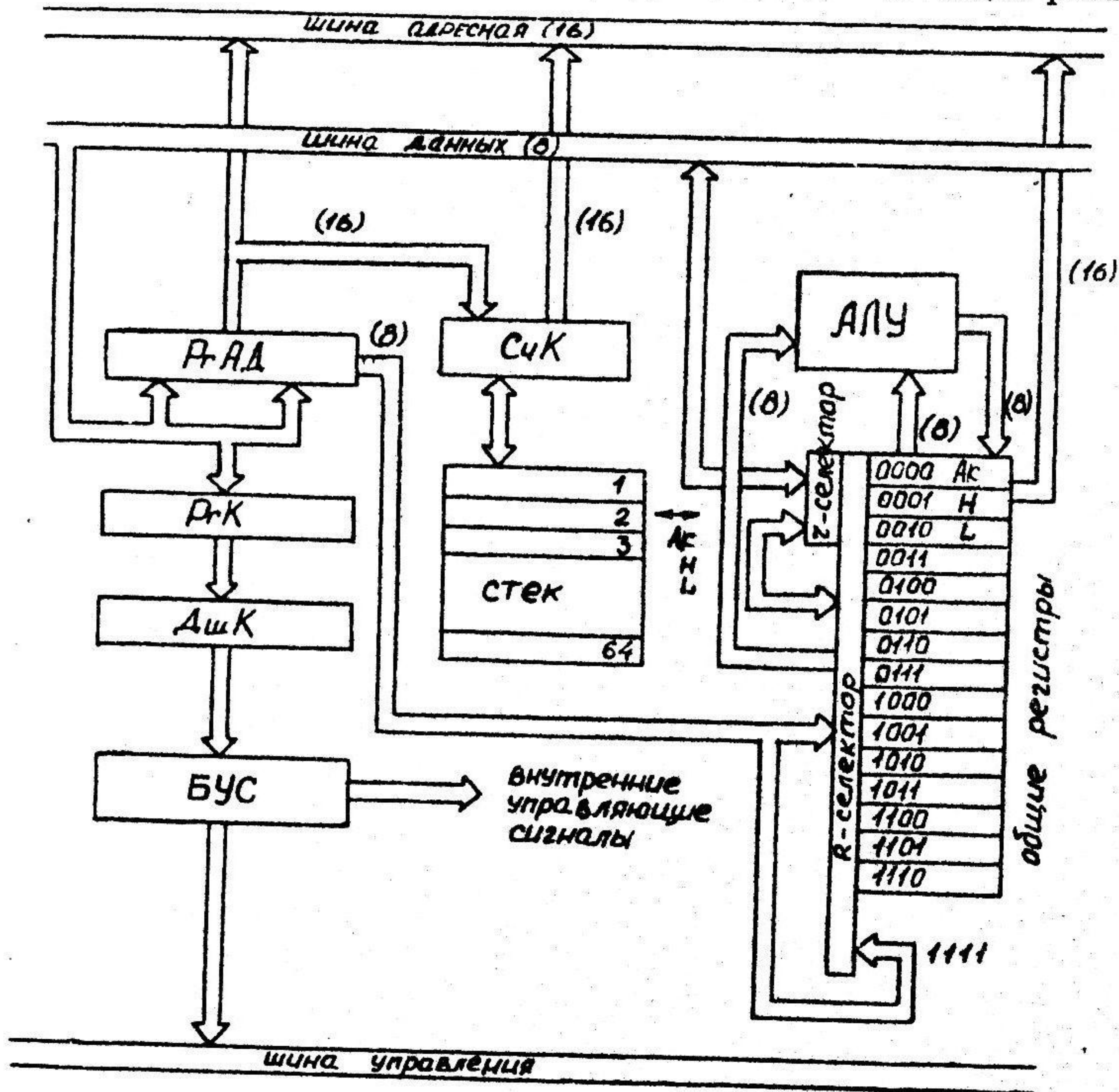


Рис. 9. Микропроцессор

Регистр адреса данных содержит адрес операнда для команд, обращающихся к ЗУ, адрес порта для команд ввода-вывода или адрес следующей команды для команд перехода.

Общие регистры содержат операнды для всех команд, обрабатывающих данные. Для указания регистров используются четырехбитовые коды. Регистр аккумулятор (Ак) участвует во всех арифметических и логических операциях. В частности, Ак содержит один из операндов перед выполнением операции и получает результат после ее завершения. Обращение к общим регистрам осуществляется через ρ - и γ -селекторы. Первый позволяет обращаться к любому регистру, тогда как второй — только к трем регистрам.

В МП введена косвенная адресация. Задание несуществующего регистра общего назначения IIII используется как указание на то, что нужно обратиться к байту ЗУ по 16-разрядному адресу, который получается комбинированием содержимого двух фиксированных общих регистров H и L.

Входами АЛУ являются две 8-битовые шины. Одна из них идет от Ак (регистр 0000), а другая — от γ -селектора, который выбирает либо один регистр общего назначения 0000-III0, либо ячейку ЗУ, если задана косвенная адресация. Результат из АЛУ передается в Ак по выходной 8-битовой шине.

Структурная схема микро-ЭВМ показана на рис. 10.

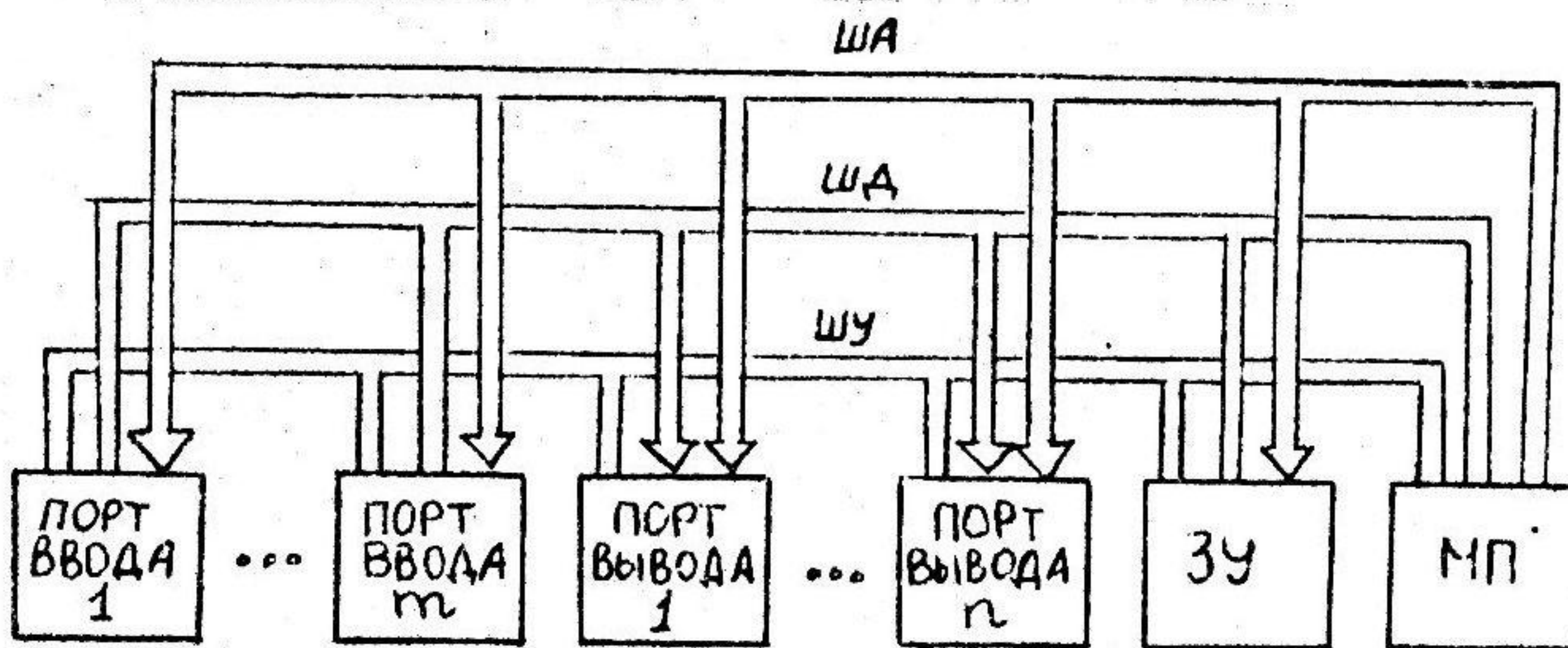


Рис. 10. Структурная схема микро-ЭВМ

Процессор микро-ЭВМ (микропроцессор) представляет собой одну или несколько БИС. Кроме МП в состав микро-ЭВМ входят различные ЗУ, а также периферийные схемы, связь которых с МП осуществляется через порты ввода-вывода. Каждый порт фактически является интерфейсом (комплекс средств сопряжения, включающий аппаратуру и совокупность правил взаимодействия подсистем) между периферийными схемами и МП. Взаимосвязь подсистем микро-ЭВМ

осуществляется по шинам. Шинная организация обмена данных упрощает внутренние связи МП и определяется ограничениями интегральной технологии.

Каждая шина представляет собой совокупность общих линий (проводников) для подсоединяемых к МП подсистем. Шина данных (ШД) состоит из линий, число которых определяется разрядностью обрабатываемой информации. Шина адресная (ША) указывает адреса обменивающихся между собой устройств микро-ЭВМ. Шины управляющие (ШУ) определяют выполняемую операцию: передачу данных, обработку в режиме прерывания и т.д. Все линии данных и некоторые из линий управления являются двунаправленными. Каждая микро-ЭВМ имеет четко регламентированный протокол, указывающий на устройство и момент обработки информации.

В состав микро-ЭВМ входят оперативное ЗУ на полупроводниковых элементах, постоянное ЗУ для хранения программ. Почти все микро-ЭВМ хранят в постоянном ЗУ программу первоначальной загрузки для запуска ЭВМ при включении питания. Во время исполнения программы данные хранятся в оперативном ЗУ. Микропроцессор выбирает команды из памяти, дешифрирует их и выполняет соответствующие действия. Микро-ЭВМ, предназначенные для выполнения математических расчетов, имеют внешнее ЗУ большой емкости, которое могут составлять накопители на магнитной ленте или магнитных дисках.

Связь между оператором и МП осуществляется через буквенно-цифровые видеотерминалы, печатающие устройства, графопостроители.

В большинстве своем микро-ЭВМ используются как управляющие вычислительные машины с постоянной программой, хранимой в постоянном ЗУ. Программа состоит из команд, реализующих в совокупности требуемую функцию. Один и тот же микропроцессор может использоваться для разных целей. Программа же составляется для каждого конкретного применения МП и хранится в постоянном ЗУ. Команды хранятся в ячейках памяти и выполняются автоматически, используя адресацию последовательных ячеек памяти, определяемую программным счетчиком.

Для обеспечения работоспособности МП в составе микро-ЭВМ входные-выходные цепи МП должны быть нагружены на электрорадиоэлементы и усилительные схемы. Информацию на ШД необходимо передавать только для одного абонента, выбор которого осуществляется сигналами, подаваемыми на ША. По ШУ передаются сигналы

Одноименные монтажные отверстия под выводы электрических соединителей P1, P2 и т.д. коммутируются одной трассой.

Однако нужно помнить, что использование несложной микро-ЭВМ при разработке сложной ЭВА может значительно усложнить разработку и ухудшить основные параметры системы за счет введения большого числа дополнительных плат.

Суммируя сказанное, можно сделать следующие выводы. Для однокорпусных и одноплатных микро-ЭВМ из-за небольшой аппаратурной сложности возникает задача не функциональной разбивки, а, наоборот, объединения компонентов на плате. Разбивка многоплатных ЭВМ должна проводиться так, чтобы подсхемы микро-ЭВМ обязательно имели бы в качестве входных-выходных цепей ША, ШД, ШУ. Это требует выделение подсхем собственно МП с буферными входными-выходными компонентами, ЗУ, портов (периферийных схем).

Использование принципов функциональной разбивки аппаратуры на МП рассмотрим на примере проектирования электронных весов. Электронные весы на рис. 13 показаны без МП и ЗУ. Это сделано для упрощения и без того сложной схемы. Микропроцессор и ЗУ к схеме коммутируются шинами ШД, ША и ШУ. Весы индицируют массу товара и его стоимость. Входная информация поступает в аналоговой форме с датчика давления Д и в цифровой - с трех переключателей десятипозиционных (ПДП). В МП происходит преобразование напряжения с датчика давления в код массы и умножение стоимости на код массы товара.

Схема работает следующим образом. Датчик давления создает пропорциональное массе напряжение, которое после усилителя поступает на компаратор. На второй вход компаратора подается преобразованный из цифрового кода в МП аналоговый сигнал. Процедура преобразования аналогового сигнала массы сводится к последовательному подбору битов для каждой цифры трехразрядной массы товара. Подбираемый код массы заносится на три левых 4-битовых регистра вывода P .

Отдельные цифры массы обозначаются через P_H , P_M и P_L . Подбор значений массы начинается со старшего четвертого разряда регистра P_H установкой его в единицу и сравнением в аналоговой форме с фактически измеренной массой. Если полученное пробное значение оказалось велико, то единица старшего разряда сбрасывается, а единица засылается в третий разряд.

ЛИТЕРАТУРА

1. Шерстнев В.В. Конструирование и микроминиатюризация ЭВА. - М.: Радио и связь, 1984.-280 с.
2. Белов Б.И., Грачев А.А., Шерстнев В.В. Несущие конструкции блоков: Учебное пособие по курсовому проектированию по курсу "Конструирование ЭВА". - М.: МВТУ им. Н.Э.Баумана, 1983.-32 с.
3. Экранирование и межсоединения в ЭВА и РЭА. Расчеты надежности ЭВА и РЭА: Методические указания по дипломному проектированию/ Белов Б.И., Шерстнев В.В., Маркелов В.В. и др. - М.: МВТУ им. Н.Э.Баумана, 1980. -28 с.
4. Шерстнев В.В. Методические указания по выполнению проекта по курсу "Конструирование ЭВА". Ч. I.-М.:МВТУ им. Н.Э.Баумана 1978.-34 с.
5. Методы разбиения схем РЭА на конструктивно законченные части/ Морозов К.К., Мелихов А.И., Берштейн Л.С. и др.; Под ред. Морозова К.К. - М.: Сов. радио, 1978.-136 с.
6. Верхопятницкий П.Д., Латинский В.С. Справочник по модульному конструированию РЭА. - Л.: Судостроение, 1983.-232 с.