

Московский государственный технический университет
им. Н. Э. Баумана

**МЕТОДЫ И СРЕДСТВА
АВТОМАТИЗИРОВАННОГО КОНТРОЛЯ
И ИСПЫТАНИЙ ЭЛЕКТРОННОЙ АППАРАТУРЫ**

Часть 2. Анализ и обеспечение контроле-
и тестовпригодности ЭА

Издательство МГТУ
1992

Московский государственный технический университет им. Н.Э. Баумана

МЕТОД И СРЕДСТВА АВТОМАТИЗИРОВАННОГО КОНТРОЛЯ И
ИСПЫТАНИЙ ЭЛЕКТРОННОЙ АППАРАТУРЫ

Часть 2. Анализ и обеспечение контроле- и
тестопригодности ЭА

Утверждено редсоветом МВТУ в качестве учебного пособия

Издательство МГТУ

1992

ББК 32.844 ИИ
М54

Рецензенты: Э.В. Мысловский, А.В. Фролов

Методы и средства автоматизированного контроля и испытаний электронной аппаратуры: Учеб. пособие. 4.2. Анализ и обеспечение контроле- и тестопригодности ЭА / Под ред. Б.И. Белова. - М.: Изд-во МГТУ, 1992 г. -78 с., ил.

Содержатся общие сведения о контроле- и тестопригодности электронной аппаратуры (ЭА). Приведены типовые схемные решения, улучшающие контроле- и тестопригодности. Описаны существующие методы обеспечения тестопригодности. Рассмотрены пакет прикладных программ анализа тестопригодности ЭА и показатели ее контроле- а тестопригодности.

Для студентов старших курсов.

Табл. 3. Ил. 61. Библиогр. 19 назв.

ББК 32.844

Редакция заказной литературы

Алексей Викторович Еланцев
Курбанмагомед Динмагомедович Курбанмагомедов
Виктор Васильевич Маракелов
Альфер Нурович Набиуллин

Методы и средства автоматизированного контроля
и испытаний электронной аппаратуры

Заведующая редакцией Е.С. Ивашкина
Редактор Г.А. Нилова
Корректор И.М. Пирут

© МГТУ им. Н.Э. Баумана, 1992.

Подписано в печать 09.12.91.

Формат 60x84/16. Бумага тип. № 2.

Печ.л. 5,0,вкл Усл.изд.л. 4,65.

Уч.-изд.л. 4,63. Тираж 600 экз.

Изд. №20 Заказ

Цена 20 коп.

Издательство МГТУ, типография МГТУ.

107005, Москва, Б-5, 2-я Бауманская, 5.

ВВЕДЕНИЕ

По анализу состояния электронной аппаратуры (ЭА) можно получить и накопить сведения о ее работоспособности, исправности и функционировании. В первом случае анализируется выполнение аппаратурой всех заложенных в нее функций и алгоритмов в соответствии с техническими требованиями, во втором - исправность всех компонентов аппаратуры с точностью до блока или элемента, в третьем - правильность выполнения всех функций и алгоритмов, реализуемых ЭА в данный момент времени. При этом под анализом понимается контроль и техническое диагностирование ЭА, позволяющие не только установить факт наличия неисправности, но и выявить ее место, вид и причину, а также устранять несоответствие выполняемых функций заданным или заложенным в аппаратуре на этапе проектирования.

Применяемые в современной ЭА сложные элементы с более высокой степенью интеграции обуславливают особенности в решении перечисленных задач:

- усложнение алгоритмов анализа;
- увеличение времени анализа из-за роста объемов контролируемой ЭА;
- сложность достижения заданной глубины выявления неисправностей (глубины диагностирования);
- необходимость применения различных методов и видов контроля;
- сравнительно частое сочетание в ЭА аналоговых и цифровых элементов и узлов.

Таким образом, контроль и техническое диагностирование ЭА представляет собой сложную задачу, решение которой зависят не только от этапов ее проектирования, но и от условия производства и эксплуатации. При этом предъявляется комплекс требований к глубине диагностирования, времени поиска и устранения неисправности, себестоимости контроля и диагностирования [1].

Вышесказанное обусловило развитие нового направления в проектировании ЭА, а именно, проектирование контроле- и тестопригодных ЭА. Суть данного направления заключается в оценке затрат на контроль и диагностирование ЭА еще на этапе проектирования, а также использования результатов для решения следующих задач [2]:

- формирование требований к контроле- в тестопригодности аппаратура;
- разработка конструкторско-технологической документации, необходимой для описания и анализа ЭА как объекта диагностирования;
- выбор математического аппарата моделирования неисправностей и разработка диагностической модели аппаратуры;
- анализ диагностической модели и выбор диагностических параметров;
- выбор количества контрольных точек в ЭА, места размещения и их конструкторско-технологическое оформление;
- оптимизация электрических схем ЭА и их логического моделирования;
- алгоритмизация процесса контроля и диагностирования, оптимизация тестов и времени синтеза тестов;
- формирование требований к аппаратуре контроля и диагностирования;
- определение и оценка достигнутого уровня контроле- и тестопригодности.

I. ТЕСТОВЫЙ АНАЛИЗ ЭА. ПОНЯТИЕ КОНТРОЛЕ- И ТЕСТОПРИГОДНОСТИ

При автоматизированном проектировании ЭА проводят синтез тестовых последовательностей и логическое моделирование аппаратуры. Различают функциональный и параметрический анализ состояний ЭА. В первом случае проверяют выполняемые ЭА функции, или распознавание ее функционального состояния, во втором - статические и динамические значения параметров ЭА на соответствие техническим требованиям с использованием специальной аппаратуры контроля и диагностирования. В обоих случаях используют специальные тесты, генерируемые заранее и позволяющие судить о состоянии ЭА путем сравнения полученных реакций аппаратуры с эталонами, соответствующими ее исправному состоянию.

Под тестом понимается последовательность входных воздействий и соответствующая последовательность выходных реакций ЭА. Тестовая последовательность - множество тестов, порядок подачи которых на ЭА определен. Подача тестов на аппаратуру, сравнение ее реакций с эталонными и принятие решения о состоянии ЭА представляют собой тестовый эксперимент. Аппаратуру, над которой проводят тестовый эксперимент, называют объектом контроля и диагностирования. Тестовый эксперимент обычно осуществляют двумя методами.

Первый метод детерминированного синтеза тестов заключается в том, что тестовая последовательность разрабатывается вручную или с использованием ЭВМ. Структурная схема организации такого тестового анализа представлена на рис. 1.

Разработанные тесты хранятся в памяти тестов, откуда входные воздействия через регистр входных воздействий подаются на объект контроля, а эталонные реакции через регистр выходной реакции поступают на схему сравнения. Все поступающие на блок сравнения сигналы проходят через блок коммутации, в котором осуществляется в соответствии со спецификой каждого объекта контроля предварительная перед тестовым экспериментом коммутация входов. Результаты сравнения через блок коммутации поступают на пульт индикации и управления.

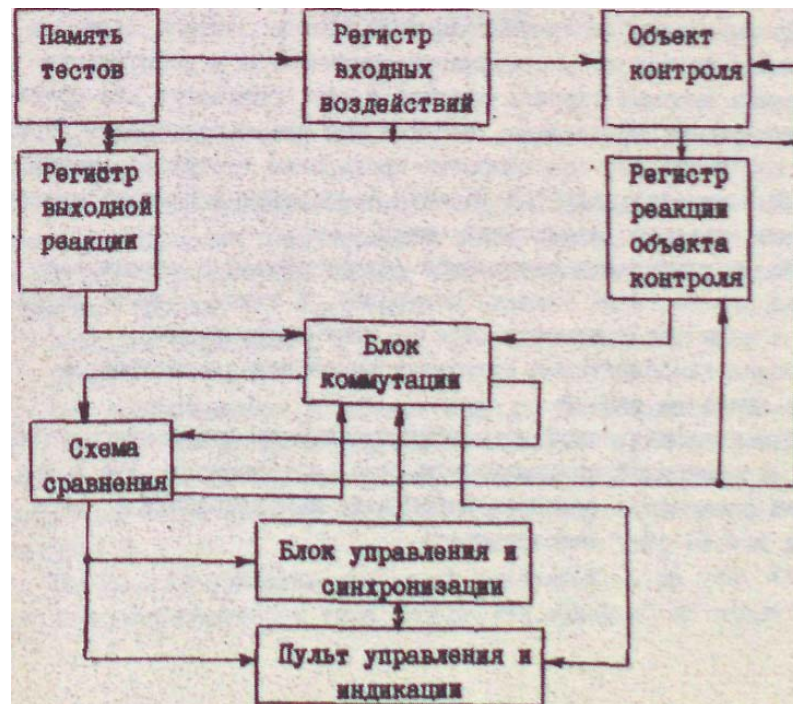


Рис .1

При втором методе организации тестового эксперимента, который называется алгоритмическим, псевдослучайная генерация тестов осуществляется с помощью специальных схем, основанных на генераторе прямоугольных импульсов и регистре сдвига с обратными связями. Входные воздействия, генерируемые псевдослучайным образом, подаются на объект контроля и его модель (рис. 2). Совпадение или несовпадение реакций проверяется в схеме сравнения.



Рис. 2

Преимущество детерминированного метода синтеза тестов и построения тестового эксперимента заключается в возможности достижения высокой глубины анализа и его применения для произвольных схем ЭА. В случаях, когда схема имеет регулярную структуру, требуется высокая скорость проведения тестового эксперимента или не предъявляются жесткие требования к полноте проверки, используют алгоритмический метод.

По результатам эксперимента делают выводы о исправности или неисправности ЭА (задача контроля), а также о месте нахождения и виде неисправности (задача диагностирования).

Общая классификация возможных видов неисправностей ЭА представлена на рис.

3.

Для представленной классификации примем допущение о наличии в ЭА одиночной неисправности, т.е. предположим, что в исправной аппаратуре неисправностей нет, а неисправная - имеет одну и только одну неисправность.



Рис. 3

Наиболее часто в ЭА встречаются статические неисправности, к ним относятся: константные неисправности, соответствующие постоянному значению напряжения в контрольной точке схемы, равному напряжению питания в аналоговых схемах или логическому нулю (единице) в цифровых схемах; короткое замыкание; обрыв.

Эти неисправности возникают как при производстве ЭА (40...45 %), так и при эксплуатации (55...60 %). Константная неисправность моделируется фиксированием входа или выхода логического элемента либо на логическом нуле (0), либо на логической единице (1).

На рис. 4а приведен исправный элемент И, а на рис. 4б элемент И с неисправностью типа "константа единица" на входе А.

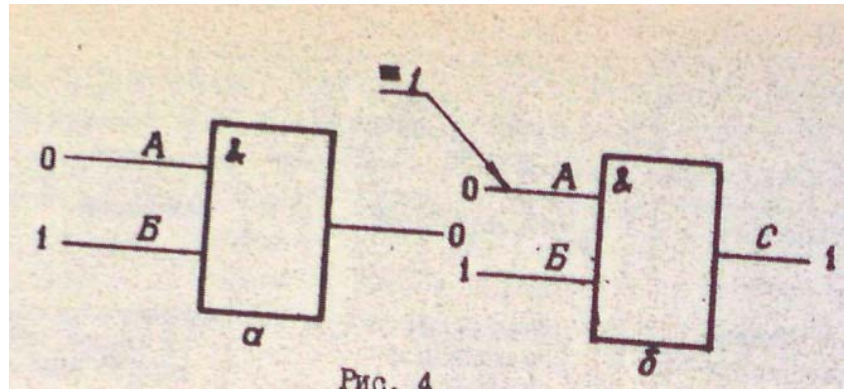


Рис. 4

Неисправный элемент И воспринимает вход А как логическую единицу независимо от значения логической переменной на этом входе. При подаче указанного (см. рис. 4) входного набора на исправный элемент ИЛИ выходе получают логический нуль, так как на входе А имеются 0, а на входе Б-1. В результате логической операции на входе получают 0.

По схеме, изображенной на рис. 4б, получают на выходе 1, так как вход А воспринимается как 1, даже при наличии логического нуля на нем, Логическая единица на входе В воспринимается как 1, и в результате выполнения операции на выхода получают 1. Следовательно, входной набор, представленный на рис. 4а и является тестом для входа А, поскольку с его помощью можно отличить неисправный элемент от исправного. Входной набор 01 на входах А и Б соответственно считается тестом, поскольку реакция на него исправного элемента отличается от реакции неисправного.

Короткие замыкания и обрывы составляют для стационарной ЭА 50...60 %, а для бортовой до 80...90 %. Распределение этих неисправностей по комплектующим элементам представлено в табл. 1. Динамические неисправности вызваны изменением значений напряжений источников питания (перемежающиеся неисправности - 10...20 % [3]), ошибками нарушения синхронизации работы ЭА, параметрическими ошибками и изменением параметров комплектующих элементов.

Таблица 1

| Комплекующие элементы | Вид неисправности, % | | |
|--|----------------------|----------------|-----------------|
| | Короткое замыкание | Обрыв | Прочие |
| Полупроводниковые приборы | 30...40 | 10...20 | 40... 50 |
| Интегральные микросхемы | 60...80 | 20...40 | 1...10 |
| Резисторы | 10...30 | 70...90 | 1...5 |
| Конденсаторы | 80. ..90 | 10...20 | 1...10 |
| Индуктивности | 20...50 | 50...80 | 1...10 |
| Электромагнитные реле | 25...60 | 25...60 | 1...40 |
| Электровакuumные и газоразрядные приборы | 40 | 40 | 40 |
| Разъемы, соединители | 5...20 | 80...95 | - |
| Кабельные изделия | 30 | 70 | - |

Для ЭА, в которой в качестве комплекующих элементов используются интегральные микросхемы и микропроцессорные БИС характерны также монтажные неисправности: выход из строя элементов при сборке и пайке, неисправная ориентация микросхем при сборке плат, температурные или электромагнитные воздействия, неисправности плат (короткое замыкание, обрыв, отсутствие контакта на разъеме); межблочные неисправности: разрыв проводников при эксплуатации и транспортировании; короткие замыкания-неисправности, связанные с применением элементов, рабочие режимы которых равны предельным значениям; неисправности, вызванные неправильным выполнением блочных соединений.

По анализу частоты и причинам возникновения неисправностей выявлено, что неисправностями: цифровых интегральных микросхем могут быть вызваны 3... 10 % всех неисправностей ЭА, аналоговых интегральных микросхем- 1...5 %, транзисторов - 0,75...2 % диодов- 0,2...1%, конденсаторов-0,1...1%, резисторов -0,05...1%

Под контролепригодностью ЭА [4] понимают свойство изделия, характеризующее его приспособленность к проведению контроля за-

данными средствами. Под тестопригодностью ЭА, понимают свойство изделия, характеризующее его приспособленность к проведению контроля и технического диагностирования средствами тестового анализа.

Контролепригодность ЭА характеризуется:
конструктивным исполнением аппаратуры;
контролируемыми параметрами и методами диагностирования;
показателями контролепригодности аппаратуры.

Требования к конструктивному исполнению ЭА включают в себя:
приспособленность аппаратуры к рациональным методам и средствам диагностирования в зависимости от вида и назначения систем контроля и диагностирования;

взаимное согласование устройств сопряжения аппаратуры со средствами диагностирования, учитывающие широкое использование стандартизованных и унифицированных устройств сопряжения (разъемов, соединителей, клеммных колодок, переходников, штуцеров);

безопасное соединение устройств сопряжения аппаратуры и средств диагностирования, учитывающие эргономические и эстетические показатели;

число, расположение и доступность устройств сопряжения, устанавливаемые из необходимости обеспечения заданной трудоемкости подготовки аппаратуры к диагностированию с учетом минимального ее демонтажа;

специальное устройство сопряжения, обеспечивающей рациональное ограничение номенклатуры и типоразмеров.

Требования к контролируемым параметрам и методам диагностирования: содержат требования к количественному и качественному составу параметров и алгоритмам контроля и диагностирования.

Номенклатура и значения показателей контролепригодности ЭА регламентируются в [5],

При обеспечении тестопригодности ЭА необходимо решить следующие задачи [6]:
определение вида и количества возможных неисправностей;

анализ структуры ЭА по ее электрической схеме; прогноз о количестве тостов, необходимых для ее контроля и диагностирования;

получение численных значений оценок диагностируемости элементов ЭА;
выявление типовых схемных решений ЭА, приводящих к ухудшению диагностируемости;

набор наиболее пригодного метода обеспечения тестопригодности.

При проектировании ЭА традиционным является подход, основанный на последовательности выполнения этапов проектирования ЭА (рис. 5).

Для обеспечения тестопригодности ЭА рекомендуется последовательность выполнения этапов, представленная на рис. 6. Этап логического моделирования предназначен для оценки качества тестов и выявления всех возможных неисправностей.

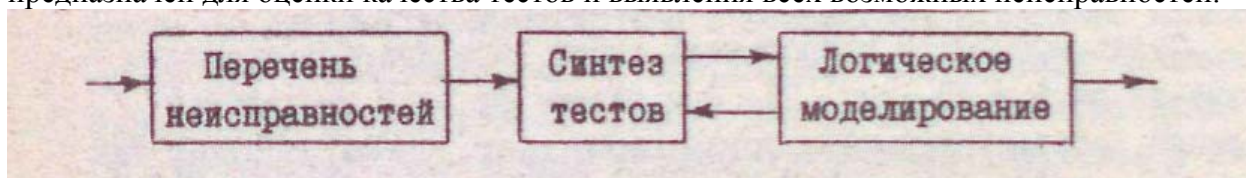


Рис. 5

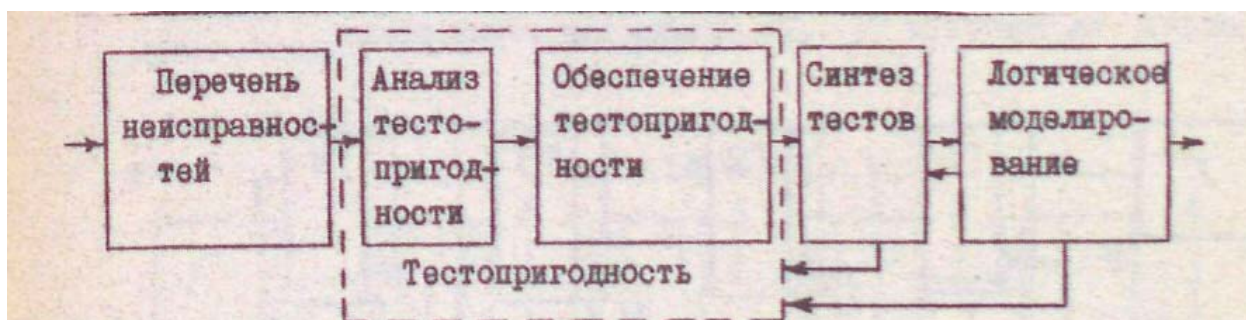


Рис. 6

Тестопригодность обеспечивается изменением схемы и её корректировкой с целью повышения контролепригодности и диагностируемости ЭА. При этом возможен итерационный процесс выполнения данных этапов с целью выбора лучшего варианта схемы ЭА.

Следует отметить, что обеспечение тестопригодности сказывается на ряде факторов, характеризующих качество разработанной ЭА:

- времени контроля и диагностирования;
- трудоемкости технического обслуживания (профилактические работы, ремонт и восстановление);
- надежности аппаратуры и стоимости ее обслуживания.

2. АНАЛИЗ ТЕСТОПРИГОДНОСТИ ЭА

Анализ тестопригодности устройств ЭА, возникновение возможных неисправностей и учет различных схмотехнических, конструктивных, технологических и эксплуатационных факторов рассмотрим на ТИПОВЫХ схемных решениях, применяемых при проектировании аппаратуры для улучшения ее тестопригодности.

При разработке схемы устройства ЭА проектировщик выражает фактически субъективную точку зрения на аппаратную реализацию заданной математической функции. При этом в традиционном подходе отсутствуют элементы итеративного диалогового усовершенствования схемы на основе использования соответствующих инструментальных средств оценки ее характеристик на ЭВМ, следовательно, схема обладает низкой тестопригодностью [7].

Пусть требуется разработать схему управляемого счётчика - делителя на 9 и 13 (рис. 7). При подаче на вход управления сигнала, соответствующего логическому нулю, схема работает как делитель на 13, а при подаче сигнала, соответствующего логической единице, - как делитель на 9. После поступления с генератора (Г) тринадцати -импульсов в первом случае и девяти во втором на триггеры Т1...Т4 начинается новый счет.

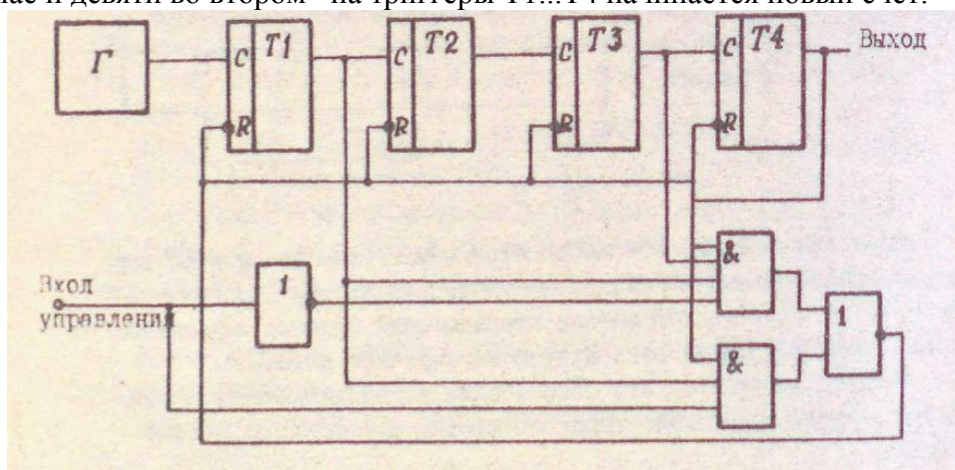


Рис. 7

Недостатки схемы - невозможность наблюдения состояний триггеров и их ручного обнуления - не позволяют обеспечить быстрое диагностирование неисправностей в схеме, например, при выходе из строя одного из триггеров или неисправности в цепях обратных связей.

Схема качественно изменяется, если в нее добавить дополнительный вход ручного перевода в исходное состояние и вывести дополнительные выводы с прямого выхода триггеров (рис. 8). Появляется возможность анализа процесса деления и наблюдения за состоянием основных элементов схемы. По внешним входам (контрольным точкам) можно проанализировать работу элемента схемы. Однако при автоматизированном синтезе тестов для данной схемы необходимо учитывать, что с генератора постоянно подается на нее последовательность импульсов, т.е. имеются большие ограничения по управлению схемой. Для устранения этого недостатка следует ввести вход управления подачей импульсов с генератора по схеме, представленной на рис. 9.

Данный пример показывает возможность и необходимость усовершенствования схемы после ее первоначальной разработки с помощью средств анализа тестопригодности.

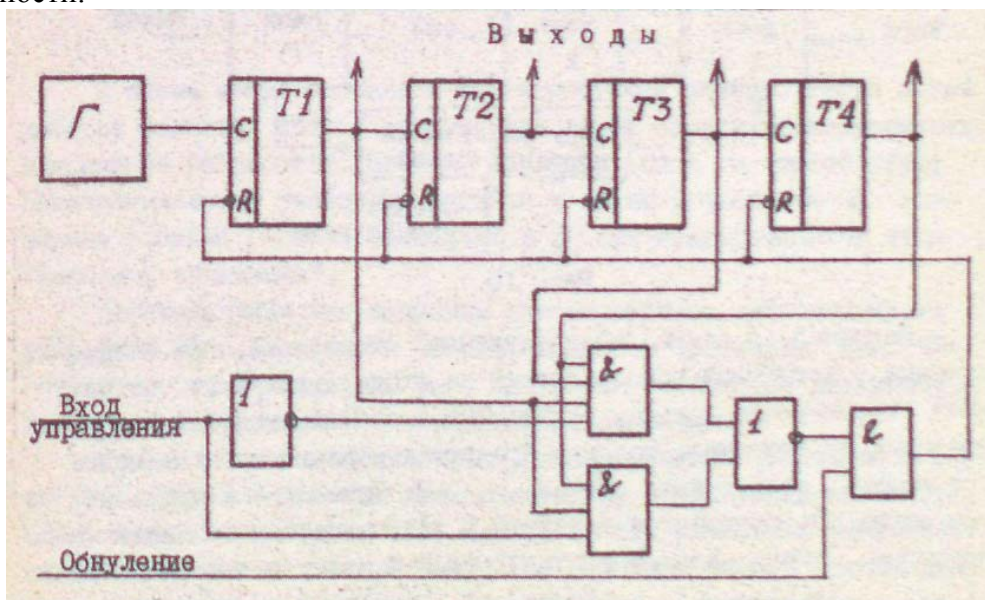


Рис. 8

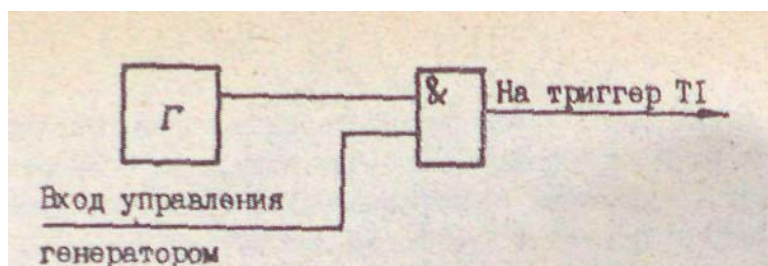


Рис. 9

В устройствах ЭА применяются аналоговые и цифровые под схемы, основанные соответственно на аналоговых и цифровых интегральных микросхемах, что усложняет контроль ЭА, трудоемкость построения тестов и средств оценки их качества. Положение еще больше усугубляется, если не только в ЭА, но на одной я той же плате имеются и аналоговые и цифровые интегральные микросхемы или цифроаналоговые (аналого-цифровые) преобразователи.

Для сложных схем устройств ЭА характерно наличие обратите связей между элементами. Эти связи могут образовать в цифровой аппаратуре управляемый генератор сигналов, который будет находиться, а состояния возбуждения из-за наличия обратной связи для возникающей в ЭА неисправности (Рис. 10).



Рис. 10

Например, в схеме, представленной на рис 11, при возникновении константной неисправности на входе $x_1(x_1=1)$ возникает генерирующее кольцо, включающее в себя полюса 1 и 5. Оно является управляемым, так как процесс генерации сигнала можно остановить, если подать сигнал $x_2=0$. При $x_2=1$ процесс генерации обеспечивается наличием в кольце нечетного числа инверторов. Однако наличие обратных связей может привести и к

образованию неуправляемого генерирующего кольца. Такое схемное решение в устройствах ЭА в меньшей степени тестопригодно, чем предыдущее, так как отсутствует возможность остановки процесса самопроизвольной генерации сигналов. Следовательно, связанная с генератором часть схемы. Будет находиться в неопределенном состоянии. Например, при возникновении кратных неисправностей $x_1=x_2=1$ (см. рис. 11) формируется неуправляемое генерирующее кольцо. В результате в полюсах 1 и 5 в каждом такте имеется сигнал, соответствующий инверсному значению сигнала предыдущего такта.

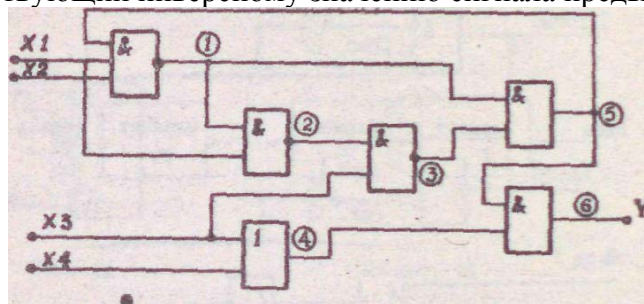


Рис. 11

В схема могут возникать не генерирующие кольца, когда в ней имеется обратная связь, возникающая из-за наличия неисправности, или при ее разработке. Поэтому обратная связь не способствует самопроизвольной генерации сигнала в схеме устройства ЭА. Указанные схемные решения возникают в ЭА при неисправностях типа "короткое замыкание".

Не устанавливаемые элементы памяти присущи цифровой части устройств ЭА с элементами памяти, например, триггерам (рис. 12а), регистрам, счетчикам (см. рис. 12б), для которых не предусмотрена начальная установка в определенное состояние.

Большое число эквивалентных неисправностей возникает в схеме при наличии множества последовательно соединенных элементов, составляющих цепь (рис. 13). Неисправности элементов эквивалентны, так как они одинаково влияют на выходной сигнал неисправностей цепи в отличие от исправной. Неисправности, возникающие в элементах последовательности цепи, называют эквивалентными, так как

для их выявления требуется один тест. Такая ситуация в схеме приводит к усложнению локализации неисправности.

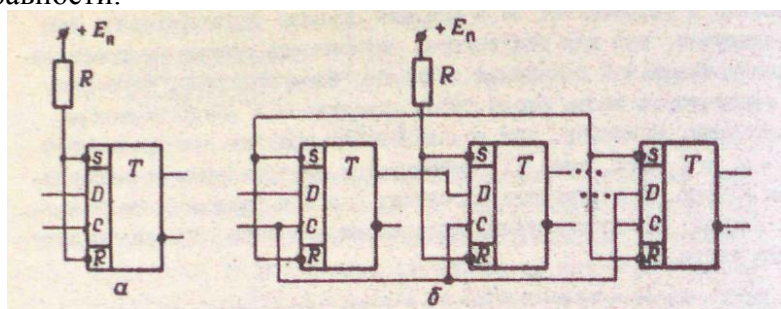


Рис. 12



Рис. 13

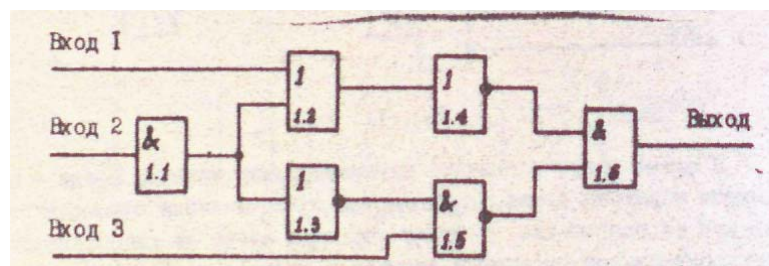


Рис. 14

При наличии в схеме сходящихся разветвлений (рис. 14), ее элементы имеют лишь допустимый интервал времени переключения с высокого уровня на низкий и с низкого на высокий. До установления схемы в устойчивое состояние на ее выходе может появиться кратковременный ложный сигнал, который приводит к нежелательному срабатыванию последующих элементов. Такая ситуация возникает, например, при изменении комбинации сигналов с 10 на 01 на входе элемента И. В определенный момент на входе элемента может

появиться комбинация 11, что приведет к ложному сигналу высокого уровня на выходе схемы.

Сбои в работе схемы устройств ЭА могут возникать из-за изменения напряжения источника питания, помех, нежелательного сочетания сигналов в проводниках печатного монтажа платы, сходящихся разветвлений, а также самопроизвольного изменения состояния элементов памяти, например при включении входов к источникам питания без резистора (рис. 15).

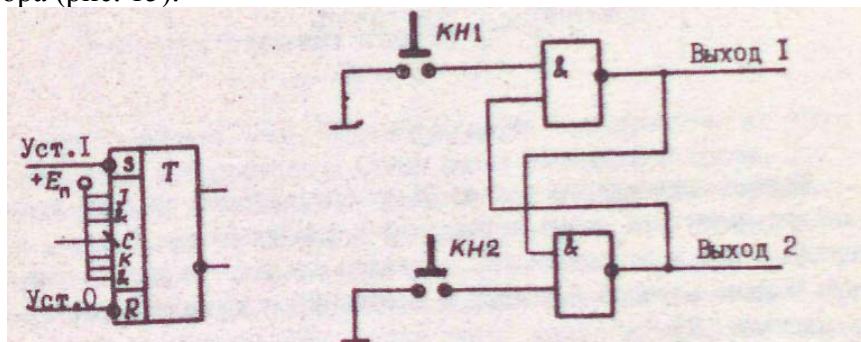


Рис. 15

Рис. 16

Дребезг контактов кнопок, переключателей и тумблеров устройств ЭА также может привести к сбою элементов схем, например, дребезг контактов кнопок в схеме управляемого RS -триггера (рис. 16). Для сложной программно-управляемой цифровой ЭА, в частности микропроцессорных систем, характерны перемещающиеся неисправности (=10...20 % от всех возможных неисправностей), возникающие в схеме в произвольный момент времени в разных точках. Причинами этих неисправностей могут быть пульсации в цепях питания, отклонение параметров элементов от нормы и по следующему их восстановлению, изменение формы импульса синхронизации.

Для микропроцессорных БИС и микроЭВМ характерна шинная архитектура, имеющая ряд преимуществ для организации обмена информацией при работе систем. Она характеризуется возможностью подключения к шинам адресов, данных и управления устройств раз личного назначения, что позволяет создавать системы различной конфигурации на основе ядра, включающего в себя микропроцессор (МП), блоки памяти и внешние устройства оперативные (ОЗУ) и постоянные (ПЗУ) (рис. 17).

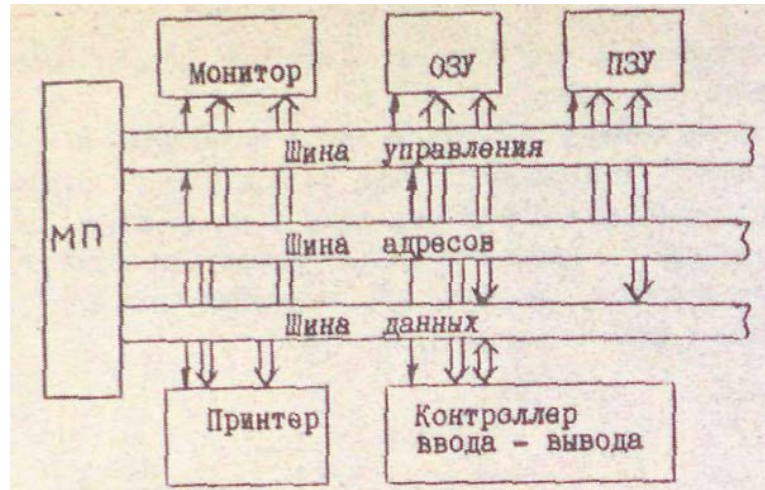


Рис. 17

Шинная архитектура делает ЭА тестопригодной за счет возможности доступа и съема информации с любого блока. Однако возникновение неисправностей, в первую очередь, в шине управления и шине адресов приводит к невозможности анализа состояния системы [6].

Неисправность типа "короткое замыкание" относится к неисправностям конструктивного и технологического исполнений ЭА и может возникнуть между проводниками печатного монтажа или слоями в многослойных печатных платах, а также между выводами микросхем при их пайке на плате. Такие неисправности в цифровой аппаратуре комбинационную схему (схему без памяти) могут превратить в цифровой автомат (схему с памятью).

Например, в схеме (рис. 18), описываемой булевой функцией

$$y = (x_1 \vee x_2) \& x_2 \& x_3 \vee x_2 \& x_3 \vee x_4 \& x_2,$$

неисправность типа "короткое замыкание" между проводниками, соответствующими переменным x_3 и x_2 переведет ее в схему с памятью, описываемую булевой временной функцией

$$y(t) = (x_1(t) \vee x_2(t-1)) \& x_2(t-1) \& x_3(t) \vee x_2(t-1) \& x_3(t) \vee x_4(t),$$

где переменные x_2 и x_3 эквивалентны между собой.

Следует отметить, что схемы с памятью менее тестопригодны, чем схемы без памяти, поэтому при неисправности типа "короткое замыкание" усложняется её тестовый анализ.

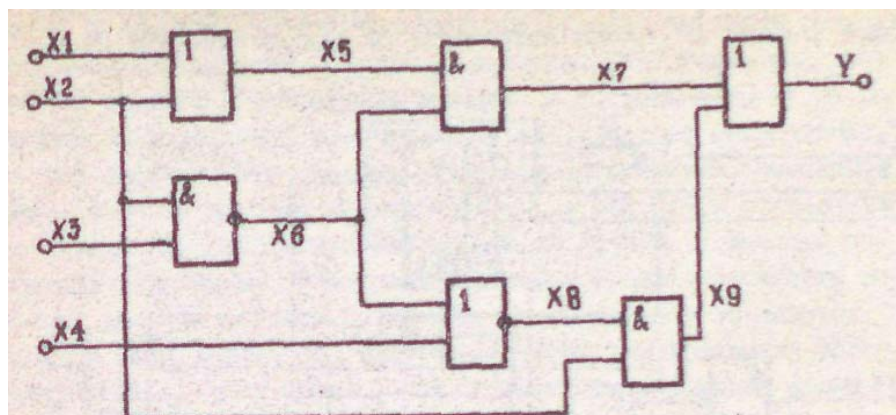


Рис. 18

Неисправность типа "обрыв" нарушает предусмотренную проектировщиком электрическую связь между элементами схемы. Это может привести к увеличению процента не выявленных неисправностей и изменению нормального функционирования ЭА. Например, обрыв проводника, соответствующего переменной x_9 (см. рис. 18), может привести к невозможности анализа значений переменных x_4 , x_8 при тестовом эксперименте. Кроме того, может превратить автомат в комбинационную схему, если эта неисправность возникает в цепи обратной связи, или схему генератора - в произвольную схему, а также устранить автоматическую регулировку усиления в аналоговых схемах.

Известно, что построение теста для проверки схемы устройства ЭА вероятностными методами [5] приводит к недостаточному выявлению неисправностей. Поэтому используются детерминированные методы, основанные на структурном описании схемы. В этих методах тест формируется на основе анализа условий транспортирования неисправностей к выходу схемы. Однако при наличии большого количества разветвлений в схеме детерминированный метод построения тестов становится труднореализуемым из-за необходимости обеспечения достаточно большого числа условий транспортирования неисправностей.

В схеме, представленной на рис. 19, выявление неисправности типа "высокий уровень напряжения", или "константа 1" на первом входе элемента Д2.1 можно осуществить только при обеспечении соответствующих условий на элементе Д5.1. Это требует

установки триггеров ДЗ.1, ДЗ.2 и Д4.1 в необходимое состояние, которое зависит от уровня напряжения на выходе элемента Д2.1.

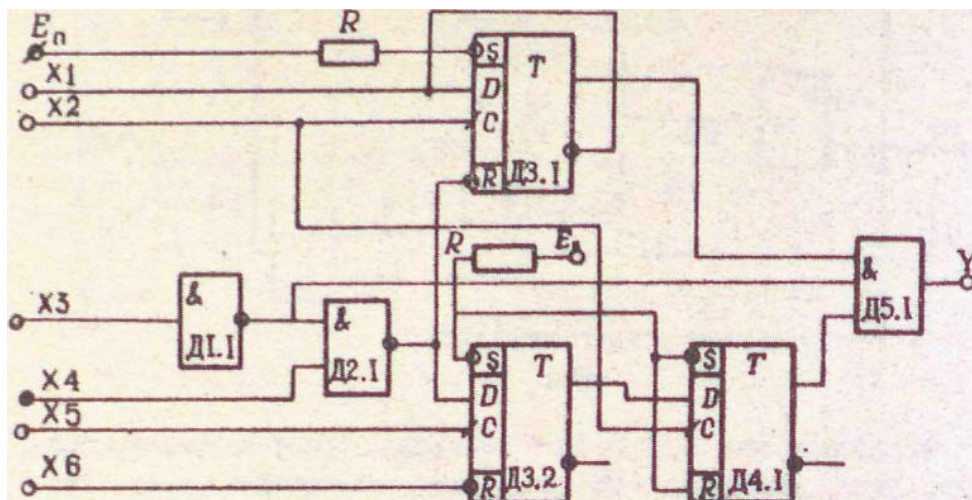


Рис. 19

Наличие в схемах устройств ЭА БИС, особенно в схемах с памятью, приводит к многократному усложнению процедуры построения теста, а следовательно, значительному уменьшению её тестопригодности. Это связано с отсутствием полных тестов проверки самой БИС; невозможностью транспортировки неисправности через БИС, как через обычный элемент схемы, вследствие отсутствия до статочно полной информации о зависимости выходов от входов; необходимостью генерирования большого числа тестов для проверки самой БИС, обусловленных наличием элементов памяти в БИС и количеством ее входов.

В силу последней причины, например для микропроцессора Intel - 8080 полный тест состоит из 10^{32} тестовых наборов. Тогда при затратах на реализацию одного теста времени, равного 1 мкс, время контроля всего микропроцессора составит 10^{20} мс. Кроме того, микропроцессорная БИС требует соблюдения достаточно точных временных соотношений поступления входных сигналов, что трудно обеспечить при ее включении в произвольную схему устройства ЭА [9].

Одним из требований достоверности процесса анализа ЭА является соответствие полученных результатов истинному состоянию аппаратуры. В частности, несоответствие частот сигналов провер-

ки ЭА с высокой рабочей частотой прохождения сигналов приводят к неполноте контроля ЭА из-за невозможности обеспечения требуемых режимов или неверным выводам. В настоящее время ЭА работает на достаточно высоких частотах, например, микропроцессорные системы, что связано с усовершенствованием элементной базы. Рабочая частота микропроцессорных БИС К1800 позволяет создавать ЭА, работающую на частоте до 36 МГц. С помощью последних зарубежных микропроцессоров появилась возможность повысить рабочую частоту до 46 МГц. В связи с чем изменяется длительность импульсов, требуется четкая синхронизация работ устройств ЭА, но увеличивается вероятность искажения формы импульсов и возникают трудности согласования устройств ЭА, выполненных на различной элементной базе.

Кроме того, интегральные схемы ТТЛ могут генерировать сигнал типа "дребезг контактов" при поступлении на вход коротких импульсов и наличии внутри микросхемы паразитных связей или технологических нарушений.

Шинная организация микропроцессорных устройств ЭА может быть реализована за счет использования элементов с тремя состояниями (рис. 20). При подаче сигнала высокого уровня на вход 2 транзисторы V3 и V4 закрыты и выход элемента находится в состоянии обрыва. При подаче сигнала низкого уровня транзистор V4 открыт, и на коллекторе транзистора V3 появляется входной сигнал, соответствующий инвертированному входному сигналу. При пробое переходов транзисторов V3 или V4 элемент становится неуправляемым и не обеспечивает требуемое состояние соответствующему проводу общей шины [10]. Это приведет к не правильной работе всего устройства. Критичным с точки зрения нарушения тестопригодности является возникновение в схеме устройства ЭА. пересекающихся колец обратных связей, где затрудняется задача перевода схемы в желаемое состояние и транспортировка неисправностей на выход схема. Так, в схема, представленной на рис. 21, пересекаются кольца обратных связей, идущие от переданных x_{10} и x_{11} к входам схемы, что затрудняет анализ работы схемы и ее тестопригодность.

Схемы встроенного контроля и диагностирования устройства ЭА, которые будут рассмотрены ниже, обеспечивают тестопригодность схем и представляют собой введенную в исходную схему аппаратуры избыточность.

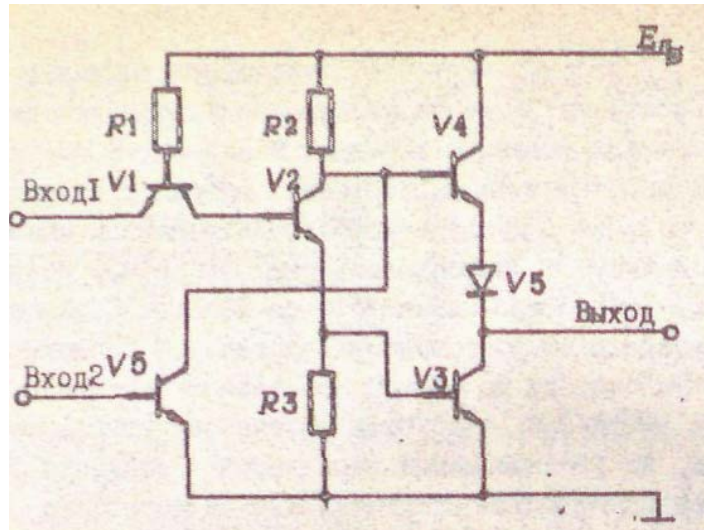


Рис. 20

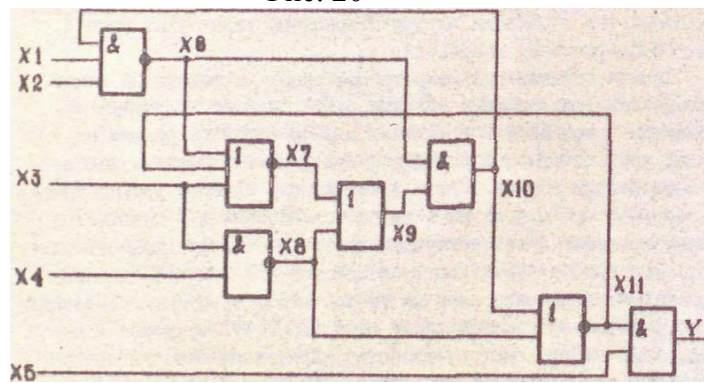


Рис. 21

В схеме (рис. 22) приведена шина данных устройств ЭА, где записывается сигнал 0 или 1 для обеспечения четного числа логических единиц на шине данных.

Информация по шине данных контролируется схемой сравнения по модулю 2 (рис. 23), подсчитывающей число логических единиц. Если число единиц равно четному числу, то на выходе наблюдается низкий уровень сигнала (логический нуль), в противном слу-

чае - высокий уровень сигнала (логическая единица). Несмотря на ряд преимуществ данная схема имеет существенный недостаток -ненадежность самой схемы встроенного контроля. Схема состоит из сорока дополнительных логических элементов и выход из строя любого из них может привести к неправильной информации, передаваемой по шине данных, и ложной проверке ЭА.

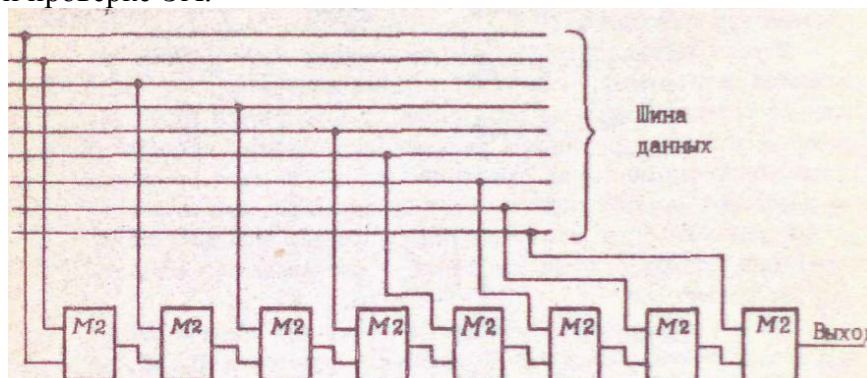


Рис. 22

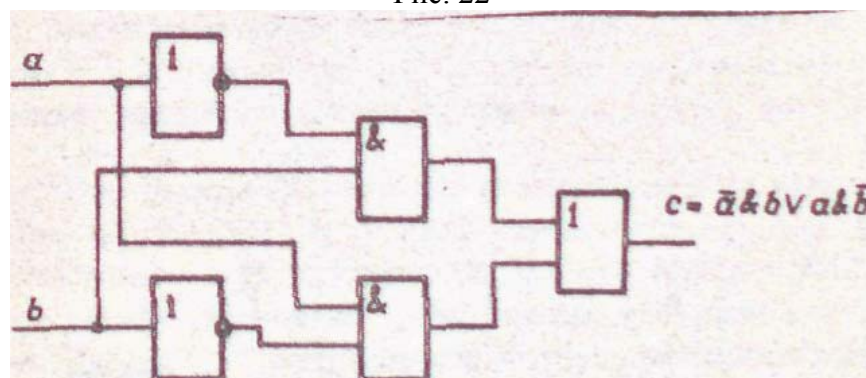


Рис. 23

На тестопригодность схемы влияют не только схемные, но и некоторые конструктивные и технологические решения, в частности конструктивное исполнение ЭА. Выявление и локализация неисправности, а также последующий ремонт и восстановление ЭА зависят от конструкций плат, кроссплаты межблочных соединений, а также блоков и шкафов ЭА.

На тестопригодности ЭА также могут сказываться большое «число межплатных соединений, «возможность отдельной реализации на разных платах аналоговой и цифровой частей, доступа к любому элементу ЭА, наличие частей одного и того же аналогового блока на разных платах. Это может привести к перепутыванию межблочных связей, возникновению помех, а в проводниках и искажению форм сигналов, а также пропаданию сигналов и напряжений питания при вибрациях.

В устройствах ЭА могут быть пересчетные схемы. Схема называется пересчетной, если в ней осуществляется подсчет числа импульсов, поступающих на вход схемы, и формируется новая кодовая комбинация или подсчет сигналов определенной частоты и нормы. Пересчетные схемы, используются, как правило, в качестве делителей частоты сигнала, схем суммирования или вычитания числа импульсов, Она характеризуется наличием большого числа состояний, использованием триггеров и возникновением всех видов неисправностей.

Например, в схеме устройства ЭА (рис. 24) имеется шестнадцать состояний, причем о срабатывании триггеров Д1, Д2, Д3 можно судить лишь по значению сигнала на выходе триггера Д4, что требует нескольких операций. Это положение усугубляется при возникновении неисправности. Для анализа работы, например, триггера Д3, на схему необходимо подать не менее восьми импульсов, которые переведут триггер Д3 из состояния 0 в 1 и наоборот, что в свою очередь повлияет на сигнал на выходе триггера Д4.

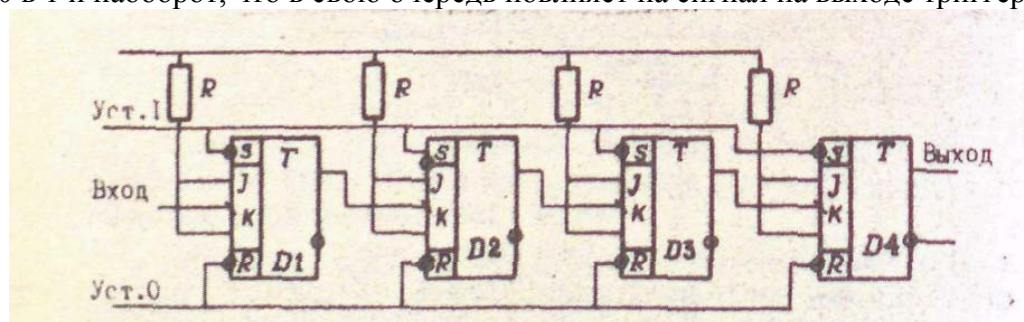


Рис. 21

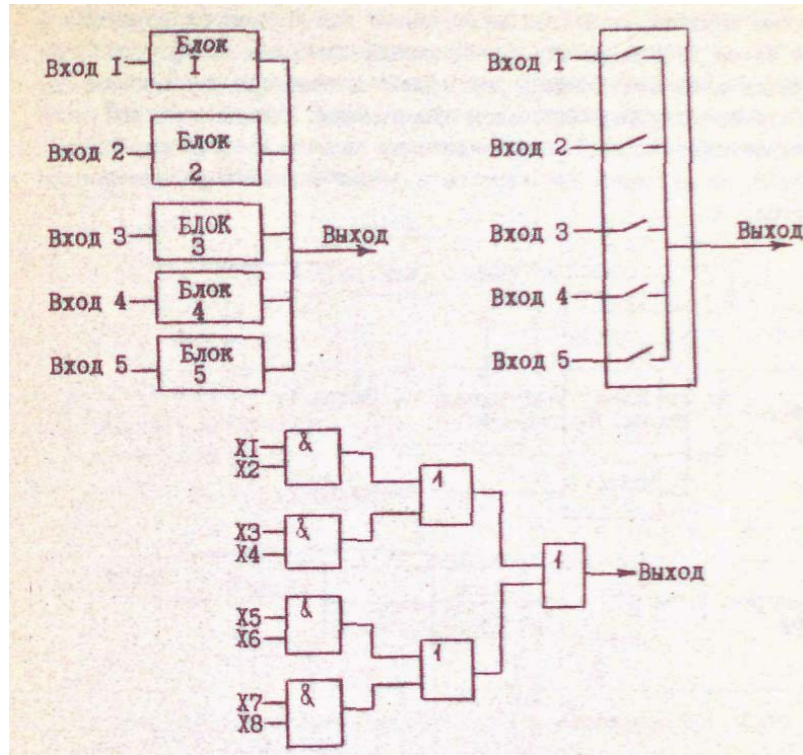


Рис. 25

В устройствах ЭА возможно возникновение неразличимых кратных неисправностей, которые характеризуются одновременным возникновением в ЭА двух и более неисправностей (рис. 25). В этих схемах достаточно просто выявляются одиночные неисправности. Однако при возникновении кратных неисправностей, тестопригодность их значительно ухудшается и эти неисправности становятся неразличимыми.

В схемах устройств ЭА достаточно часто используются генераторы сигналов различных форм и частоты, предназначенные для синхронизации их работы, формирования сигналов стандартной частоты, тактовых импульсов и т.д. Такие генераторы могут быть неуправляемыми с внешних входов схемы.

Таким образом, тестовый эксперимент над схемой становится трудным из-за невозможности блокирования сигналов генератора, переводящих элементы схемы в различные, меняющиеся состояния (рис. 26). Тестопригодность схем оказывается затруднительной из-за невозможности не только выявления неисправностей различных блоков, но и изменения частоты и формы сигналов на входе генератора.

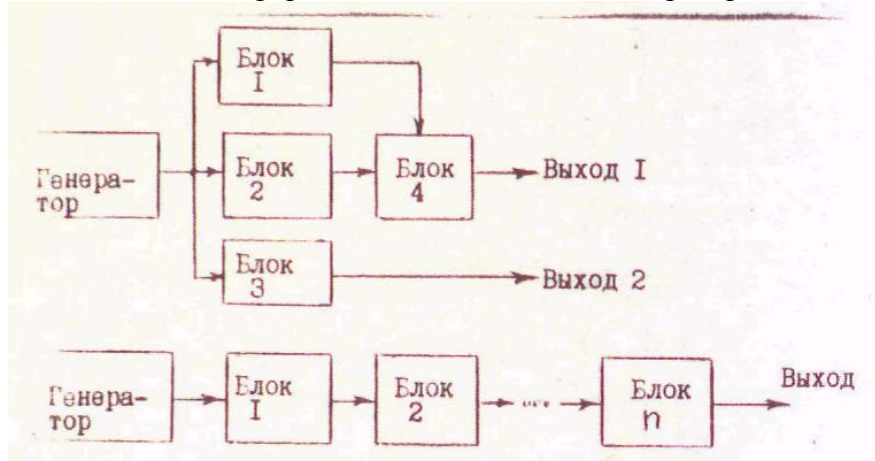


Рис. 26

3. ОБЕСПЕЧЕНИЕ ТЕСТОПРИГОДНОСТИ ЭА

Все существующие методы проектирования тестопригодных устройств ЭА делятся на две категории (рис. 27). В первую входят специализированные методы решения проблемы тестирования конкретной аппаратуры, как правило, они неприменимы ко всем ЭА. Вторая категория методов, основанная на структурном подходе, применяется в общем случае и обычно включает в себя набор правил проектирования

К специализированным методам относится в первую очередь разбиение, которое позволяет для облегчения тестирования отделить одну часть схемы устройства ЭА от другой. Метод, который используется на уровне плат, заключается во введении дополнительных контрольных точек [1, 11]. Метод, состоящий в разработке систем с шинной архитектурой, подобен методу разбиения, позволяет разделить схему на подсхемы, управляемость которых выше, чем

у исходной схем. Промежуточных метод между структурными и специализированными называется методом сигнатурного анализа. Данный метод требует некоторых правил проектирования на уровне плат, но не обладает таким свойством структурных методов, как обеспечение управляемости и наблюдаемости переменных состояния последовательной машины.

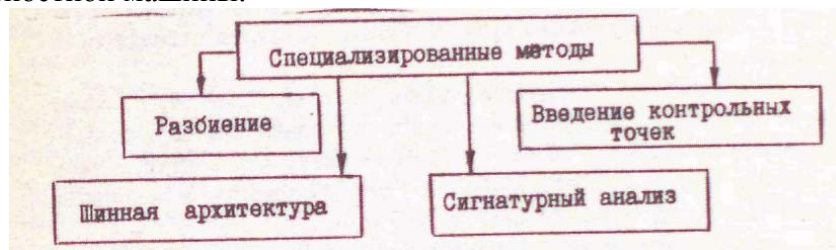


Рис. 27



Рис. 28

Методы структурного проектирования также делятся на четыре группы (рис. 28).

К первой группе относятся метод мультиплексора, иногда называемый методом сканирования/установки, и метод сканирования с произвольным доступом. Вторая группа представлена методами сканирования при ограниченной чувствительности и сканирования пути. Эти методы позволяют свести проблему синтеза тестов к проблема синтеза тестов для модифицированной комбинационной логики.

Следующую группу методов структурного проектирования пред-

ставляет метод логики сканирования/установки. Этот метод близок к методу сканирования пути, так как при загрузке и выводе данных используются сдвиговые регистры. Однако эти регистры не являются частью пути системных данных, и все системные фиксаторы не обязательно управляются и наблюдаются через сдвиговый регистр.

Четвертая группа методов включает в себя метод встроенного логического блока наблюдения. Данному методу присущи свойства метода сканирования пути, и некоторые черты сигнатурного анализа.

В отличие от специализированных методов, все структурные методы обеспечивают управляемость и наблюдаемость переменных состояния, а схемах с памятью. Это означает, что синтез тестов и локализацию неисправностей можно осуществлять и в комбинационных схемах по их моделям.

Рассмотрим подробно существующие методы проектирования тестопригодных устройств ЭА.

Так как сложность задачи генерации теста и моделирования неисправностей возрастает пропорционально третьей степени числа логических элементов, то основное внимание следует обратить на метод разбиения.

Способы разбиения схемы для проектирования контролепригодных устройств ЭА.

Механическое разбиение схемы пополам для уменьшения сложности задач генерирования теста и моделирования неисправностей. Однако наличие двух плат вместо одной может привести к значительному увеличению стоимости и проигрышу в степени интеграции.

Использование трассировочных проводников. Они должны выходить из платы и затем вновь входить в нее так, чтобы можно было осуществлять непосредственное управление и наблюдение соответствующих частей схемы с помощью тестера и генератора тестов. Однако при этом возрастает число входных и выходных контактов на плате, что в свою очередь может увеличить стоимость.

Блокировка - ещё один метод разбиения (рис. 29), Линия блокировки на данной схеме подходит к двум элементам И, управляемым от модуля 1. Сигналы, формируемые на выходах этих блоков И, поступают на два независимых блока ИЛИ, один из которых управляется линией 1, а другой - линией 2. Выходной сигнал блока ИЛИ, связанного о линией управления I, поступает в мо-

модуль 2, а выходной сигнал блока ИЛИ, связанного с линией управления 2, - в модуль 3. Если сигнал, передаваемый по линии блокировки, является нулем, то линии управления 1 и 2 могут использоваться для непосредственного управления модулями 2 и 3. При этом можно обеспечивать полную управляемость входов модулей 2 и 3. Если эти два модуля трудноуправляемые, то описанный способ будет весьма экономичным для управления модулями 2 и 3 и, следовательно, позволит выполнить тестирование при умеренных затратах.

Функциональное и аппаратное разбиение. В первом случае ЭА разделяется на части в зависимости от функционального назначения этих частей, во втором - по конструктивно технологическим принципам. При функциональном разбиении может быть значительно повышена тестопригодность схемы за счет увеличения наблюдаемости состояния её элементов (рис. 30). В этой схеме осуществлена декомпозиция выходной функции ЭА на подфункции, а также декомпозиция блоков в зависимости от участия их в реализации подфункций.

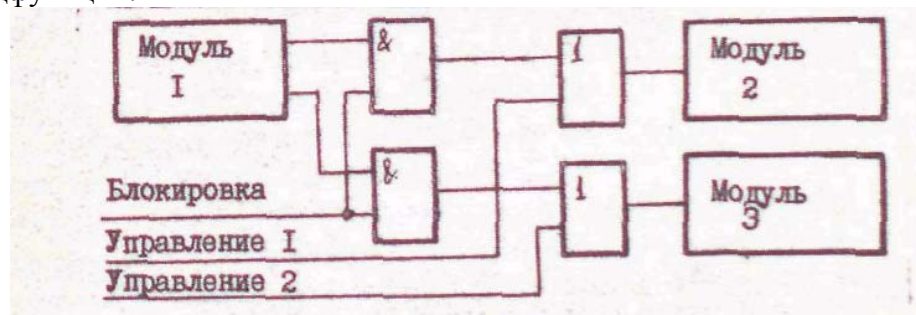


Рис. 29

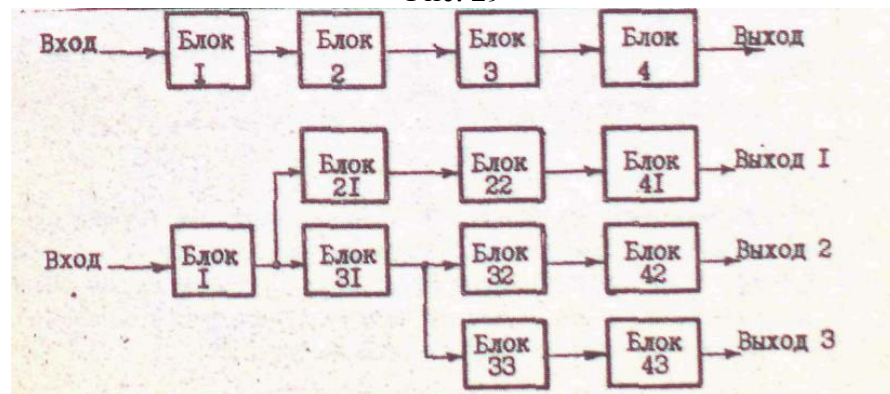


Рис. 30

Другим примером функционального разбиения является микропроцессорная ЭА. (см. рис. 17), где представлено разбиение системы на устройства в зависимости от выполняемых функций.

На рис. 31 представлено аппаратное разбиение в зависимости от способа исполнения блоков ЭА. Та часть схемы, аппаратное разбиение которой нецелесообразно, составляет гибридную часть ЭА. При аппаратном разбиении учитывают особенности технологии исполнения интегральных микросхем и стремятся выравнять потребляемые различными частями мощности, устранить помехи, равномерно распределить тепловые поля, Кроме того, учитывает и напряжение питания элементов.



Рис. 31

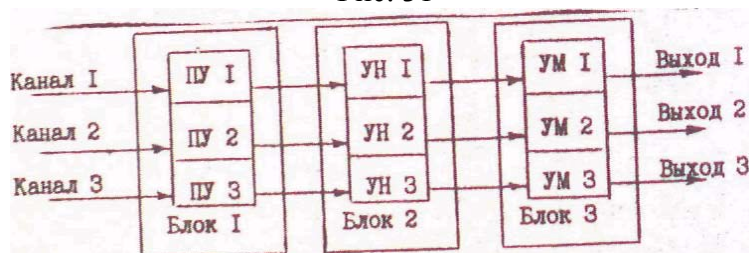


Рис. 32

Примером нежелательного разбиения аналоговой аппаратуры может служить схема, представленная на рис. 32, где ПУ - предусилитель, И - усилитель напряжения; УМ - усилитель мощности. Предпочтительным с точки зрения тесто- и ремонтпригодности является вариант схема, изображенной на рис. 33.

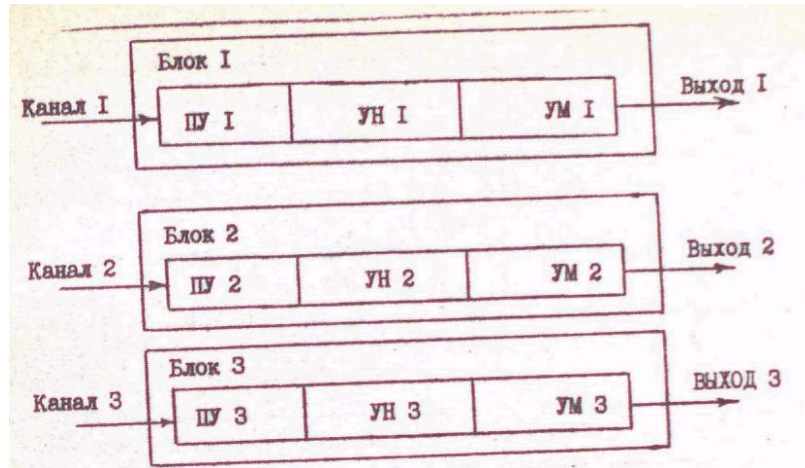


Рис. 33

При разбиении схем необходимо стремиться к уменьшению числа межплатных связей. Рассмотрим два варианта разбиения схем по блокам (рис. 34). Вариант, приведенный на рис. 34б, предпочтительнее представленного на рис. 34а по числу межблочных связей, и является тестопригодным.

Ещё одну группу методов, с помощью которых можно обеспечить управляемость и наблюдаемость устройств ЭА, составляют методы, использующие контрольные точки. В этом случае, если контрольная точка служит основным входом схемы, то она может увеличить управляемость, а если выходом - увеличить наблюдаемость схемы.

В первом случае приведенный на рис. 35 модуль 1 может быть заблокирован, что приведет к неуправляемости выходного сигнала на двух его выводах. Тогда с помощью внешних выводов можно осуществлять управление выводами модуля 1 и непосредственно возбуждать модуль 2. С другой стороны, если модуль 1 деблокирован, то его выход может наблюдаться на этих дополнительных выводах. Следовательно, увеличить управляемость и наблюдаемость можно при помощи дополнительных выводов (контрольных точек), которые в зависимости от условий блокировки могут использоваться, и как входы, и как выходы.

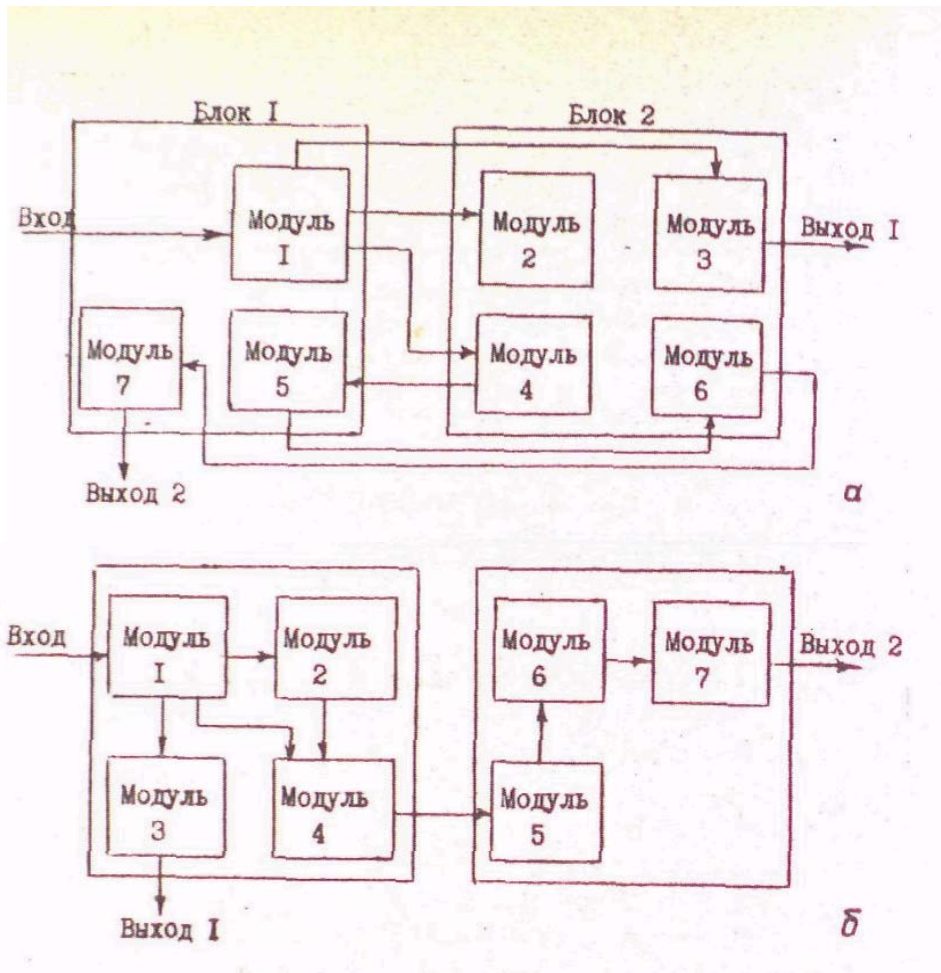


Рис. 34



Рис. 35

Управляемость схемы можно увеличить и другим методом. Для этого нужен вывод, который в одном режиме используется при выполнении системных операций, а в другом - на него подаются N входов, и он направляет их в дешифратор. Два входа служат для приведения схем в такое состояние, получить которое другим способом трудно.

Широкое распространение получил еще один метод, названный тестером "ложе контактов". Тестер присоединяется к испытываемой плате с нижней стороны платы так, что обеспечивается управляемость и наблюдаемость по большому числу контрольных точек в дополнение к контактам обычного тестера с испытываемой платой. Существенным недостатком является то, что тестер должен иметь достаточное число контрольных точек, чтобы обеспечить управляемость и наблюдаемость каждой точки, лежащей на "ложе контактов". Нежелательны также дополнительные нагрузки, вносимые в схему, так как приходится изготавливать механическое приспособление, фиксирующее "ложе контактов", которое должно обеспечить надежные контакты при обычных механических условиях.

Другой вариант тестирования с помощью "ложа контактов" заключается в том, что в схеме размещаются управляющие (чувствительные) контакты; такое размещение обеспечивает эффективное независимое тестирование каждого кристалла на плате. При этом соответствующие контакты и основные входы управляются так, чтобы предотвратить влияние одного кристалла на другой. Вероятность обнаружения дефектного кристалла в этом случае намного выше, чем при тестировании по внешним выводам, но существует некоторый риск неполного тестирования внутрисхемных соединений.

Под контрольной точкой (КТ) [12] погашают место расположения первичного источника информации о контролируемом параметре объекта контроля. Контрольная точка может являться частью (элементом) устройства ЭА или находится на некотором удалении от него. В ней обычно размещают датчик, начало вывода от схемы устройства к измерительному прибору и т.п.

Контрольные точки подразделяются на активные и пассивные. Активные - предназначены для подачи стимулирующих сигналов на схему, установки схемы в исходное состояние, разрыва обратных связей, разрыва связи тактового генератора со схемой и других целей. Пассивные точки служат для измерения значения сигнала в определенных точках схемы.

На выбор числа контрольных точек, способ их расположения и место их включения в схему влияют: объём ЭА, ее исполнений, значения показателей проверяемости и наблюдаемости, стратегия тестирования, возможности проверяющей аппаратуры, число свободных контактов на разъедал платы.

Для выбора и оптимизации количества контрольных точек разработаны специальные алгоритмы [13, 14].

Оптимальное количество и место контрольных точек в ЭА определяется критерием минимума числа точек расположения первичного источника информации о контролируемом параметре аппаратуры при минимальных себестоимости C и длительности T процессов контроля и технического диагностирования, максимальных различимости (меры чувствительности) μ и глубины диагностирования L :

$$n_{opt} \rightarrow \min \{ n, C, T \} \cup \max \{ L, \mu \} .$$

Условие оптимизации имеет вид

$$n_{opt} = \sup \{ u_{s_j}^1, u_{s_j}^2, \dots, u_{s_j}^N \} \rightarrow n_{min} .$$

при

$$\begin{aligned} |u_{s_j}^l - u_{s_{j-1}}^l| &\geq \mu \leq |u_{s_{j+1}}^l - u_{s_j}^l|, \\ l &= 1 \div N, \quad j = 1 \div m, \quad s_j \in S, \end{aligned}$$

где $u_{s_j}^l$ - функция чувствительности s_j -й неисправности в l -й контрольной точке; N - число КТ; m - число возможных S неисправностей при $\{S\} \ni S_j$; μ - мера чувствительности, характеризующая значения контролируемого параметра, измеренное средствами диагностирования (зависит от точности контрольно-измерительного прибора). Оптимизацию количества КТ целесообразно осуществлять по шагам, на каждом из которых вводится частный критерий оптимизации, в соответствии с которым КТ (координаты) перераспределяются по степени значимости.

Результатом оптимизации, структурная схема алгоритма которого представлена на рис. 36, является выбор минимальной совокупности контрольных точек n_{opt} , однозначно определяющих все возможные функционально проявляемые (различимые) и функционально не проявляемые (неразличимые) неисправности:

$$r_{opt} = r_{min} = r(s),$$

причем индекс выбранной КТ указывает на ее место в ЭА.

Действительно, совместный анализ T_u и D_s позволяет сформировать множества различных $\{R\}$ и неразличимых $\{G\}$ неисправностей, где D_s - идентификатор неисправностей.

Тензор чувствительности неисправностей [2, 13]:

$$T_u = \begin{matrix} & \begin{matrix} 1 & 2 & \dots & i & \dots & N \end{matrix} \\ \begin{matrix} 1 \\ 2 \\ \vdots \\ s_j \\ \vdots \\ s_m \end{matrix} & \begin{bmatrix} u_1^1 & u_1^2 & \dots & u_1^i & \dots & u_1^N \\ u_2^1 & u_2^2 & \dots & u_2^i & \dots & u_2^N \\ \vdots & \vdots & \dots & \vdots & \dots & \vdots \\ u_{s_j}^1 & u_{s_j}^2 & \dots & u_{s_j}^i & \dots & u_{s_j}^N \\ \vdots & \vdots & \dots & \vdots & \dots & \vdots \\ u_{s_m}^1 & u_{s_m}^2 & \dots & u_{s_m}^i & \dots & u_{s_m}^N \end{bmatrix} \end{matrix}$$

определяет признаки $\{P\} \in P_m$ этих неисправностей

$$\{s\} \{s_1, s_2, \dots, s_j, \dots, s_m\} \div \{P\} = \{P_1, P_2, \dots, P_j, \dots, P_m\},$$

где

$$\{P_1\} = \{u_1^1, u_1^2, \dots, u_1^i, \dots, u_1^N\} \div s_1;$$

$$\{P_2\} = \{u_2^1, u_2^2, \dots, u_2^i, \dots, u_2^N\} \div s_2;$$

$$\dots$$

$$\{P_m\} = \{u_{s_m}^1, u_{s_m}^2, \dots, u_{s_m}^i, \dots, u_{s_m}^N\} \div s_m.$$

Заметим, что две любые неисправности s_i и s_j отличаются, если соответствующие им признаки P_i и P_j , различны хотя бы в одной контрольной точке ЭА, или пересечение подмножеств $\{P_i\}$ и $\{P_j\}$ определяется выражением

$$x \in \{P_i\} \cap \{P_j\} \Rightarrow x \in \{P_i\} \text{ и } x \notin \{P_j\},$$

или

$$x \notin \{P_i\} \text{ и } x \in \{P_j\}.$$

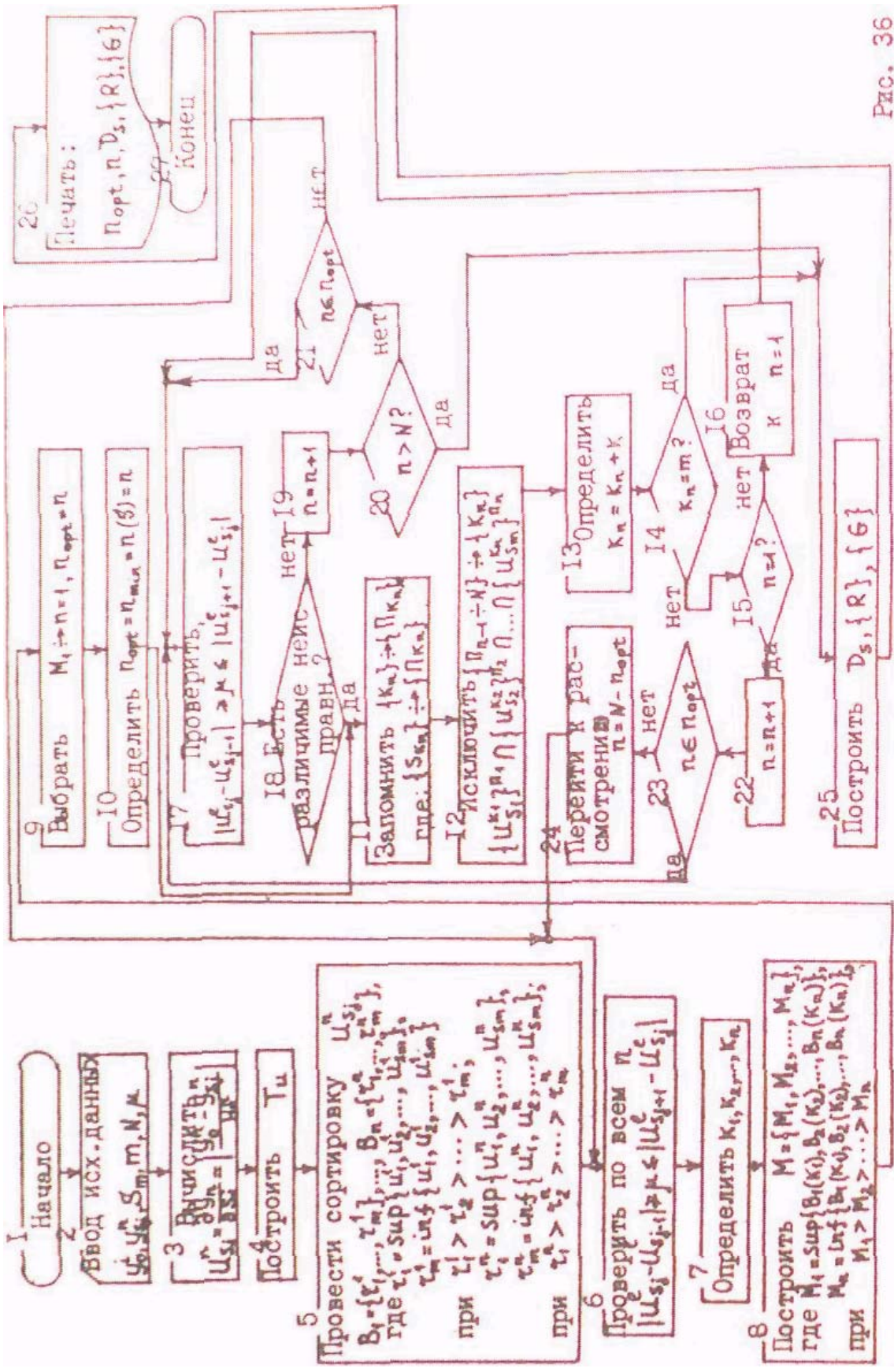


Рис. 36

Итак, выбранные КТ идентифицируют неисправности, возникающие в ЭА, т.е.

$$n_{opt} = n\{S\} \div \{n(R)\} \cap \{n(G)\}.$$

По алгоритму (см. рис. 36) определяют КТ для фиксированных значений частоты входного сигнала и меры чувствительности. Однако возможность варьирования указанными параметрами позволяет определить n_{opt} при назначении набора тестовых частот и анализе условия максимальной различимости неисправностей.

На рис. 37 приведена структурная схема алгоритма оптимизации количества КТ в ЭА при изменении в заданном диапазоне частот входного сигнала F , а на рис. 38 - при изменении о заданным шагом меры чувствительности μ . Эти алгоритмы наряду о выбором обеспечивают минимальную себестоимость C и длительность T процессов контроля и диагноза, а также оптимальную глубину диагностирования L .

Действительно, оптимальное значение глубины диагностирования L_{opt} определяется с учетом экономических показателей соотношением.

$$L_{opt} = (2C_0 L_0^\alpha \alpha / C_{M/P})^{1/(\alpha+1)},$$

где C_0 - стоимость аппаратуры-аналога с глубиной диагностирования L_0 ; α - коэффициент, который характеризует эффективность вложения средств для повышения контроле- и тестопригодности, определяемый опытным путем, и принимает значения от 0 до 1,7; $C_{M/P}$ - стоимость монтажно-демонтажных работ и проверки правильности функционирования ЭА (зависит от μ).

Приведенные алгоритмы оптимизации количества КТ могут быть реализованы на АРМ-Р-СМ-4, ЕС-1840, персональных ЭВМ при автоматизированном проектировании ЭА. Обобщенная структурная схема этих алгоритмов представлена на рис. 39.

При ограничениях на количество контрольных точек используют метод их мультиплексирования, где через схему мультиплексора сигналы с нескольких контрольных точек в определенной последовательности передаются на один выход мультиплексора, к которому подключён контрольно-измерительный прибор. На рис. 40, 41 приведены соответственно схемы мультиплексирования аналоговых и цифровых сигналов в устройствах ЭА.

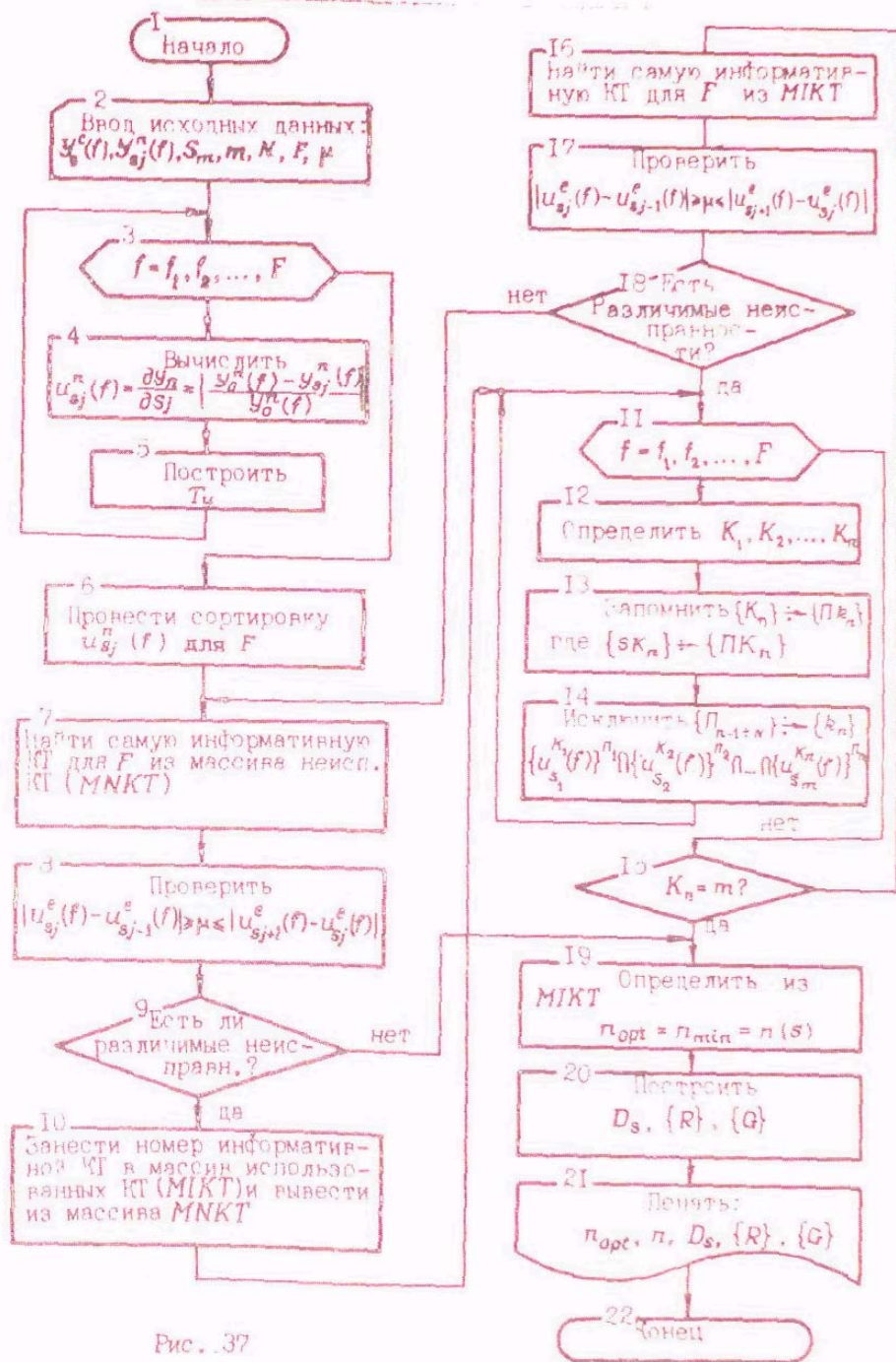


Рис. 37

Рис. 37

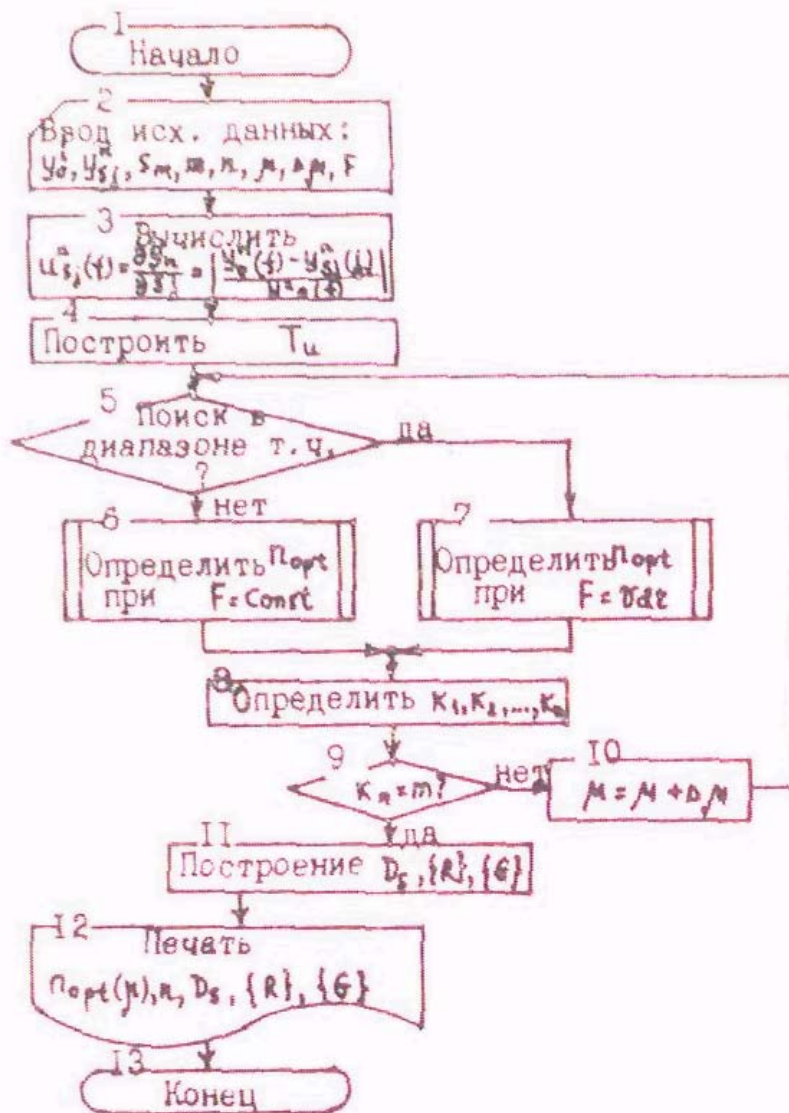


Рис. 38

Напряжение в контрольной точке КТЗ (см. рис. 40) формируется за счет напряжений, имеющих в точках КТ1 и КТ2. При известном входном сигнале можно сделать однозначный вывод о исправности схемы по значению напряжения в КТЗ.

При цифровом мультиплексировании (см. рис. 41) напряжение на КТЗ равно напряжению на КТ1 (при сигналах на входе 1, равных 0).

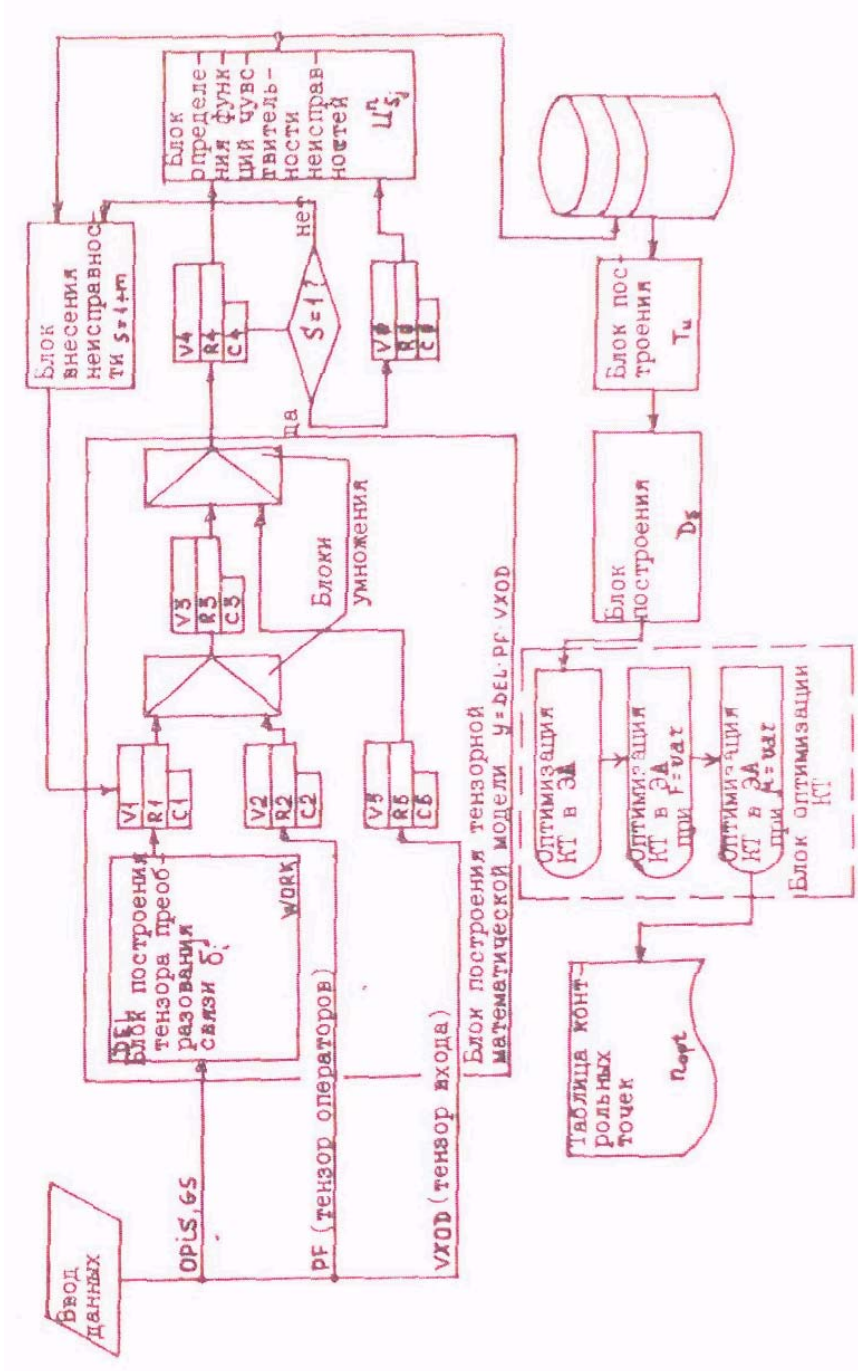


Рис. 39

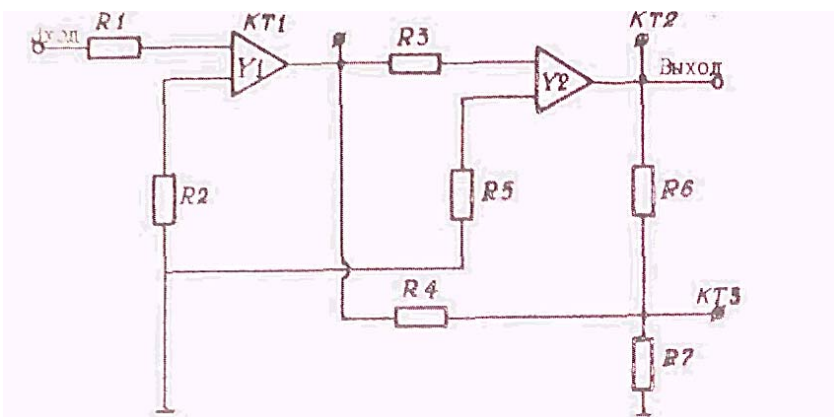


Рис. 40

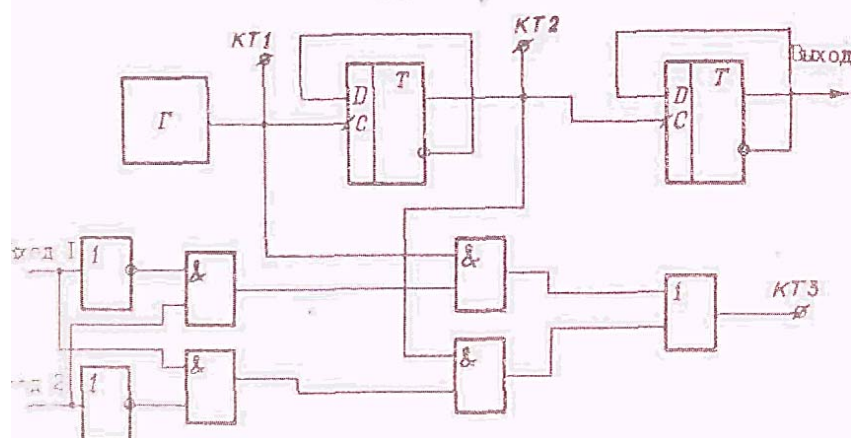


Рис. 41

На рис. 42 приведены типовые примеры введения пассивных контрольных точек. Активные контрольные точки можно использовать непосредственно при работе проверяемой схемы устройства ЭА (рис. 43) и при проверке схемы в режиме контроля (рис. 44).

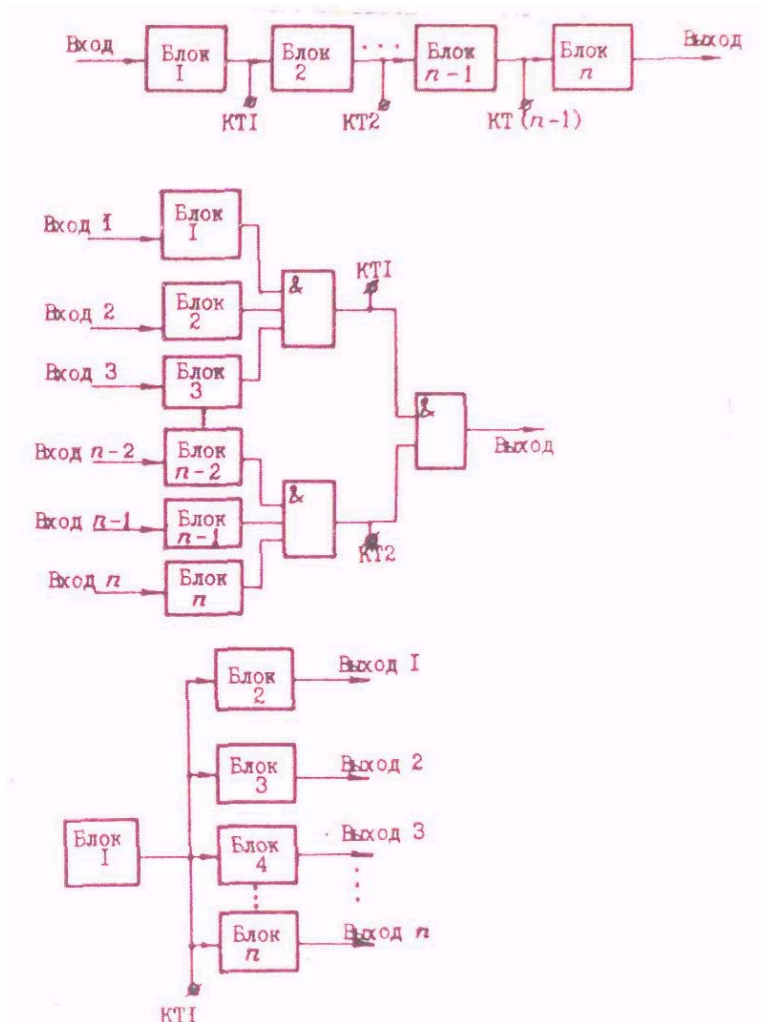


Рис. 42

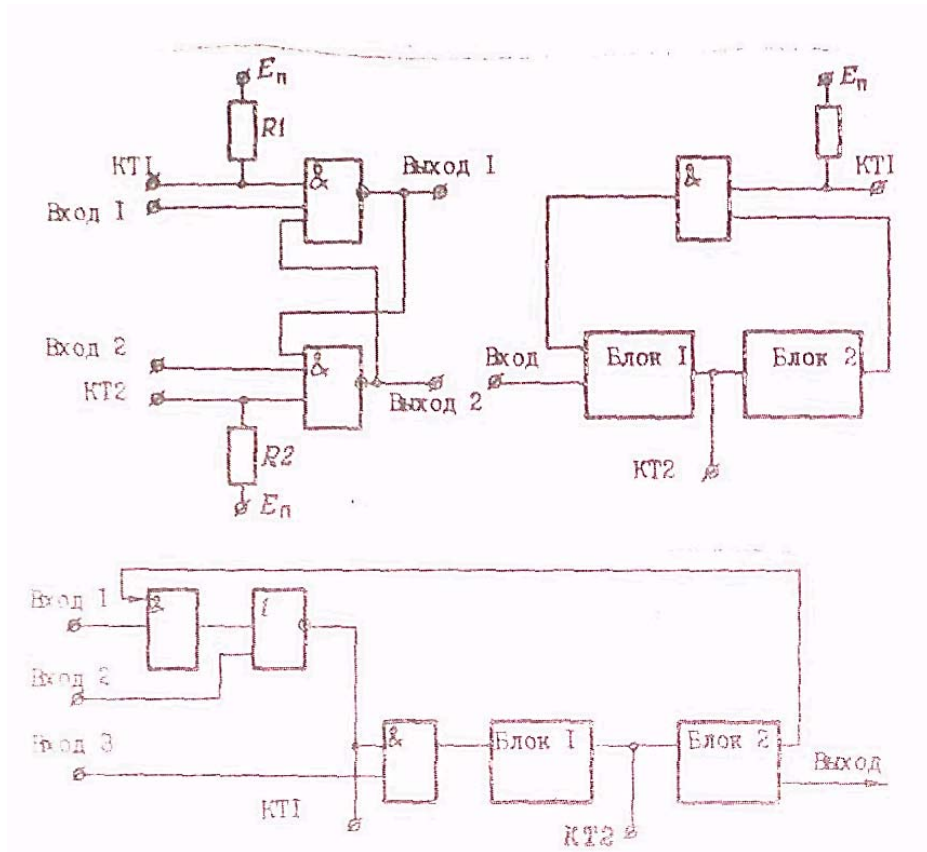


Рис. 43

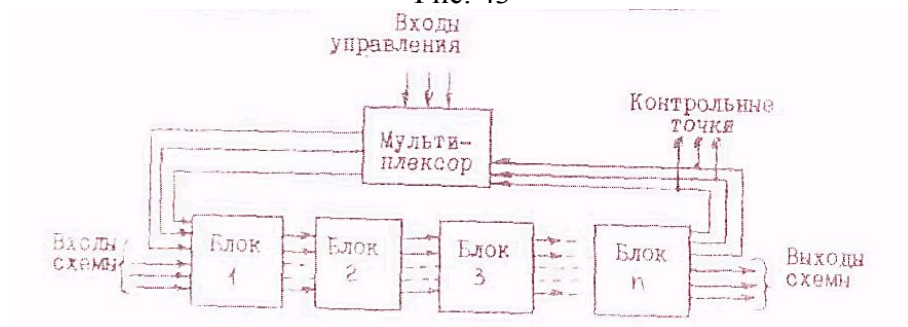


Рис. 44

В примерах, приведенных на рис.43, активные контрольные точки используются для разрыва обратных связей схемы при ее контроле.

В счетчиках контрольные точки используются для измерения сигнала на выводе каждого триггера, входящего в счетчик (рис. 45), и частота сигнала в делителе (рис. 46). Активные контрольные точки используются и при контроле частоты генератора импульсов, формы импульсов или отключении генератора схемы при подаче на нее тестовых сигналов (рис. 47), где i_1, i_3, i_4 - тестовые входы схемы, i_2 - вход блокировки генератора.

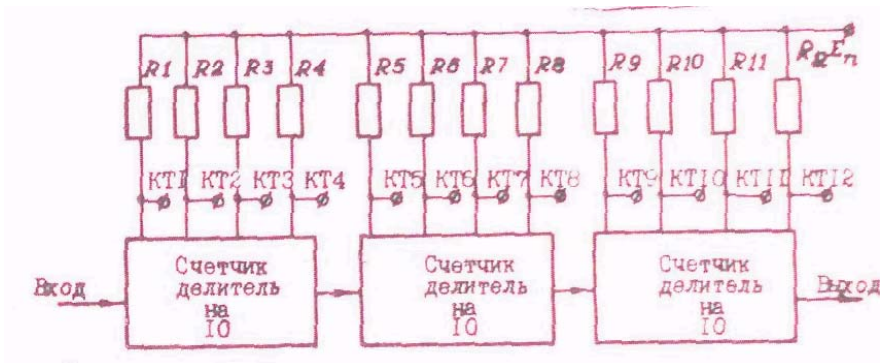


Рис. 45

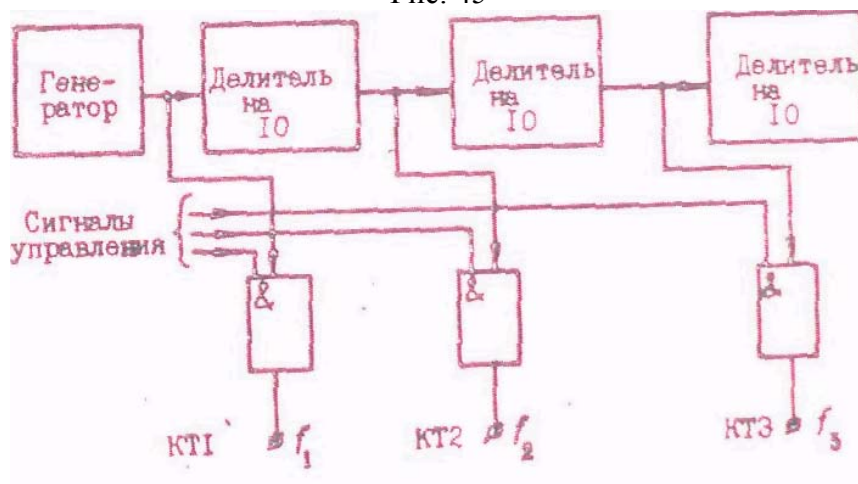


Рис. 46

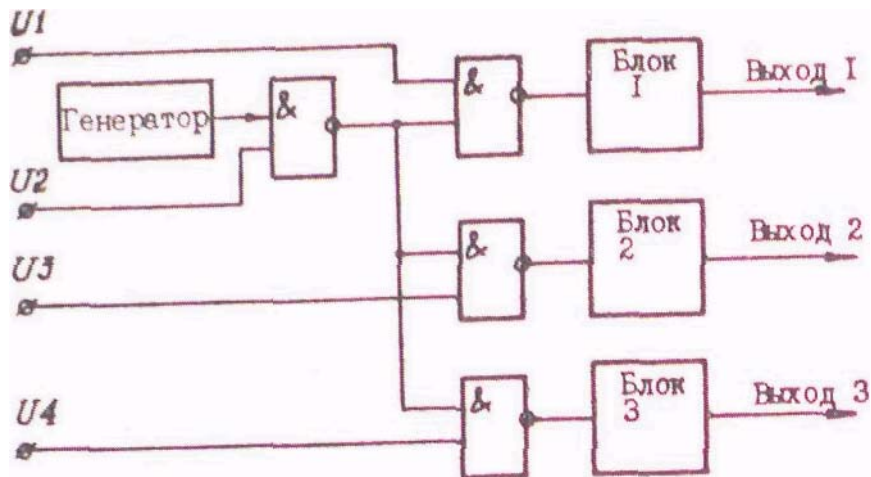


Рис. 47

Рассмотрим метод, применяемый разработчиками микроЭВМ для решения задач обеспечения тестопригодности - метод шинной архитектуры. (Шинная архитектура позволяет осуществить доступ к основным шинам, связывающим различные модуля, расположенные на плате ЭВМ. Если возложен внешний доступ к шинам данных, адресов и управления и три из четырех модулей можно отключить от этих шин, т.е. установить их выходы в состояние с высоким сопротивлением, то шину данных можно было бы использовать для управления четвертым модулем, как если бы она была основным входом этого модуля. Аналогично с помощью адресной шины можно осуществить внешний доступ к плате управления. На самом деле шины разбивают плату так, что можно тестировать отдельные подблоки, Недостатки схем с шинной архитектурой связаны с неисправностями самой шины.

Метод сигнатурного анализа [11] ориентирован на этап проектирования устройств ЭА. Поскольку необходима принимать некоторые меры для выполнения операций сигнатурного анализа на уровне плат, то этот метод является промежуточным между специализированными и структурными методами.

Отметим, что сигнатурный анализ хорошо согласуется с шинной архитектурой, и в частности с архитектурой микроЭВМ; для него не требуется схема, которая может работать автономно. Сигнатурный анализ является наилучшим средством, которым рас-

полагает проектировщик при разработке конкретной платы с заданными входами. В настоящее время сигнатурный анализ широко используется для тестирования плат, содержащих компоненты на БИС и СБИС.

Сигнатурный анализ схем заключается в формировании шестнадцатеричных кодов для определенных контрольных точек. Эти кодовые комбинации называются сигнатурами. Кодовые комбинации формируются при подаче на схему двоичной последовательности сигналов. Как и в аналоговых схемах устройств ЭА, на чертежах указывают форму сигнала в какой-либо точке схемы при исправной её работе, так и в цифровых - сигнатуры в разных точках схемы. Сигнатуры в сжатом виде представляют собой последовательность изменения сигнала в разных контрольных точках схемы.

Сигнатурный анализатор строится на основе шестнадцатиразрядного сдвигового регистра с обратными связями (рис. 48). На индикаторе анализатора высвечиваются четырехразрядные сигнатуры, причем предварительно каждая булева сигнатура формируется из четырехразрядного двоичного кода.

Сигнатурный анализатор также можно использовать для локализации неисправности в устройствах ЭА путем сравнения сигнатур исправной и неисправной схем (рис. 49).

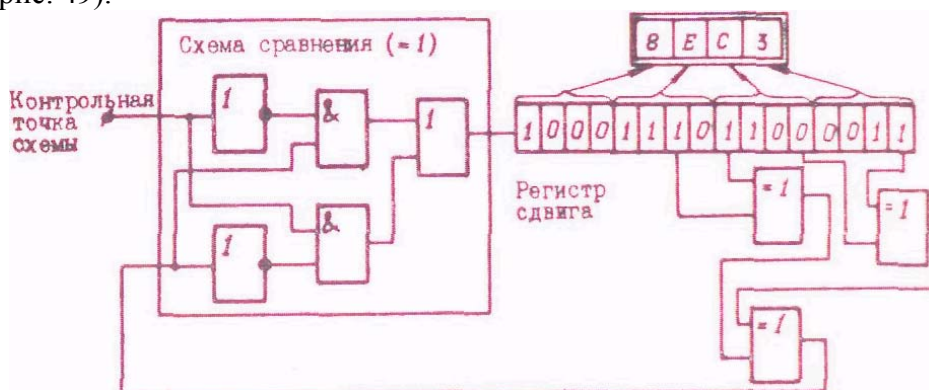


Рис. 48

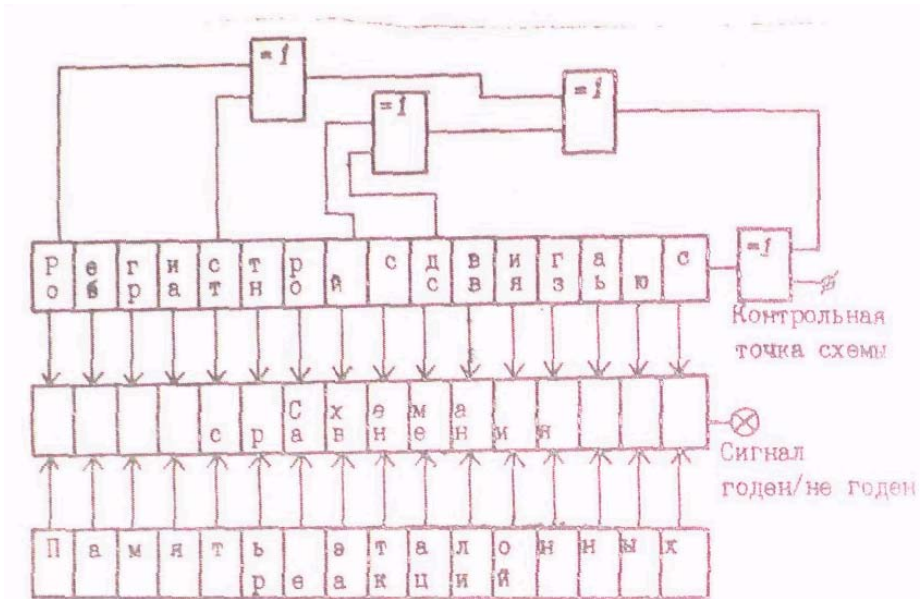


Рис. 49

Конструктивно сигнатурный анализатор может быть выполнен в виде отдельного прибора или части встроенной схемы в устройстве или на плате ЭА. При этом должна быть обеспечена возможность не только съема информации с тестируемой точки, но и подачи стимулирующих воздействий на входы схемы.

Пусть задана схема устройства ЭА. (рис. 50), предназначенная для формирования управляющего кода на выводе дешифратора при четном количестве импульсов входного сигнала, причем при поступлении более 32 импульсов схема обнуляется. Признаком четности числа является наличие нулевого сигнала на выходе триггера младшего разряда П1. Сигнатуры точек схемы можно определить, если на тестовый вход подать последовательность импульсов. и сигнал с соответствующей контрольной точки схемы - на вход сигнатурного анализатора. На рис. 50 около полюсов схемы указаны их сигнатуры при подаче 33 импульсов. Вход управления. предназначен для блокировки генератора.

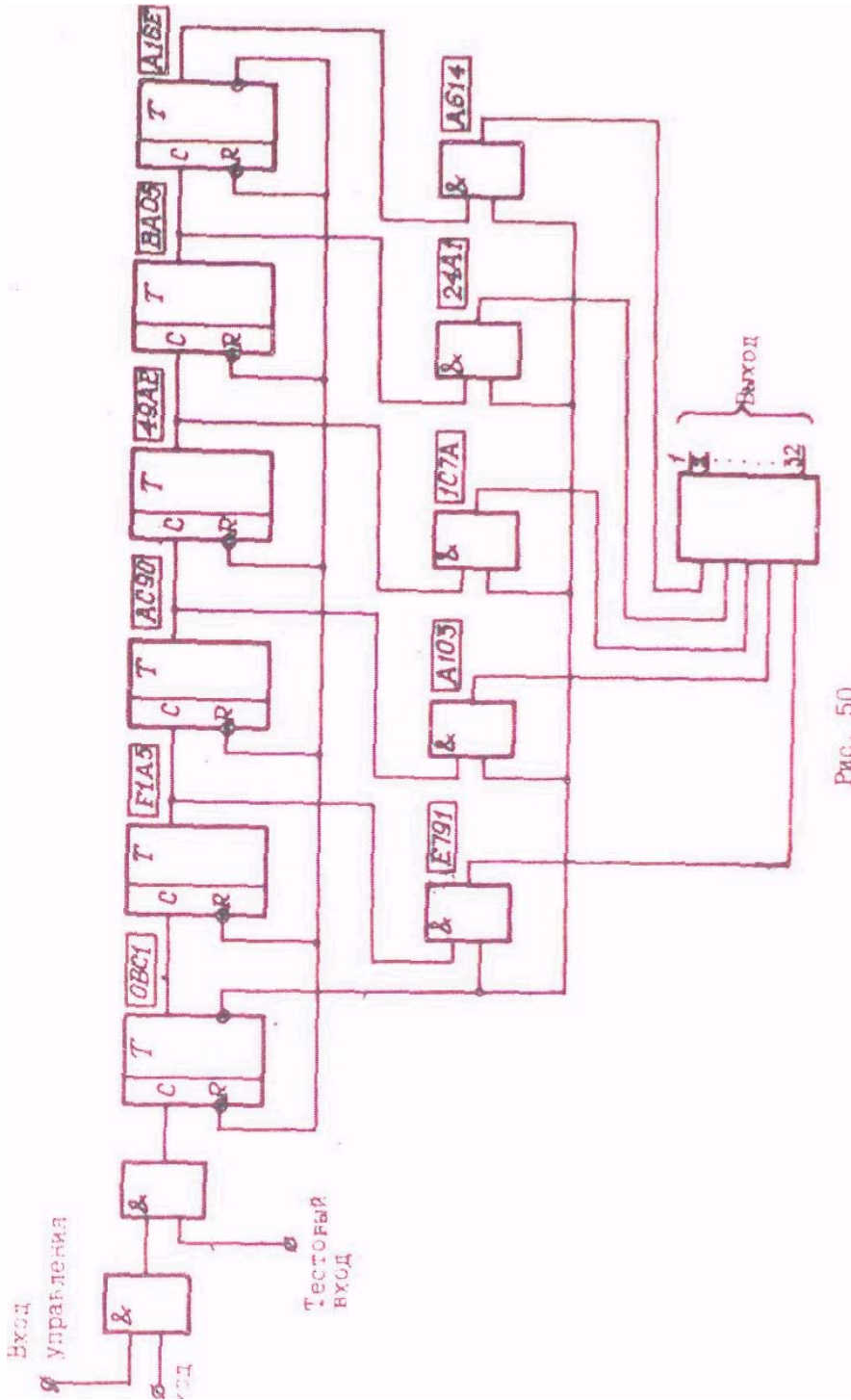


Рис. 50

Большинство практических методов структурного проектирования основано на следующем принципе: если логические переменные схемы можно заполнить на элементах памяти, называемых фиксаторами, они могут быть наблюдаемыми посредством очень простой операции, то задачи генерации теста и моделирования неисправностей могут быть сведены к задачам генерации теста и моделирования неисправностей для комбинационной логической схемы. Сигнал управления может переключать элементы памяти из их нормального режима работы в такой режим, в котором они становятся управляемыми и наблюдаемыми.

На рис. 51 показана обобщённая модель последовательной схемы устройства ЭА, модифицированная для использования сдвигового регистра

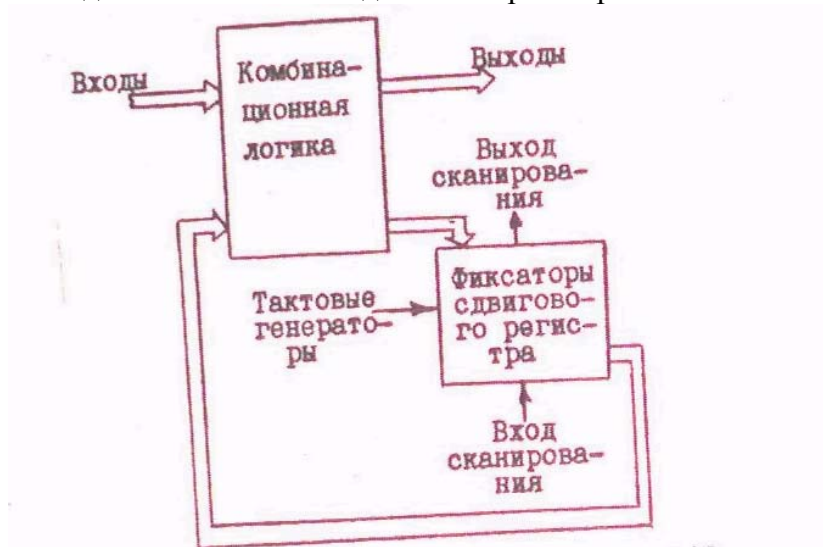


Рис. 51

Данным методом увеличивают управляемость, наблюдаемость и тем самым улучшают тестирование путем управления входами к внутренним состояниям, исследуют изменение внутреннего состояния. Недостатком метода является последовательный характер теста, потенциально требующий большого времени.

Рассмотрим основные методы структурного проектирования. Сканирование при ограниченной чувствительности (метод LSSD/II) -это один из методов структурного проектирования контролепригодных устройств ЭА. Здесь под термином "сканирование" понимают

возможность сдвига в любое состояние схемы, а под термином "ограниченная чувствительность" - ограничения на внешние воздействия, логическую глубину и сигналы синхронизации.

Ключевым элементом при таком проектировании является "фиксатор сдвигового регистра" (рис. 52), который базируется на триггере. Блоки L1 и L2 реализованы на простейших логических элементах по схеме, представленной на рис. 53.

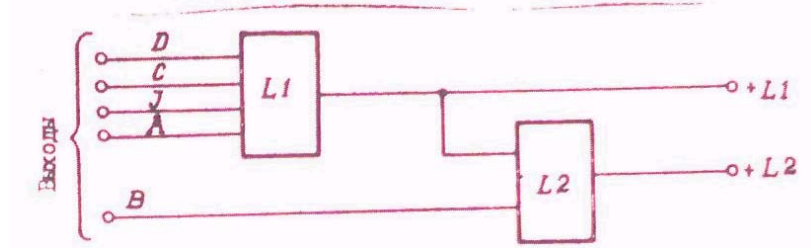


Рис. 52

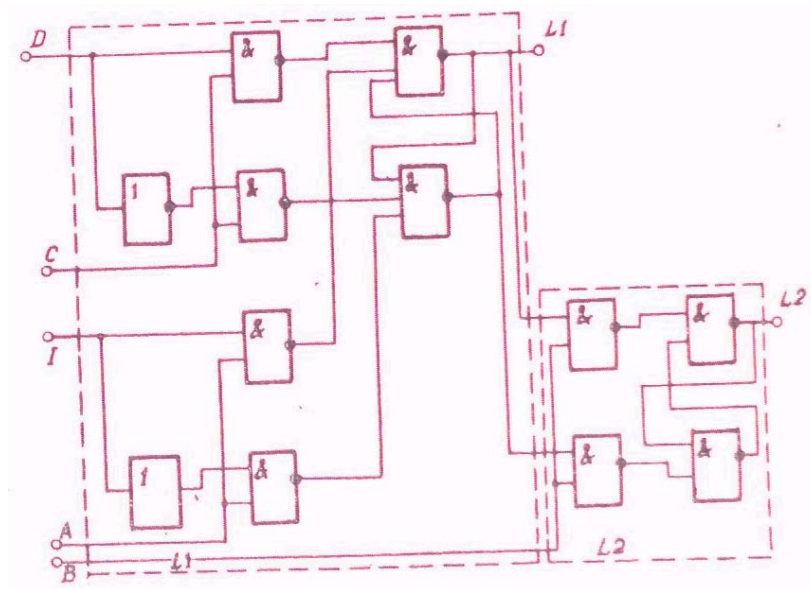


Рис. 53

Такая схема нечувствительна к отклонениям характеристик тактового генератора на переменном токе, однако требуется, чтобы он оставался в рабочем состоянии, по крайней мере в течение времени, достаточного для стабилизации петли обратной связи. Линия D и C обеспечивают функционирование памяти в нормальном режиме, а линия 1, A, B и L2 введены дополнительно для обеспечения функции сдвигового регистра.

На рис. 54 показана общая структура подсистемы LSSD с двухфазным системным генератором тактовых импульсов.

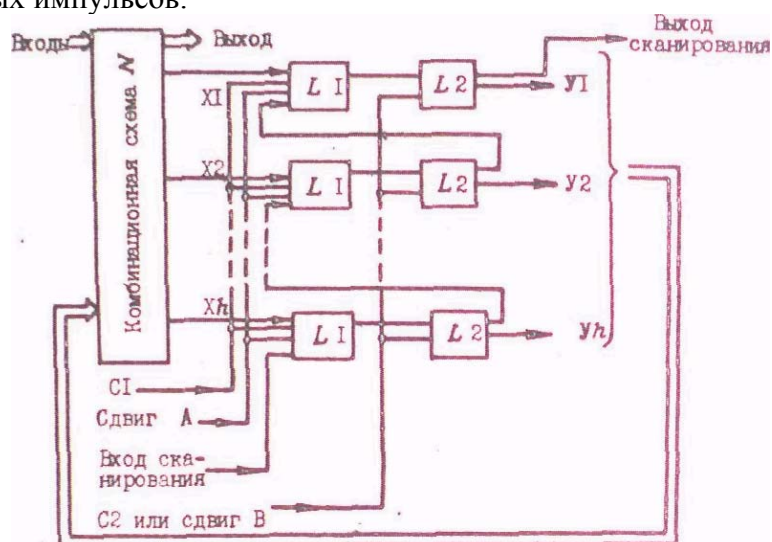


Рис. 54

За счет больших затрат метод LSSD нельзя считать удачным. Прежде всего фиксаторы сдвиговых регистров в 2 - 3 раза сложнее простых фиксаторов. Кроме того, для управления сдвиговыми регистрами требуется до четырех дополнительных основных входа-выхода на каждом уровне. Внешние асинхронные входные сигналы не должны меняться более, чем один раз за такт. Выигрыш структуры LSSD заключается в том, что схема может рассматриваться как чисто комбинационная, в которой тестовые сигналы

подаются на основные входы и выходы сдвиговых регистров, а тестирование же комбинационных схем достаточно освоено.

Метод сканирования пути имеет те же задачи, что и метод LSSD. В этом методе используется такой элемент памяти, как несоревнующийся D-триггер (рис. 55) со сканированием и пути.

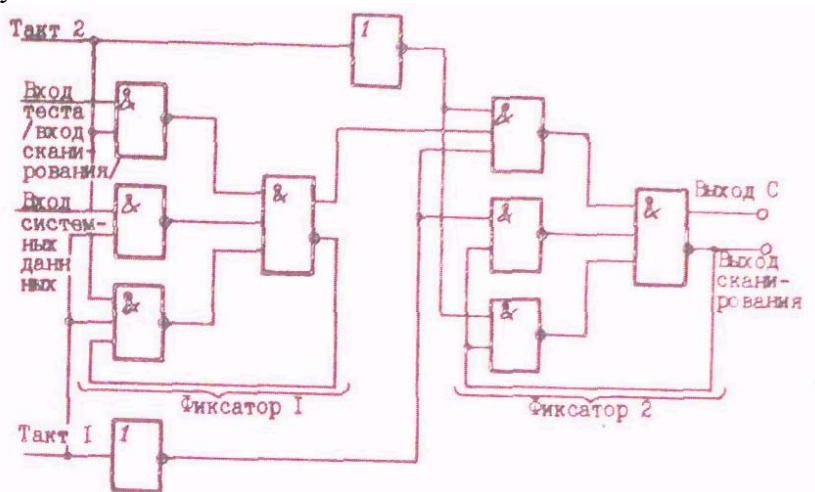


Рис. 55

При работе схемы сигнал, поступающий по линии "такт 2", имеет значение логической единицы в течение всего периода; D-триггер фактически содержит два фиксатора. За счет логической единицы в линии "такт 2" ячейка 2 не возбуждается. В режиме системной работы линия "такт 1" - это единственная тактовая линия для D-триггера. Когда сигнал линии "такт 1" принимает значение логического нуля, входные системные данные могут быть загружены в фиксатор 1. По истечении времени, достаточного для загрузки данных в фиксатор 1, линию "такт 1" можно отключить, и тогда фиксатор 2 становится открытым для выходных данных фиксатора 1. Пока по линии "такт 1" передается логическая единица, данные могут загружаться в ячейку 2. В этом режим (пока выход ячейки 2 не завершит цикл) и будет происходить ввод системных данных в ячейку 1, входы как ячейки 1, так и ячейки 2

являются активными. Время, в течение которого это может происходить, связано с задержкой инвертора в линии "такт 1". Подобное же явление произойдет на линия "такт 2" и в ее инверторе. Это условное соревнования позволяет использовать только одну системную тактовую линию, тогда как для метода *LS5D* требуются отдельные тактовые сигналы ячеек 1 и 2.

Другой особенностью метода сканирования пути является определенная конфигурация схемы на уровне логических плат. Все модули на логической плате соединяются в последовательный путь сканирования, так что для каждой платы существует один путь сканирования.

Метод, похожий на методы сканирования пути, *LSSD* и вместе с тем несколько отличающийся от них, это метод сканирования установки. Основная идея этого метода состоит в том, что устройство ЭА может быть проверено на выбранных контрольных точках. Входные данные могут быть загружены, например, в 64-разрядный одноканальный сдвиговый регистр (рис. 56). После заполнения всех 64 разрядов начинается процесс сдвига и данные можно просматривать на выходе регистра. При выполнении функции установки 64 разряда могут быть переданы в системную логику, и тогда для загрузки данных в фиксаторы системной логики потребуется соответствующее тактовое устройство. Функция установки может использоваться при синтезе тестов для управления различными путями передача сигнала с целью облегчения тестирования.

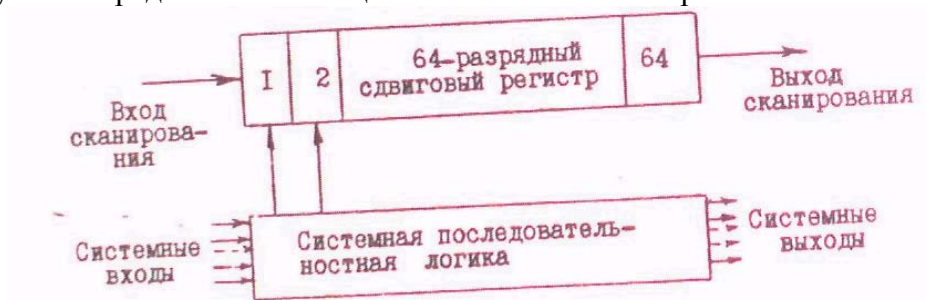


Рис. 56

Следует отметить, что метод сканирования установки предназначен для обеспечения управляемости и наблюдаемости. Другое достоинство метода состоит в том, что сканирование можно осуществлять в процессе работы схемы устройства ЭА, т.е. импульс выборки для 64-разрядного сдвигового регистра может поступать в момент подачи системных тактовых импульсов на последовательностную системную логику, так что получить информацию о последовательностной машине в какой-то момент времени можно без ухудшения системных характеристик.

Еще один метод, подобный методам сканирования пути и *LSSD*, - это сканирование с произвольным доступом. Цель всех трех методов состоит в обеспечении полной управляемости и наблюдаемости всех внутренних фиксаторов. Данный метод отличается от двух выше описанных методов тем, что сдвиговые регистры здесь не используются. Вместо них вводится схема адресации, которая позволяет выбирать каждый фиксатор, так что он становится либо управляемым, либо наблюдаемым.

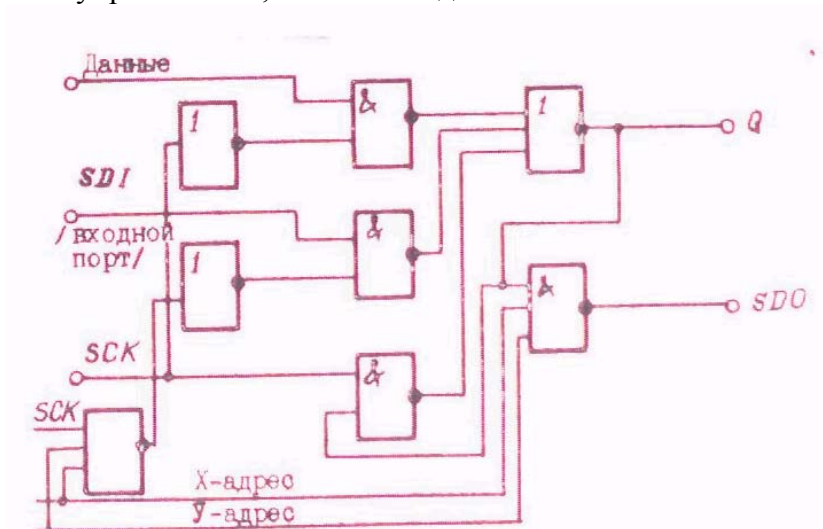


Рис. 57

На рис. 57 показан один из основных видов фиксаторов, не обходимых для метода сканирования с произвольным доступом, который создает дополнительный вход данных, носящий название входного порта сканирования данных (*SDI*). Данные синхронизируются в фиксаторе посредством тактового сигнала *SCK*. Сиг-

нал ЗСК может воздействовать на данный фиксатор, если адреса x и y равны единице. Когда адреса x и y равны единице, можно наблюдать контрольную точку выхода сканирования данных (SD0). Системные данные, обозначенные на рис. 57 загружаются в этот фиксатор при помощи системного тактового генератора (SQK).

На рис. 58 приведена структурная схема системы сканирования с произвольным доступом. В системе имеется адрес y , адрес x , дешифраторы, адресуемые элементы памяти (фиксаторы), последовательная машина, системные тактовые генераторы и фиксация очистки, SDI - вход для конкретного фиксатора, и SDO - выход данных для конкретного фиксатора, а также тактовый генератор для сканирования.

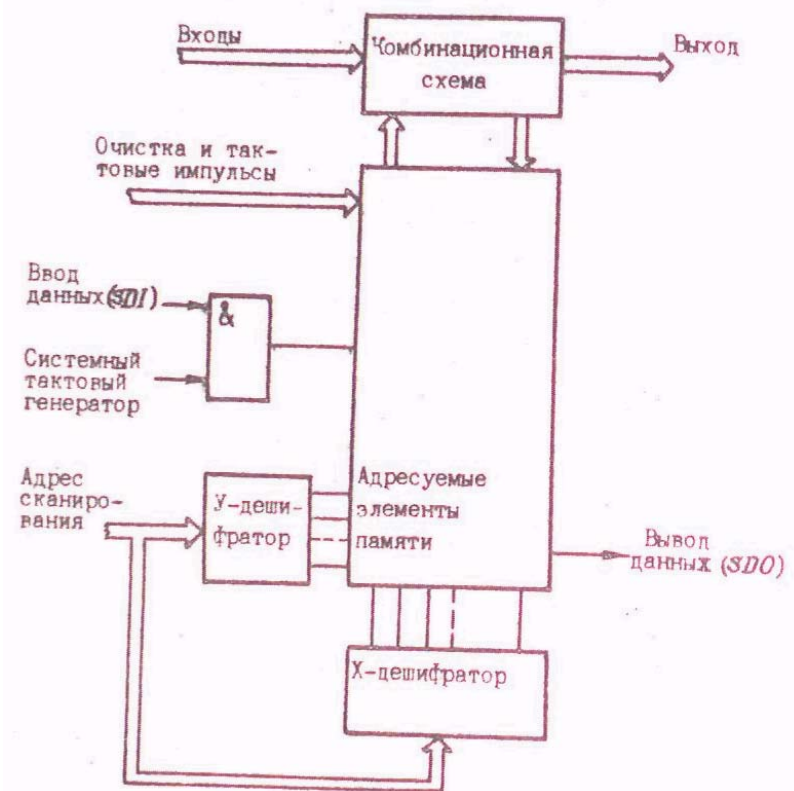


Рис. 58

Сканирование с произвольным доступом обеспечивает наблюдаемость и управляемость. Для метода сканирования с произвольным доступом каждой контрольной точке, которая подлежит наблюдению, требуются примерно 3-4 элемента И на запоминающий элемент, тогда как для методов сканирования пути и LSSD-два фиксатора. Число дополнительных основных входов-выходов колеблется от 10 до 20. Уменьшить число дополнительных выводов можно благодаря последовательному сканированию адресов x и y , тогда число основных входов-выходов будет равно шести.

В проектировании тестопригодных устройств ЭА имеются две основные концепции: управляемость и наблюдаемость. Управление и наблюдение являются центральными в процессе тестирования объекта. В качестве примера рассмотрим схему И, приведенную на рис. 4. Для обнаружения неисправности "контактная единица" на входе А необходимо подать 0 на вход А и 1 на вход Б и наблюдать выход С для определения того, какой сигнал (0 или 1) получен на выходе. Наличие 0 на выходе свидетельствует об исправности, а 1 - о неисправности элемента. Если элемент И встроен в большую последовательностную схему, то требуется обеспечить возможность управления входами А и Б, путем подачи на них соответственно 0 и 1, а обеспечения возможности наблюдения выхода С даже через другие логические элементы. В этом состоит часть проблемы генерации теста для схемы. В [6] разработаны методы и пакеты программ для определения свойств управляемости и наблюдаемости схемы. По полученным результатам программы для заданной схемы проектировщик может выбрать один из выше описанных методов для данной схемы устройства ЭА.

Показатели управляемости характеризуют затрату на установление конкретного узла в заданное состояние 0 или 1 за счет входных сигналов на внешних выводах схемы. Различают показатели комбинационной и последовательностной управляемости. Первый показатель оценивается числом узлов исправной схемы, которые необходимо установить в заданное состояние для установки анализируемого узла в конкретное логическое состояние 0 или 1. Второй показатель вычисляется как минимальное число состояний, которое должна принять исправная схема до того, как в данном узле можно будет получить нужное состояние 0 или 1. Показатели наблюдаемости определяются числом узлов, которые необходимо установить в известное состояние, чтобы наблюдать на выходе

исправной схемы устройства ЭА состояние конкретного узла.

Различают также показатели комбинационной и последовательностной наблюдаемости. Комбинационная наблюдаемость характеризуется минимальным числом узлов, через которые должно передаваться состояние данного узла, для его наблюдения на выходе. Последовательностная наблюдаемость характеризуется минимальным числом состояний схемы, через которые она должна пройти, чтобы наблюдать состояние данного узла на выходе схемы. Для вычисления показателей наблюдаемости достаточно знать показатели управляемости узла, через которые сигнал данного узла будет транспортироваться на выход схемы. Показатель тестируемости оценивается по количеству узлов, состояние которых необходимо установить комбинационно или последовательно для того, чтобы наблюдать состояние активизированного узла на выходе неисправной схемы.

После получения количественных характеристик затрат на тестирование схемы и ее отдельных узлов возможна целенаправленная доработка структуры ЭА с целью улучшения тестопригодности и устранения нетестируемых узлов.

4. ТЕСТОПРИГОДНОЕ ПРОЕКТИРОВАНИЕ ЭА

Тестопригодное проектирование ЭА базируется на предварительном анализе тестопригодности и последующем применении одного из выше рассмотренных методов обеспечения тестопригодности.

Анализ тестопригодности является достаточно трудоемким процессом, требующим знания не только специфики работы, анализируемой ЭА, но и знания методов технического диагностирования: синтеза тестовых последовательностей, логического моделирования, различных способов контроля и диагностирования. Это подчеркивает сложность задачи анализа ЭА, ее трудоемкость при большом объеме анализируемой аппаратуры.

Рассмотрим конечный автомат $A=(X, Q, Y, \delta, \lambda)$, где X, Q, Y -соответственно входной алфавит, алфавит состояний и выходов. функция δ называется функцией переходов и определяется выражением $\delta: Q^*X \rightarrow Q_i$ а функция λ , называемая функцией выходов, определяется выражением $\lambda: Q^*X \rightarrow Y$. Автомат считается полностью управляемым, если его можно перевести из начального состояния $Q \in q_0$ в любое другое $Q \in q_i$ под воздействием некоторой по-

последовательности x_1, x_2, \dots, x_n , имеющей конечную длину. Авто мат называется частично наблюдаемым, если имеется некоторое подмножество состояний $Q \ni Q'$, для которого отсутствует последовательность x_1, x_2, \dots, x_n конечной длины, переводящей его в состояние $Q' \ni q'_i$. Аналогично, автомат считаем полностью наблюдаемым, если по результату наблюдения y_1, y_2, \dots, y_n можно однозначно идентифицировать его состояние, т.е. $Q \ni q_i$. По числу символов алфавита X при оценка управляемости, а также по числу символов алфавита Y при оценке наблюдаемости можно судить о степенях управляемости и наблюдаемости возможных состояний конечного автомата. Показатели управляемости и наблюдаемости оценим, представив схемы устройств ЭА в виде булевых выражений.

Общим недостатком данных подходов оценки тестопригодности ЭА является большой объем обрабатываемой информации и невозможность описания реальных объектов анализа, так как в первом случае имеется большое количество анализируемых состояний конечного автомата, во втором - модель схемы в виде булевого выражения не соответствует ее схемной реализации. Кроме того, понятия, определенные для схем с памятью, трудно перенести на схемы без памяти. В связи с этим показатели управляемости и наблюдаемости вычисляются по упрощенным моделям, ориентированным на обще принятое представление ЭА в виде функциональных принципиальных схем устройств.

При вероятностном методе оценки тестопригодности вероятность обнаружения константных неисправностей $P(L_{K0})$ и $P(L_{K1})$ в элементе:

для неисправности "константа 0"

$$P(L_{K0}) = u'(L) \cdot N(L);$$

для неисправности "константа 1"

$$P(L_{K1}) = [1 - u'(L)] \cdot N(L),$$

где $u'(L)$ - показатель единица- управляемости для элемента L (вероятность того, что элемент устанавливается в состояние логической единицы при случайной последовательности входных воз действий); $N(L)$ - общая наблюдаемость элемента L , вычисляемая как отношение числа появлений единиц и нулей на выходе эле мента L и далее на любом выходе схемы к общему числу возможных комбинаций входных сигналов схемы устройства ЭА.

В данном методе используется также показатель нуль-управляемости элемента $u^0(L)$ (характеризует вероятность того, что элемент L устанавливается в состояние логического нуля для случайно выбранного вектора входных воздействий), причем $u^0(L) = 1 - u^1(L)$. Показатель $N(L)$ характеризует нуль-наблюдаемость (вероятность передачи нулевого состояния элемента L на выход схемы), а $N^1(L)$ единица-наблюдаемость (вероятность передачи единичного состояния элемента L на выход схемы).

Показатели управляемости и наблюдаемости имеют вид: для входа схемы x_i и выхода схемы y_i

$$u^0(x_i) = u^0(x_i) = 0,5 \quad N^1(y_i) = N^0(y_i) = 1;$$

для двухвходового элемента логического умножения

$$u^0(y) = u^0(x_1) \cdot u^0(x_2), \quad N^1(x_1) = u^0(x_2) \cdot N^1(y);$$

для двухвходового элемента логического сложения

$$N^1(x_1) = u^0(x_2) \cdot N^1(y), \quad u^0(y) = 1 - (1 - u^0(x_1))(1 - u^0(x_2))$$

для инвертора

$$N(x) = N(y)$$

Полученные оценки показателей тестопригодности однозначно связаны с вероятностями обнаружения соответствующих константных неисправностей на выводах элементов схемы устройств ЭА.

В детерминированных методах оценки тестопригодности схем также используются понятия управляемости и наблюдаемости, вычисляемые для комбинационных и последовательностных схем. В методе SCOAP [6, 19] комбинационную управляемость $Su^1(L)$ для элемента L можно определять на основе подсчета числа комбинационных элементов, участвующих в управлении элементом L при установке его в состояния 0 [$Su^0(L)$] и 1 [$Su^1(L)$]. Аналогично комбинационная наблюдаемость характеризуется числом комбинационных элементов, участвующих при транспортировке состояния элемента L на выход схемы при передаче нулевого L [$CN^0(L)$] и единичного состояния [$CN^1(L)$] элемента.

Последовательностную управляемость элемента L оценивают, как число последовательностных элементов, участвующих в установке элемента в состояние 0 [$Su^1(L)$] и в состояние 1 [$Su^1(L)$]. Последовательностные наблюдаемости [$SN^0(L)$] и [$SN^1(L)$]

определяют, соответственно как число элементов с памятью, необходимых для передачи соответственно нулевого и единичного состояния элемента на любой из выходов схемы устройства ЭА.

Показатели тестопригодности:

для элемента логического умножения:

$$Cu^0(y) = \min [Cu^0(x_1), Cu^0(x_2)] + 1,$$

$$Cu^1(y) = Cu^1(x_1) + Cu^1(x_2) + 1,$$

$$Su^0(y) = \min [Su^0(x_1), Su^0(x_2)],$$

$$Su^1(y) = Su^1(x_1) + Su^1(x_2),$$

$$CN(x_1) = CN(y) + Cu^1(x_2) + 1,$$

$$SN(x_1) = SN(y) + Su^1(x_2);$$

для элемента логического сложения:

$$Cu^0(y) = Cu^0(x_1) + Cu^0(x_2) + 1,$$

$$Cu^1(y) = \min [Cu^1(x_1), Cu^1(x_2)] + 1,$$

$$Su^0(y) = Su^0(x_1) + Su^0(x_2),$$

$$Su^1(y) = \min [Su^1(x_1), Su^1(x_2)],$$

$$CN(x_1) = CN(y) + Cu^0(x_2) + 1,$$

$$SN(x_1) = SN(y) + Su^0(x_2);$$

для инвертора:

$$Cu^0(y) = Cu^1(x) + 1,$$

$$Cu^1(y) = Cu^0(x) + 1,$$

$$Su^0(y) = Su^1(x),$$

$$Su^1(y) = Su^0(x),$$

$$CN(x) = CN(y) + 1,$$

$$SN(x) = SN(y).$$

По методу CAMELOT [6, 19] управляемость элемента определяют следующим образом:

$$\begin{aligned}
 Cu^0(x) &= 1; \\
 Cu^0(L) &= Cu'(L); \\
 Cu^0(y) &= CTF \cdot Cu(x); \\
 Cu(x) &= \frac{1}{n} \sum_{i=1}^n Cu(x_i); \\
 CTF &= 1 - \frac{N0 - N1}{N0 + N1}.
 \end{aligned}$$

Здесь $Cu(x)$ - среднее значение управляемости всех входов; CTF - коэффициент, определяющий степень сложности формирования значения, т.е. нуль, и единица на выходе схемы; $N(0)$, $N(1)$ соответственно общее число нулевых и единичных значений Функций, реализуемых комбинационной схемой в исследуемом элементе устройства ЭА.

Наблюдаемость элемента вычисляют так:

$$\begin{aligned}
 CN(y) &= 1; \\
 CN(x_i) &= OTF \cdot CN(y) \cdot Cu(x_{j \neq i}); \\
 OTF &= \frac{N_{\Delta}(ASP)}{N(OSP) + N(ASP)}; \\
 Cu(x_{j=i}) &= \frac{1}{n} \sum_{j=1}^n Cu(x_j),
 \end{aligned}$$

где OTF - коэффициент, характеризующий степень сложности транспортирования неисправности от рассматриваемого элемента к выходу схемы; $N(ASP)$ и $N(OSP)$ - общее число чувствительных и нечувствительных путей транспортировки неисправности из рассматриваемого узла к выходу схемы соответственно; $Cu(x_{i=j})$ - среднее значение управляемости выводов, которые обеспечивает условие активизации выбранного пути.

В табл. 2 приведены результаты анализа тестопригодности схемы устройства ЭА средней сложности (рис. 59), содержащей логические элементы с памятью, полученные детерминированным методом.

Таблица 2

| Номер узла схемы | Показатели управляемости | | | | Показатели наблюдаемости | | | Наименование |
|------------------------|--------------------------|----|------------------|----|--------------------------|------------------|-----------------------|----------------|
| | Комбинированные | | Последовательные | | Комбинированные | Последовательные | Тестонаследственность | |
| | 0 | 1 | 0 | 1 | | | | |
| | | | | | | | | |
| 1 | 1 | 1 | 0 | 0 | 12 | 2 | 12 | Входные данные |
| 2 | 1 | 1 | 0 | 0 | 10 | 2 | -1 | Синхр. 1 |
| 3 | 1 | 1 | 0 | 0 | 10 | 2 | -1 | Синхр. 2 |
| 4 | 75 | 8 | 11 | 1 | 0 | 0 | 0 | A1 |
| 5 | 13 | 13 | 2 | 2 | 0 | 0 | 0 | A2 |
| 6 | 19 | 19 | 3 | 3 | 0 | 0 | 0 | A3 |
| 7 | 25 | 25 | 4 | 4 | 0 | 0 | 0 | A4 |
| 8 | 7 | 7 | 1 | 1 | 6 | 1 | 6 | Q1 |
| 9 | 13 | 13 | 2 | 2 | 0 | 0 | 0 | Q2 |
| 10 | 19 | 19 | 3 | 3 | 0 | 0 | 0 | Q3 |
| 11 | 25 | 25 | 4 | 4 | 0 | 0 | 0 | Q4 |
| 12 | 2 | 3 | 0 | 0 | 8 | 2 | -1 | Синхр. |
| 13 | 8 | 33 | 1 | 5 | 42 | 6 | 42 | ИЛИ-НЕ-1 |
| 14 | 53 | 9 | 8 | 1 | 22 | 3 | 22 | И-НЕ-1 |
| 15 | 10 | 67 | 1 | 10 | 8 | 1 | 8 | ИЛИ-НЕ-2 |
| 16 | 75 | 8 | 11 | 1 | 0 | 0 | 0 | И-НЕ-2 |

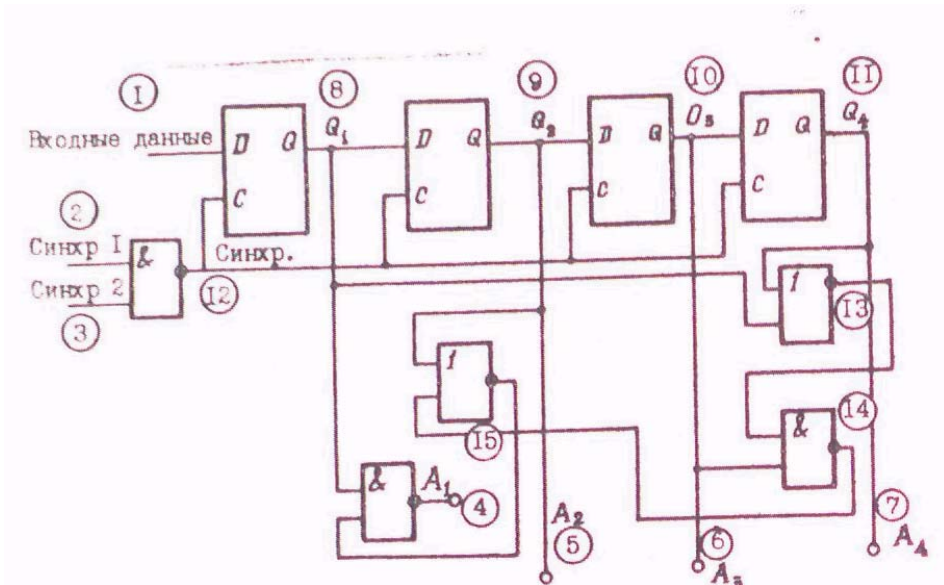


Рис. 59

Рассмотренная схема после изменения с целью повышения тестопригодности примет следующий вид (рис. 60). Результаты анализа ее тестопригодности детерминированным методом приведены в табл. 3.

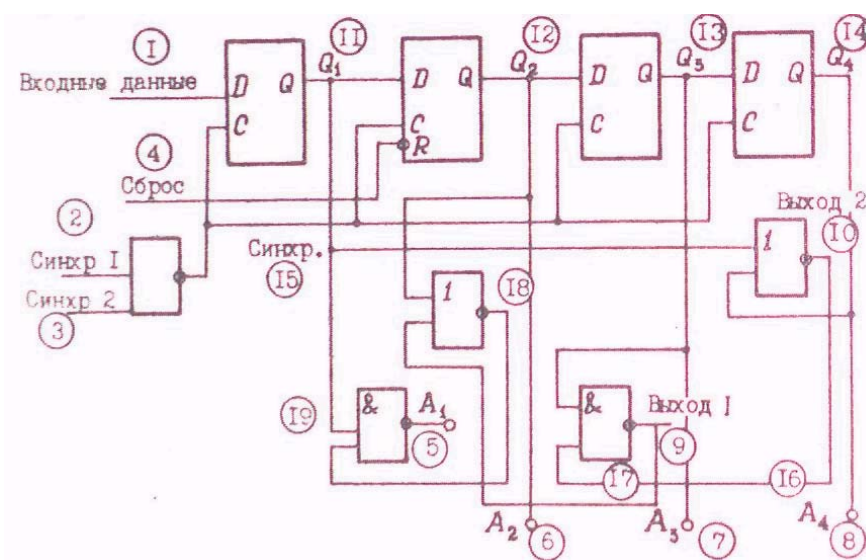


Рис. 60

Таблица 3

| Номер узла схемы | Показатели управляемости | | | | Показатели наблюдаемости | | | | Наименование | |
|------------------|--------------------------|----|------------------|----|--------------------------|------------------|-----------------------|---|--------------|----------------|
| | Комбинированные | | Последовательные | | Комбинированные | Последовательные | Тестонаблюдательность | | | |
| | 0 | 1 | 0 | 1 | | | | | | |
| | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | | |
| 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | ИЗ | Входные данные |
| 2 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | И0 | Синхр.1 |
| 3 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | И0 | Синхр.2 |
| 4 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | И3 | Сборос |
| 5 | 56 | 8 | 9 | 10 | 0 | 0 | 0 | 0 | 0 | А1 |
| 6 | 3 | 14 | 1 | 2 | 0 | 0 | 0 | 0 | 0 | А2 |
| 7 | 9 | 20 | 2 | 3 | 0 | 0 | 0 | 0 | 0 | А3 |
| 8 | 15 | 26 | 3 | 4 | 0 | 0 | 0 | 0 | 0 | А4 |
| 9 | 44 | 9 | 7 | 1 | 0 | 0 | 0 | 0 | 0 | Выход 1 |
| 10 | 8 | 23 | 1 | 4 | 0 | 0 | 0 | 0 | 0 | Выход 2 |
| 11 | 7 | 7 | 1 | 1 | 7 | 1 | 1 | 7 | 7 | Q ₁ |
| 12 | 3 | 14 | 1 | 2 | 0 | 0 | 0 | 0 | 0 | Q ₂ |
| 13 | 9 | 20 | 2 | 3 | 0 | 0 | 0 | 0 | 0 | Q ₃ |
| 14 | 15 | 26 | 3 | 4 | 0 | 0 | 0 | 0 | 0 | Q ₄ |
| 15 | 2 | 3 | 0 | 0 | 9 | 2 | 2 | 8 | 8 | Синхр. |
| 16 | 8 | 23 | 1 | 4 | 0 | 0 | 0 | 0 | 0 | ИЛИ-НЕ-1 |
| 17 | 44 | 9 | 7 | 1 | 0 | 0 | 0 | 0 | 0 | И-НЕ-1 |
| 18 | 10 | 48 | 1 | 8 | 8 | 1 | 1 | 8 | 8 | ИЛИ-НЕ-2 |
| 19 | 56 | 8 | 9 | 1 | 0 | 0 | 0 | 0 | 0 | И-НЕ-2 |

В методах SCOAP и CAMELOT имеет место некоторое абстрагирование от реальных особенностей элементов, входящих в схему устройства ЭА. Метод SCOAP характеризуется наличием в схеме обратных связей, генерирующих и не генерирующих обратных связей с неисправностями; метод CAMELOT – сложностью используемых элементов, наличием у них большого числа внутренних состояний и различными типами неисправностей.

В методе STRA [6,19] для учета этих особенностей используются различные признаки, в частности, ранг элемента r_i , под которым понимается его расположение в схеме относительно входов, например, элемент 1-го ранга связан с элементами 0-го ранга, т.е. со входами схемы; длина пути l_i от входов схемы до данного элемента, причем выбирают произвольное значение пути при множестве вариантов; число генераций входных сигналов q_i , под которым понимается трудоемкость перевода элемента из одного состояния в другое за счет изменения входных сигналов (рассчитывается только для элементов памяти, для которых требуемую кодовую комбинацию на выход можно получить при подаче некоторой последовательности входных воздействий); сложность управления элементом q_i под которой понимается, сколько входов элемента необходимо задействовать для транспортировки через него логической единицы или нуля; число элементов d_i , участвующих в передаче состояния элемента i на её выход; число инверсий сигнала n_i , характеризующие сколько раз проинвертируется сигнал при его передаче от элемента i на выход схемы ЭА

При вычислении значений признаков берется усредненное значение по всем входам или выходам элемента. Далее элементы упорядочиваются по значениям для каждого признака и формируются одномерные массивы $A_1 \dots A_6$. На основе одномерных массивов формируются нечеткие бинарные отношения $R_{A1}, R_{A2}, \dots, R_{A6}$, которые по правилу композиции объединяются в результирующее нечеткое бинарное отношение R_p .

По значениям, полученным для элемента схемы в нечетких бинарных отношениях R_i ($[1,6] \ni j$) и R_p , анализируется степень тестопригодности того или иного элемента схемы. При этом используется следующий алгоритм анализа тестопригодности:

- 1) вычисление усредненных значений признаков для всех элементов схемы устройства ЭА

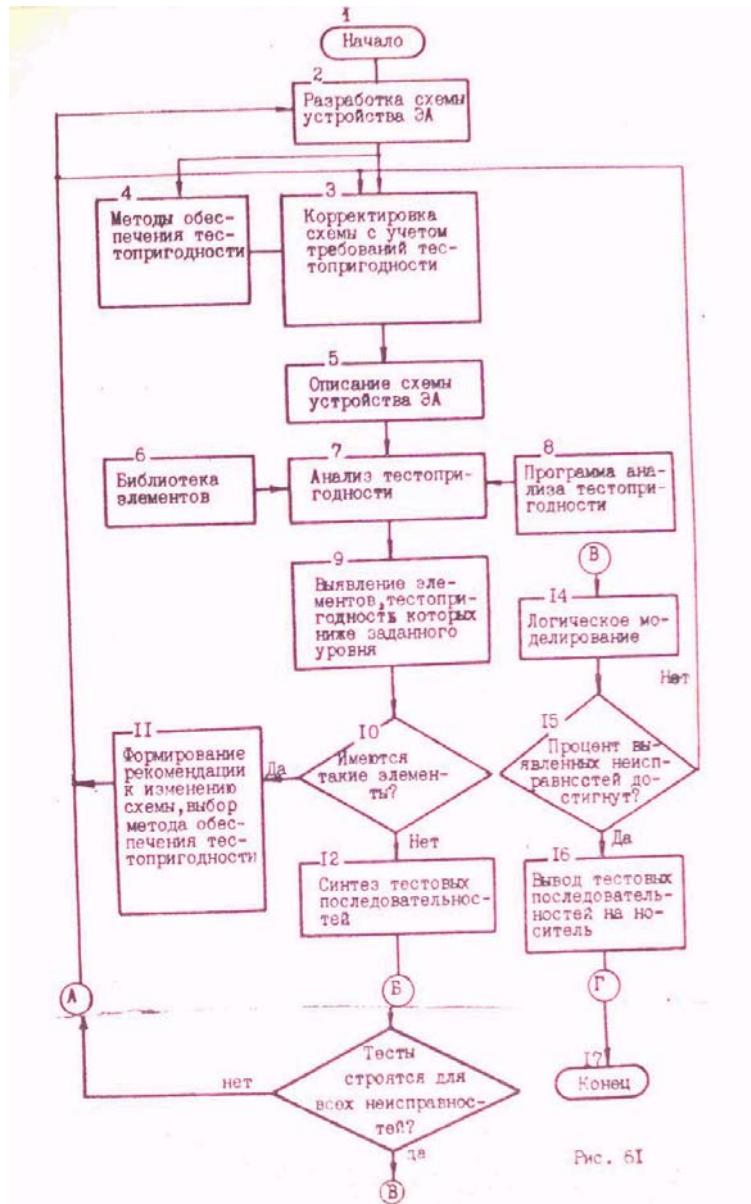


Рис. 61

- 2) упорядочивание значений признаков;
 - 3) формирование нечетких бинарных отношений $R_{A1}, R_{A2}, \dots, R_{A6}$
 - 4) формирование результирующего бинарного отношения R_p .
- 5) задание допустимого уровня тестопригодности элементов схемы;
- 6) формирование множества нетестопригодных элементов;
 - 7) анализ схемного решения и нечетким бинарным отношениями и модификация схемы.

Следует отметить, что перечисленные процедуры выполняются итеративно до получения наиболее пригодного с точки зрения тестопригодности варианта схемы устройства ЭА. Допустимый уровень тестопригодности задают по анализу работы схем. Кроме того, результаты анализа тестопригодности могут служить руководством к применению вышеперечисленных схемных решений по обеспечению тестопригодности, а также полезной информацией для систем автоматизированной генерации тестов. В последнем случае намного упрощается алгоритм генерации тестов, особенно для последовательностных схем, так как упрощается синхронизация схемы, установка в начальное состояние элементов памяти и упрощаются пути транспортировки неисправностей к выходу схемы и транспортировка со стороны входов схемы [16]

Обобщенная схема проектирования ЭА с учетом анализа тестопригодности представлена на рис. 61.

Согласно данному алгоритму возврат из этапов анализа тестопригодности, синтеза тестов, логического моделирования осуществляется с целью выбора лучшего варианта схемы устройства ЭА, причем при незначительных изменениях возврат осуществляется на этап корректировки схемы. Ниже приведена инструкция по использованию пакета программ анализа тестопригодности, в которой реализован метод STRA

5. ОПИСАНИЕ ПАКЕТА ПРОГРАММЫ АНАЛИЗА ТЕСТОПРИГОДНОСТИ ЭА

5.1. Общие сведения

Пакет программ STRA предназначен для анализа тестопригодности схем устройств ЭА, реализованных на интегральных микро схемах малой, средней и большой степеней интеграции, а также микропроцессорных БИС. Пакет программ STRA формирует численные значения, характеризующие тестопригодность схемы в целом и

каждого ее элемента, примерное значение глубины анализа схемы, которое может быть достигнуто при ее проверке известными методами, а также предполагаемое время контроля. Кроме того, формируются рекомендации к применению того или иного метода обеспечения тестопригодности для выделенного подмножества элементов схемы, контролепригодность которых ниже требуемого уровня. Пакет реализован на языке Фортран в ОС ЕС, а диалоговом режиме для решения задач ввода, редактирования и запуска задания на выполнение.

5.2. СТРУКТУРА ПАКЕТА И ЕГО ХАРАКТЕРИСТИКИ

Пакет программ STRA состоит из управляющей программы и семи подпрограмм ВХВІХ, TESTT, FOTNS, FOTNS, FOTNN, FOTNUS, POKZ Промежуточные данные решения задачи анализа тестопригодности после выполнения подпрограмм выводятся на дисплей или печать по запросу пользователя.

5.3. Отладка программ для конкретного применения

Отладка программ заключается в формировании исходных данных о схеме устройства ЭА в списочной форме. К ним относятся формируемые списки K,L,M,N,IS, GN,A,EP, характеризующие особенности анализируемой схемы: связи, типы элементов, нумерация выводов микросхем, наличие элементов с памятью, их количество. Файл исходных данных вводится в ЭВМ. На дисплей или печать (по запросу пользователя) выводится сообщение о ходе выполнения программы.

5.4. Пример формирования задания

Пакет программ STRA предусматривает нумерацию входов схемы отрицательными целыми, логических элементов - так же, как на схеме, но без буквенных обозначений; символическими элементами схемы наряду с электронными являются входы схемы устройства ЭА.

Выходы элементов схемы обозначаются так же, как и сами элементы; входы - так же, как и выходы тех элементов, с которыми связаны эти входы, т.е. являются предшественниками. Номера входов и выходов элементов соответствуют номерам выводов этих элементов (микросхем). Если элемент схемы является его входом (имеет отрицательный номер), то выходу такого элемента (т.е. выходу входов схемы) присваивается нулевой номер. Если выходы

элементов не связаны ни с какими из входов элементов, то их называют выходами схемы. Условно считают, что выходы схемы связаны с элементами, имеющими нулевой номер.

Для анализа тестопригодности схемы устройств ЭА при использовании пакета программ STRA составляй списки K, L, M, N, IS, GN, A, EP и формируют файл исходных данных, где A - список типов элементов; K - список выходов элементов; L - список входов элементов; M - список номеров выходов элементов; N - список номеров входов элементов; IS - список числа ин версий элементов; GN- список числа генераций (состояний) элементов; EP - список элементов памяти.

Важным параметром для загрузки в память ЭВМ является также параметр N1\, определяющий размерность списков K, L, M, N.

Рассмотрим этапы составления выше указанных списков:

- 1) обозначим все входы схемы отрицательными числами;
- 2) заполним список K элементами (выходами схемы) с учетом их повторяемости;
- 3) заполним список L элементами, соответствующими элементам списка K. Если какому-то элементу списка K не соответствует ни один элемент рассматриваемой схемы, то выход этого элемента является выходом схемы. В этом случае элемент списка L приравнивается нулю;
- 4) выделим среди элементов списка L элементы, которыми заполнялся список L последний раз. При этом нулевые элементы не рассматриваем. Если среди выделенных элементов нет ненулевых, то списки K и L заполнены полностью, в этом случае переходим к этапу 7;
- 5) заполним список K элементами, полученными на этапе 4 с учетом повторяемости выходов этих элементов. При этом проследим, чтобы в списке K один и тот же элемент не рассматривался более одного раза;
- 6) перейдем к этапу 3;
- 7) заполним список M номерами выводов, соответствующих элементов списка K. Если какой-то элемент списка K - вход схемы, то соответствующий элемент списка M равен нулю;
- 8) заполним список N номерами выводов соответствующих элементов списка L. Если элемент списка L равен нулю, то соответствующий элемент списка N также равен нулю;
- 9) заполним списки IS, GN, A, EP. Списки K, L, M, N учи-

тывает связи в схеме; IS, GN, A, EP характеризуют элементы схемы. Размерность списков IS, GN, A, EP равна количеству элементов схемы, включая входы схемы. В этих списках последовательность элементов схемы такая же как в списке K, но без учета повторяемости элементов.

Файл исходных данных для анализа тестопригодности устройства ЭА:

```

└─&N3
└─N1=20
└─KK=-1,-2,-2,-3,-4,-5,1,1,2,1,2,1,2,2,2,3,3,
└─&END
└─&N4
└─KK1=2*1,1,2*2,1,1,2,2*2,2,31,2,3,1,3,2*2,3,0,3,1,4,0,1,1,1,4,0,
└─K=7*0,3,6,3*4,3,6,5*11,4,
└─N=3,3,6,6,4,3,3,6,4,6,3*11,0,6,4,0,11,4,0,
└─IS=6*0,1,0,1,1,0,0,1,
└─GN=5*0,8*1,
└─A=5*2HBx,2H2T,5H2E-HE,2H2E;5H2E-HE,7H3E3E-HE
└─2H2E,4H2E3E,5H2E-2E
└─EP=13*0,
└─PP=0,3,-,1,0,,0,2,0,2
└─&END

```

В этом файле записи типа 6*0 эквивалентны 0, 0, 0, 0, 0,0; _ - пробел, т.е. каждая строка набирается со второй позиции. Файл может быть набран на перфокартах или на дисплее ЭВМ. Данные, обозначенные символами KK, соответствуют описку K, а данные, обозначенные символами KK1 списку L.

Файл задания на анализ тестопригодности устройства ЭА. имеет следующий вид:

```

//PAKET JOB 73010034,'Ф И О ПОЛЬЗОВ.',PRTY=9REGION=900K
//EXEC FOR 77CLG.PARM,FCRT=SORCE
//FORT.SYSIN DD DSN=DQPI.SOUR(UPSIN),DISP=SHR,LABEL=(...,IN)
//      DD *
//      DD DQPI.SOUR(BXBIX),DISP=SHR,LABEL=(...,IN)
//      DD DQPI.SOUR(TESTT5),DISP=SHR,LABEL=(...,IN)
//      DD DQPI.SOUR(FOTN),DISP=SHR,LABEL=(...,IN)
//      DD DQPI.SOUR(FOTNS),DISP=SHR,LABEL=(...,IN)
//      DD DQPI.SOUR(FOTNN),DISP=SHR,LABEL=(...,IN)
//      DD DQPI.SOUR(FOTNUS),DISP=SHR,LABEL=(...,IN)
//      DD DQPI.SOUR(POKEZ),DISP=SHR,LABEL=(...,IN)
//GO.SYSIN DD DSN=DQPI.SOUR(SX001IZ),DISP=SHR,LABEL=(...,IN)

```

В последней строке имя файла исходных данных анализируемого устройства ЭА. имеет вид SX001IZ (см. Приложение).

6. ОЦЕНКА УРОВНЯ КОНТРОЛЕ- И ТЕСТОПРИГОДНОСТИ ЭА

Контроле- и тестопригодность количественно характеризуется показателями контролепригодности [5], среди которых различают:

- 1) коэффициент полноты проверки исправности (работоспособности, правильности функционирования)

$$K_{п.п} = \frac{\lambda_k}{\lambda_0},$$

где λ_k - суммарная интенсивность отказов контролируемых со ставных частей ЭА на принятом уровне деления; λ_0 - суммарная интенсивность отказов всех составных частей ЭА;

- 2) коэффициент глубины диагностирования

$$K_{г.п} = \frac{F}{R}.$$

Здесь F - число однозначно различимых составных частей ЭА на принятом уровне деления, с точностью до которых определяется место неисправности:

$$F = \frac{1}{J} \sum_{i=1}^J F_i J_i,$$

где J_i - число сменных частей, поиск неисправности в которых осуществляется ЭА; R - общее число составных частей ЭА на принятом уровне деления, с точностью до которых требуется определение места неисправности;

- 3) длину теста диагностирования

$$L = \{ 1, 2, 3, \dots, |L| \},$$

где $|L|$ - число тестовых воздействий;

- 4) среднее время подготовки ЭА к диагностированию, T_B

$$T_B = T_{у.с.п} + T_{м.д.р},$$

где $T_{у.с.п}$ - среднее время установки и снятия измерительных пре-образователей и других устройств, необходимых для диагностирования; $T_{м.д.р}$ - среднее время монтажно-демонтажных работ на ЭА необходимых для подготовки к диагностированию;

- 5) среднюю трудоемкость подготовки ЭА к диагностированию S_B

$$S_B = S_{у.с.п} + S_{м.д.р},$$

где $S_{у.с.п.}$ - средняя трудоемкость установки и снятия измерительных преобразователей и других устройств, необходимых для диагностирования; $S_{м.д.р.}$ - средняя трудоемкость монтажно-демонтажных работ на ЭА для обеспечения доступа к контрольным точкам и приведения ЭА в исходное состояние после диагностирования;

5) коэффициент избыточности ЭА

$$K_{и.и} = \frac{G_{и} - G_{и.и.д.}}{G_{и}},$$

где $G_{и.и.д.}$ - масса или объем составных частей, введенных для диагностирования ЭА; $G_{и}$ - масса или объем ЭА;

7) коэффициент унификации устройств сопряжения ЭА со средствами диагностирования $K_{у.с}$

$$K_{у.с} = N_{у} / N_{0},$$

где $N_{у}$ - число унифицированных устройств сопряжения; N_{0} - общее число устройств сопряжения;

8) коэффициент унификации параметров сигналов ЭА $K_{у.п}$

$$K_{у.п} = \delta_{у} / \delta_{0},$$

где $\delta_{у}$ - число унифицированных параметров сигналов ЭА, используемых при диагностировании; δ_{0} - общее число параметров сигналов, используемых при диагностировании;

9) коэффициент трудоемкости подготовки ЭА к диагностированию $K_{т.д}$

$$K_{т.д} = \frac{S_{д} - S_{в}}{S_{д}},$$

где $S_{д}$ - средняя оперативная трудоемкость диагностирования ЭА; $S_{в}$ - средняя трудоемкость подготовки ЭА к диагностированию;

10) коэффициент использования специальных средств диагностирования $K_{и.с}$

$$K_{и.с} = \frac{G_{с.а} - G_{с.с.а}}{G_{с.а}},$$

где $G_{с.д}$ - суммарная масса или объем серийных и специальных средств диагностирования; $G_{с.с.д}$ - масса или объем специальных средств диагностирования.

Методы количественной оценки контроле- и тестопригодности ЭА изложены в [18], а общий уровень контроле- и тестопригодно-

сти $S_{у.с.п.}$ при дифференциальной оценке g_i , определяется следующим образом:

$$g_i = \frac{K_i}{K_{i0}}$$

где K_i - значение показателя контроле- и тестопригодности оцениваемой ЭА; K_{i0} значение

базового показателя, при комплексной оценке $g = \prod_{i=1}^n (g_i)^{\sigma_i}$ (n - число показателей, контроле- и тестопригодности, по совокупности которых оценивают уровень контроле- и тестопригодности; σ_i - коэффициент весомости i -го показателя).

7. ЗАКЛЮ ЧЕНИЕ

Понятие тестопригодности появилось вследствие затруднений, возникающих при техническом обслуживании ЭА, к которым относятся сложность алгоритмов контроля в диагностировании, большое время контроля, неремонтопригодности ЭА в приемлемые сроки, не возможность достижения заданной глубины диагностирования и большие затраты на восстановление ЭА при ее эксплуатации.

На тестопригодность ЭА влияют комплекс объективных и субъективных факторов, к которым относятся схемные решения, характерные для данного разработчика, наличие в схеме тех или иных узлов, возможность средств технического обслуживания, типы и количество неисправностей, характерные для данной ЭА. Это обуславливает изменение характера процесса проектирования, по следовательности в содержания основных этапов проектирования ЭА.

К типовым схемным решениям, улучшающим тестопригодность схем устройств ЭА, относятся: неустанавливаемые элементы памяти; обратные связи в схеме; наличие пересчетных схем, программируемых БИС; генераторов сигналов и последовательность элементов, связанных между собой в виде цепи. Для этого требуется применять специальные методы изменения и усовершенствования схем.

При автоматизированном синтезе ЭА рекомендуются специальные методы применения и усовершенствования схем, к которым относятся введение контрольных точек, разбиение схем, применение самоконтролируемых схем, введение точек управления обратными связями и мультиплексирование наиболее информативных точек схемы.

При автоматизированном проектировании ЭА требуется вводить этап анализа тестопригодности, к которому осуществляется возврат из последующих этапов синтеза тестовых последовательностей и логического моделирования [17]. Это приводит к итерационному характеру процесса разработки схем ЭА с целью ее улучшения до достижения требуемых значений показателей тестопригодности. В этом случае типовыми показателями, характеризующими тестопригодность схем, служат показатели управляемости и наблюдаемости, которые могут иметь вероятностный или детерминированный характер, а для оценки достигнутого уровня контроле- и тестопригодности используются количественные показатели контролепригодности.

Литература

1. Основы технической диагностики / Под ред. П.П. Пархоменко. Кн. I. Модели объектов, методы и алгоритмы диагноза. М.: Энергия, 1976. 464 с.
2. Еланцев А.В., Маркелов В.В. Автоматизированное конструкторско-технологическое проектирование контролепригодной РЭА // Средства связи. 1985. №2. С. 19-22.
3. Бережной В.П., Дубицкий Л.Г. Выявление причин отказов РЭА / Под ред. Л.Г. Дубицкого. М.: Радио и связь, 1983. 232 с.
4. ГОСТ 19919-74. Контроль, автоматизированный технического состояния изделий авиационной техники. Термины и определения.
5. ГОСТ 23563-79. Техническая диагностика. Контролепригодность объектов диагностирования. Правила обеспечения.
6. Тарасенко А.К. Методы оценки и показатели тестируемых дискретных устройств // Зарубежная радиоэлектроника. 1983. №II. 0. 62-72.
7. Горяшко А.П. Синтез диагностируемых схем вычислительных устройств. Н.: Наука, 1987. 256 с.
8. Тестовый контроль микропроцессорных БИС на производстве / Г.М. Ясинявичене, Б.В. Бургис, Е.А. Мецаев и др. М.: Радио и связь, 1989. 120 с.
9. Фергусон Дж., Макари Л., Уильямс П. Обслуживание микропроцессорных систем. М.: Мир, 1989. 336 с.
10. Горяшко А.П. Проектирование легкотестируемых дискретных устройств: идеи, методы, реализация // Автоматика и телемеханика. 1984. № 7. С. 5-35.
11. Уильямс Т.У., Паркер К.П. Проектирование контролепригодных устройств // ТИИЭР. 1983. Т. 71, № 1. С. 122-139.
12. ГОСТ 16504-81. Испытания и контроль качества продукции. Основные термины и определения.
13. Еланцев А.В., Маркелов В.В. Автоматизированное проектирование контролепригодной ЭА // Автоматизированное проектирование конструкций электронной аппаратуры. М.; МВТУ, 1989. С. 119-140. (Труды МВТУ; № 532).
14. Еланцев А.В., Маркелов В.В. Диагностирование функциональных узлов ЭА при контроле на функционирование: Метод, указания. М.: МВТУ, 1988. 47 с.
15. Nodig H.J. Signature analysis-concepts, examples u quidelines Hewlett- Packard J.1977. may. P. 15-21.
16. Еланцев А.В., Курбанмагомедов К.Д., Набиуллин А.И. Распараллеливание алгоритмов решения задач синтеза тестовых последовательностей и диагностического моделирования цифровых устройств систем управления // Проектирование ЭА с применением САПР. Махачкала: Дагестан, ун-т, 1988. С. 64-69.

17. Е.С. Согомонян, П.П. Пархоменко. Основы технической диагностики / Под ред. П.П. Пархоменко. Кн. 2. Оптимизация алгоритмов диагностирования, аппаратурные средства, М.; Энергия, 1981. 320 с.

18. Климович Г.И. Методы количественной оценки контроле пригодности логических схем дискретных устройств // Автоматика и телемеханика. 1989. № 4. С. 3-41.

19. Беннето Р.Д. Проектирование тестопригодных логических схем. М.: Радио и связь, 1990. 176 с.

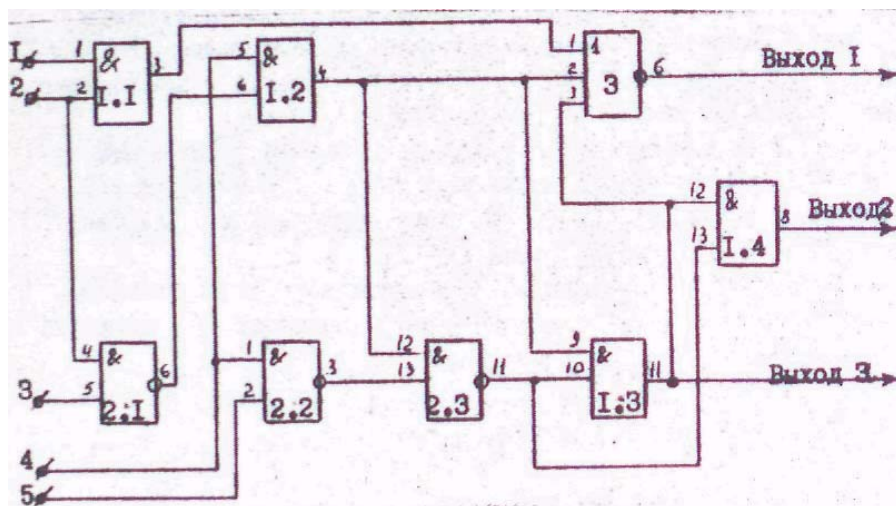
ПРИМЕР АНАЛИЗА ТЮТОПРИГОДНОСТИ ЭА

Реализацию приведенных в § 5.4 этапов анализа тестопригодности ЭА рассмотрим на примере схемы устройства ЭА (см. рисунок). Для данного устройства ЭА элементы схемы обозначим следующим образом:

-1; -2; -3; -4; -5; 1.1; 2.1; 1.2; 2.2; 3; 2.3; 1.3; 1.4.

В соответствии с этим списки K, L, M, N представлены в табл. П.1., а списки IS, GN, A, EP - в табл. П.2.

Кроме рассмотренных списков, для пакета программ STRA исходными величинами является и величина N1, определяющая размерность массивов K, L, M, N.



Оглавление

| | |
|--|----|
| Введение | 3 |
| 1. Тестовый анализ ЭА. Понятие контроле- и тестопригодности. | 4 |
| 2. Анализ тестопригодности ЭА | 12 |
| 3. Обеспечение тестопригодности ЭА | 26 |
| 4. Тестопригодное проектирование ЭА | 58 |
| 5. Описание пакета программ анализа тестопригодности ЭА | 67 |
| 5.1. Общие сведения | 67 |
| 5.2. Структура пакета и его характеристики | 68 |
| 5.3. Отладка программ для конкретного применения. | 68 |
| 5.4. Пример формирования задания. | 68 |
| 6. Оценка уровня контроле- и тестопригодности ЭА | 71 |
| 7. Заключение | 73 |
| Литература. | 74 |
| Приложение | 76 |