



Московский государственный технический университет
имени Н.Э. Баумана

Методические указания

О.Д. Парфенов

ТОПОЛОГИЧЕСКОЕ ПРОЕКТИРОВАНИЕ
МИКРОСХЕМ ВЫСОКОЙ СТЕПЕНИ
ИНТЕГРАЦИИ

Издательство МГТУ имени Н.Э. Баумана

Московский государственный технический университет
им. Н.Э. Баумана

**Топологическое проектирование
микросхем высокой степени интеграции**

доц. Парфёнов О.Д.

Методические указания к курсовому
проектированию по курсу
«Микроминиатюризация электронно-
вычислительных средств».



2001/2002 учебный год

АННОТАЦИЯ

Изложены основные направления организации топологического проектирования больших интегральных схем, сущность и примеры функциональной интеграции элементов, практические приемы плотной компоновки элементов и расчет разделительных (изолирующих) областей, расчет знаков совмещения, принципы проектирования тестовых кристаллов.

Для выполнения курсовой работы студентами 5-го курса специальности «Проектирование и технология электронно-вычислительных средств».



Принципы организации топологического проектирования. (Вместо введения).....	4
Основные правила разработки топологии ячеек.....	7
Примеры топологических решений для ячеек.....	8
Разделительные области.....	16
Знаки совмещения.....	17
Компоновка ИМС на кристалле.....	18
Тестовые кристаллы.....	20
Список литературы.....	24

Топологическое проектирование специализированных больших и сверхбольших интегральных микросхем (в дальнейшем ИМС) предполагает иерархическое движение от простейших электронных элементов и приборов (резисторов, диодов, транзисторов) через логические элементы, элементы памяти и устройства на их основе (сумматоры, дешифраторы, мультиплексоры, запоминающие устройства и т.п.) к законченной системе (или подсистеме), реализуемой в одном кристалле.

На любой стадии проектирования конструктор стремится обеспечить максимальное быстродействие и минимальную площадь кристалла.

Топологическое проектирование приборов и элементов ([4], [5]) опирается на электрические характеристики, полученные на этапе схемотехнической разработки, и имеет целью получить минимальные размеры при обеспечении рабочих токов, напряжений, сопротивлений заданных номиналов и точности. Используя накопленный опыт предприятия, конструктор может взять готовые решения из библиотеки элементов (банка данных). В общем случае это приводит к сокращению времени на конструкторскую разработку, но сопряжено с потерями площади и быстродействия ИМС.

Переход к функциональным элементам и устройствам (в дальнейшем “ячейки”) будущей ИМС выдвигает новые требования к топологическому проектированию. Оптимальный результат может быть получен при минимальной длине связей между электронными элементами, которая достигается рациональным их размещением (компоновкой) и плотной их упаковкой (при минимально допустимой ширине межэлементной изоляции). Для ячеек так же могут быть использованы аналоги из библиотеки предыдущих разработок. Другой подход, сокращающий время на разработку, заключается в использовании базового матричного кристалла (БМК). БМК представляют собой кристаллы в составе групповой пластины, которые содержат одинаковые наборы нескоммутированных электронных элементов. Элементы сгруппированы таким образом, чтобы из них можно было полу-

чить различные достаточно компактные ячейки путём создания соответствующих соединений.

Завершающая стадия компоновки ячеек (на кристалле ИМС) кроме плотной упаковки и коротких связей должна обеспечить рациональное расположение входных и выходных каскадов, шин питания, монтажных площадок и знаков совмещения.

Таким образом разработка топологии ИМС может осуществляться методом полного проектирования, начиная с электронных элементов и приборов, методом библиотечных (стандартных) ячеек и с помощью базовых матричных кристаллов. В первом случае принятые к разработке ИМС иногда называют заказными, во втором и третьем случаях – полузаказными.

Если ИМС строится на однородных идентичных ячейках, то независимо от метода проектирования целесообразно располагать их по полю кристалла в виде матрицы с постоянным шагом. В этом случае генератор изображений формирует топологию лишь одной ячейки, а их матричное размещение можно выполнить фотомонтажом на фотоповторителе. Топологию межсоединений и изолирующих слоёв, однако, приходится формировать также на генераторе изображений.

Очевидно, что методы библиотечных ячеек и БМК приводят к избыточности элементов на кристалле ИМС, увеличению площади кристалла и, следовательно, к увеличению длины связей, что является платой за сокращение сроков разработки.

Сравнительная характеристика (в относительных единицах) трёх упомянутых методов проектирования приведена в таблице.

Характеристика	Полное проектирование (1)	Метод БМК (2)	Метод стандартных ячеек (3)
Длительность разработки	1	0.3...0.4	0.2
Площадь кристалла	1	1.2...1.5	1.7...2.2
Число специальных шаблонов	8...12	3...7	3...7

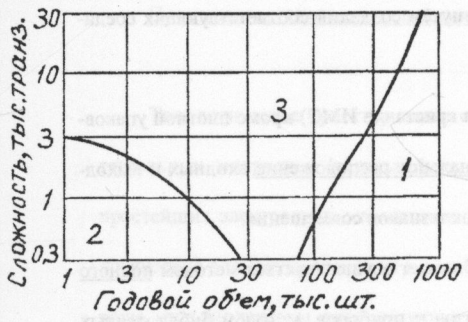
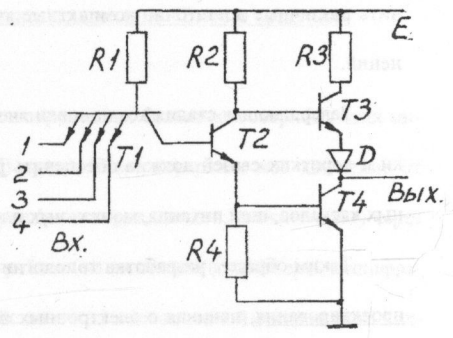
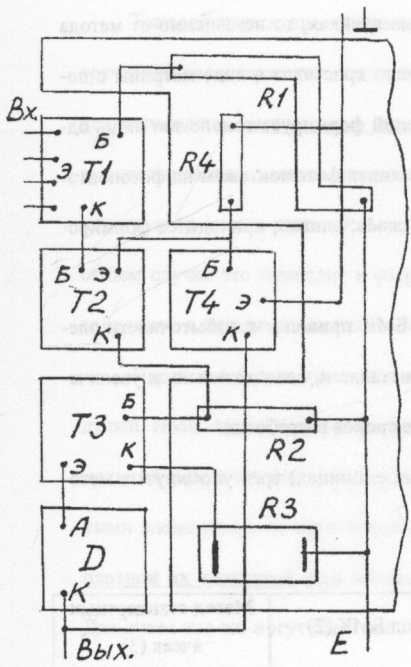


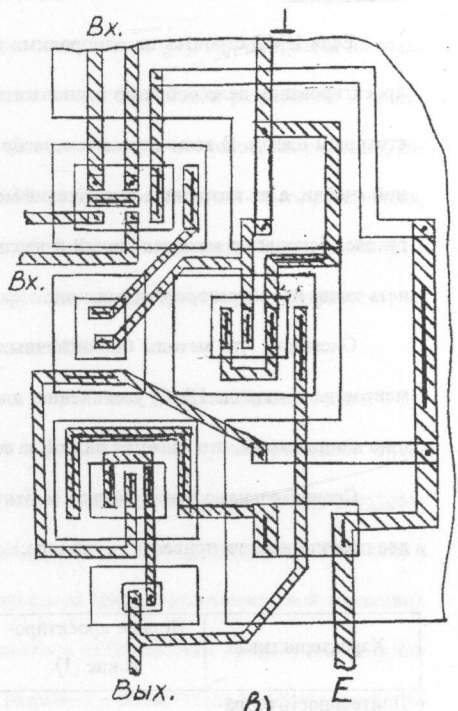
Рис.1



а)



б)



в)

Рис.2

Приведённая на рис.1 диаграмма даёт возможность ориентировочно определить область применения каждого из трёх методов в зависимости от степени интеграции, выраженной числом транзисторов на кристалле, и годового объёма выпуска [3].

Из диаграммы следует, что метод стандартных ячеек (3) имеет наиболее обширную область экономически целесообразного применения. При содержании в ИМС от 3 до 30 тыс. биполярных транзисторов рентабельность метода сохраняется при объёмах выпуска от 300 до 700 тыс. штук в год.

Основные правила разработки топологии ячеек.

Требование минимальной площади ИМС является важнейшим при высокой степени интеграции. Малая площадь, во-первых, обеспечивает малую суммарную длину связей и, во-вторых, при определённой плотности дефектов повышает процент выхода годных кристаллов. С учётом сказанного при проектировании топологии ячеек конструктор должен руководствоваться следующими правилами:

1. Применять электронные элементы минимальной площади, ограниченной нагрузочной способностью транзисторов и диодов и точностью резисторов с учётом возможностей технологии [4], [5].
2. Проектировать минимально возможное число изолированных областей, следуя принципу функциональной интеграции элементов. Последний заключается в возможности объединения в одну область элементов, имеющих общий потенциал (постоянный или переменный) и одинаковый тип проводимости.
3. Использовать разделительные (изолирующие) области минимально возможной ширины.
4. При компоновке (размещении) элементов стремиться к квадратной форме ячейки, обеспечивающей минимум суммарной длины межэлементных свя-

зей. Этого правила следует придерживаться и при компоновке ИМС в целом.

Дополнительные практические рекомендации можно свести к следующему:

1. В качестве начального варианта размещения элементов в ячейке можно принять их расположение на электрической принципиальной схеме.
2. Входы и выходы ячейки должны быть по возможности удалены друг от друга.
3. Учитывая принцип формирования элементов топологии генератором изображений, не применять межсоединений переменной ширины. Все элементы соединений (как и элементы любого топологического слоя) должны представлять собой по форме прямоугольники или комбинацию из них.
4. Пересечения в электрических цепях можно реализовать над окислом с помощью проводника, проходящего поперёк резистора, или под окислом с помощью n^+ (или p^+) канала. Во втором случае может понадобиться специальная изолированная область. В МДП-структурах с поликремниевыми затворами пересечение может быть выполнено проводником поверх и поперёк затвора, поскольку последний имеет на поверхности защитную плёнку оксида.

Примеры топологических решений для ячеек.

На рис. 2,а приведена электрическая схема четырёхходового ТТЛ-вентиля И-НЕ, а на рис. 2,б – компоновочная схема.

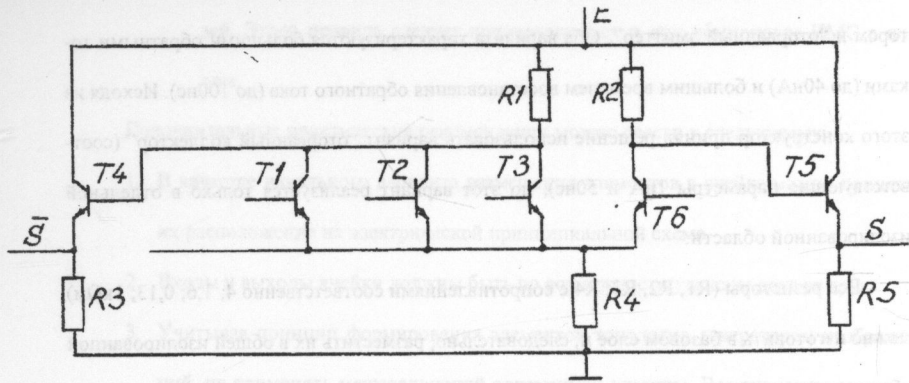
Анализ электрической схемы показывает, что функциональная интеграция возможна для катода диода и коллектора транзистора Т4 (общий потенциал и одинаковый тип проводимости). Задача сводится к организации двух транзисторов с общим коллектором, причём один из них должен быть в диодном включении. Транзистор в диодном включении в общем случае может быть реализован по одному из пяти вариантов [5]. В данном конкретном случае топологически возможны два варианта: замыкание эмиттера с коллек-

тором и “оторванный эмиттер”. Оба варианта характеризуются большими обратными токами (до 40нА) и большим временем восстановления обратного тока (до 100нс). Исходя из этого конструктор принял решение использовать вариант “оторванный коллектор” (соответствующие параметры 1нА и 50нс), но этот вариант реализуется только в отдельной изолированной области.

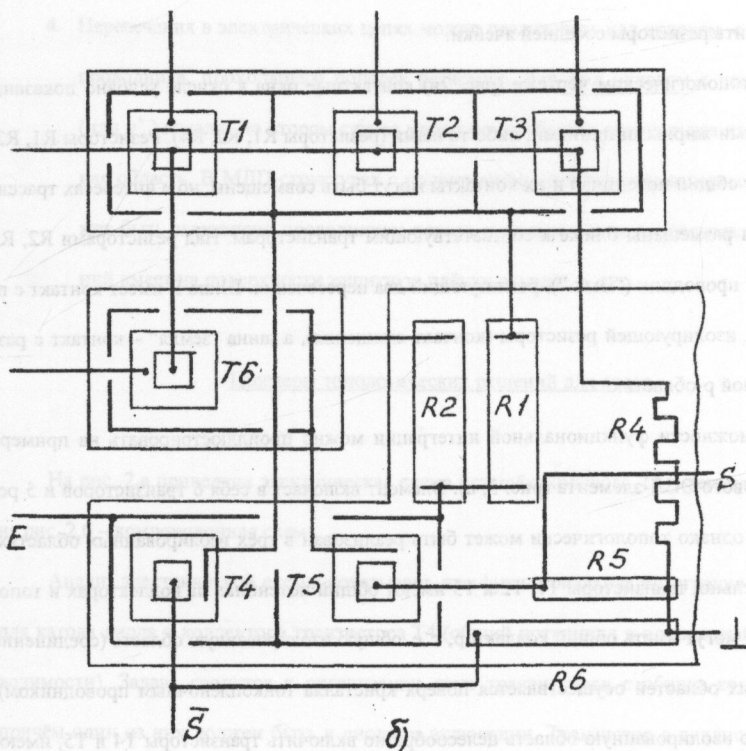
Все резисторы (R1, R2, R3, R4 с сопротивлениями соответственно 4; 1,6; 0,13; 1кОм) можно изготовить в базовом слое и, следовательно, разместить их в общей изолированной области с подачей на неё положительного потенциала смещения от источника питания. Потенциал смещения обеспечивает запирающие переходы, ограничивающих каждый резистор, и уменьшает паразитные связи между резисторами. Целесообразно в этой области расположить резисторы соседней ячейки.

На топологическом чертеже (рис. 2в) контактные окна в окисле условно показаны одинарными жирными линиями, либо точками (резисторы R1, R2, R4). Резисторы R1, R2, R3 имеют общий потенциал и их контакты могут быть совмещены, но в интересах трассировки они размещены ближе к соответствующим транзисторам. Над резисторами R2, R3 выполнен проводник (“Вых.”), реализующий два пересечения. Шина E имеет контакт с p-областью, изолирующей резисторы (контакт смещения), а шина “земля” – контакт с разделительной p-областью.

Возможности функциональной интеграции можно проиллюстрировать на примере трёхходового ЭСЛ-элемента (рис. 3, а). Элемент включает в себя 6 транзисторов и 5 резисторов, однако топологически может быть реализован в трёх изолированных областях. Действительно, транзисторы T1, T2 и T3 имеют общий потенциал на коллекторах и топологически могут иметь общий коллектор, т. е. общую изолированную область (соединение эмиттерных областей осуществляется поверх кристалла тонкоплёночным проводником). Во вторую изолированную область целесообразно включить транзисторы T4 и T5, имеющие на коллекторах общий потенциал питания +E, а также все резисторы. При этом взаимная изоляция резисторов автоматически обеспечивается наличием на изолированной

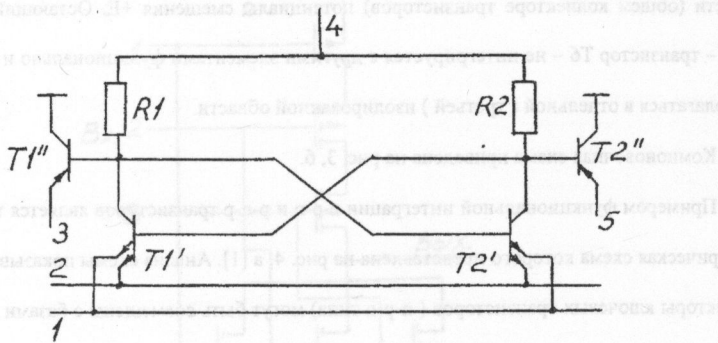


a)

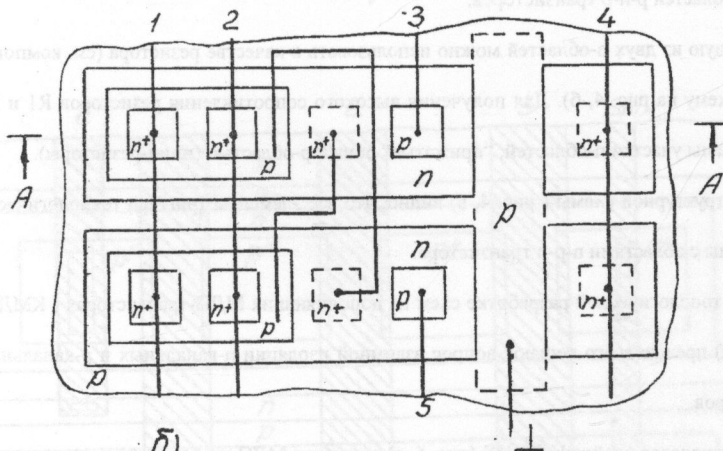


b)

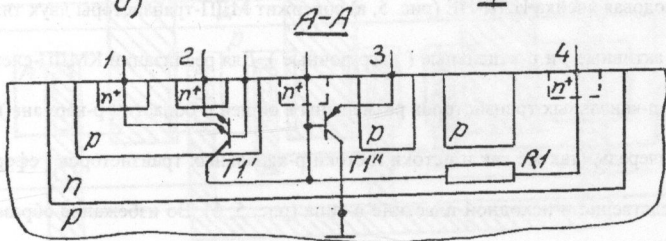
Рис. 3



a)



б)



б)

Рис. 4

Рис. 5

области (общем коллекторе транзисторов) потенциал Φ смещения $+E$. Остающийся элемент – транзистор Тб – не интегрируется с другими элементами функционально и должен располагаться в отдельной (третьей) изолированной области.

Компоновочная схема приведена на рис. 3, б.

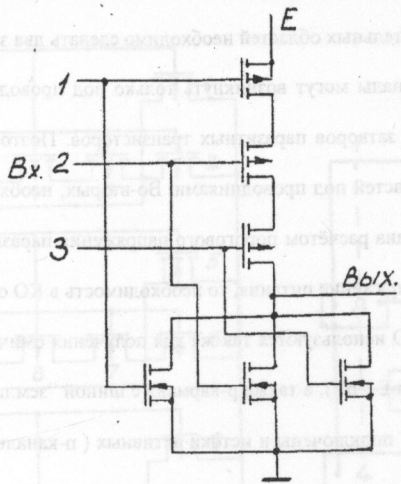
Примером функциональной интеграции p-p-n и p-n-p транзисторов является триггер, электрическая схема которого представлена на рис. 4, а [1]. Анализ схемы показывает, что коллекторы ключевых транзисторов (p-p-n типа) могут быть совмещены с базами транзисторов связи (p-n-p типа). В свою очередь, роль коллекторов p-n-p транзисторов, находящихся под потенциалом “земли”, может играть исходная пластина p-типа. Соединения р-пластины с “землей” обеспечивает одновременно и взаимную изоляцию p-областей, т.е. базовых областей p-p-n транзисторов.

Каждую из двух p-областей можно использовать в качестве резистора (см. компоновочную схему на рис. 4, б). Для получения высокого сопротивления резисторов R1 и R2 использованы участки p-областей, “прижатые” общей p-областью (пинч-резисторы).

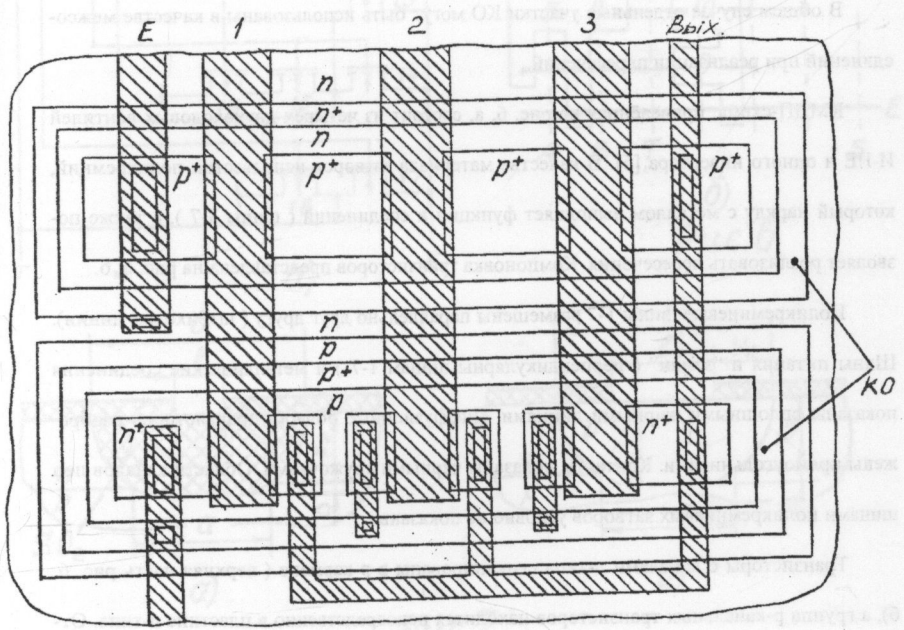
Из структурной схемы (рис. 4, в) видно, что все элементы триггера технологически совместимы с областями p-p-n транзистора.

При топологической разработке схем на дополняющих МДП-транзисторах (КМДП-структуры) прежде всего решают вопрос взаимной изоляции p-канальных и r-канальных транзисторов.

Трёхходовая ячейка ИЛИ-НЕ (рис. 5, а) содержит МДП-транзисторы двух типов: p-канальные (активные) и r-канальные (нагрузочные). Для реализации КМДП-схемы истоки и стоки p-канальных транзисторов размещены в общей r-области (r-кармане), которая, в свою очередь, (так же как и истоки и стоки r-канальных транзисторов) сформирована непосредственно в исходной пластине p-типа (рис. 5, б). Во избежание образования паразитных каналов r- и p-типа проводимости группа r-канальных и группа p-канальных транзисторов охвачены каналоограничительными областями (КО) соответственно n^+ - и p^+ -типа.



a)



б)

Рис.5

По поводу каналоограничительных областей необходимо сделать два замечания.

Во-первых, паразитные каналы могут возникнуть только под проводниками, которые в этом случае играют роль затворов паразитных транзисторов. Поэтому КО можно оформить в виде отдельных областей под проводниками. Во-вторых, необходимость введения КО должна быть обоснована расчётом порогового напряжения паразитных транзисторов и если оно превышает напряжение питания, то необходимость в КО отпадает [5].

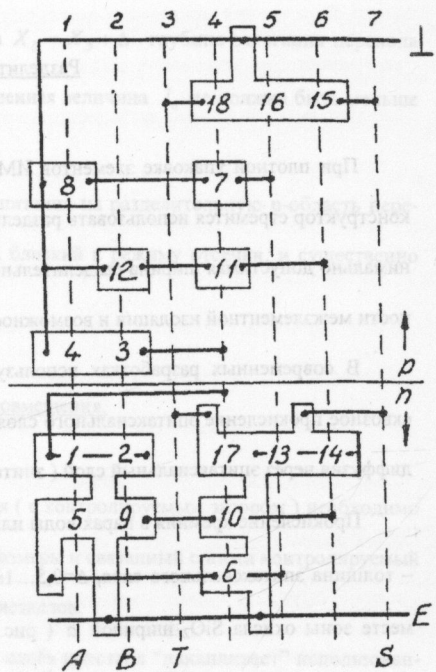
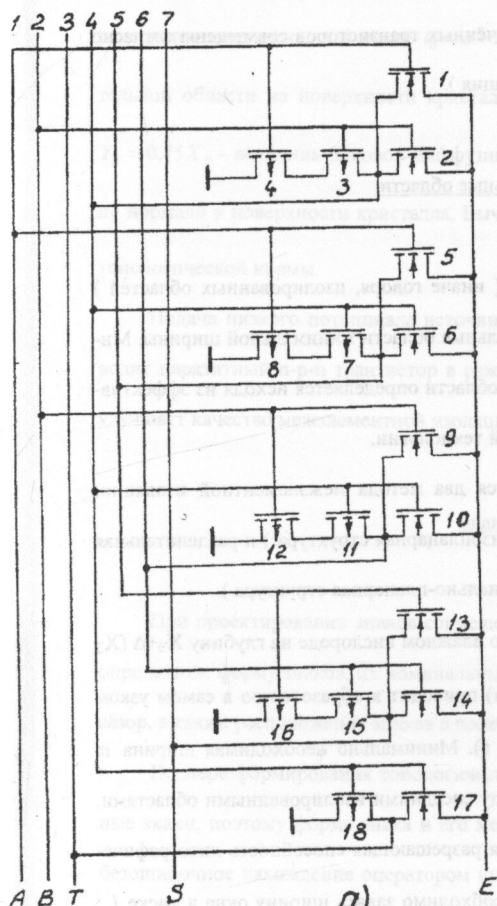
В приведённом примере КО используются так же для получения омических контактов n -пластины с шиной питания E (n^+), а также p -кармана с шиной “земли” (p^+). С помощью КО (p^+) к шине “земля” подключены истоки активных (n -канальных) транзисторов. Поскольку нагрузочные транзисторы включены последовательно, становится возможным объединение стоков и истоков транзисторов 1-2 и 2-3 (функциональная интеграция).

В общем случае отдельные участки КО могут быть использованы в качестве межсоединений при реализации пересечений.

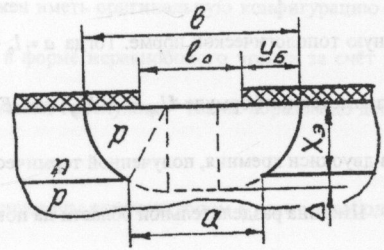
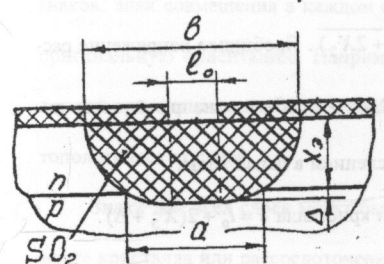
КМДП-схема, приведённая на рис. 6, а, состоит из четырёх двухходовых вентилях И-НЕ и одного инвертора [6]. В качестве материала затворов использован поликремний, который наряду с металлом выполняет функции и соединений (шины 3-7), а также позволяет реализовать пересечения. Компоновка транзисторов представлена на рис. 6, б.

Поликремниевые шины 1-7 размещены параллельно друг другу (штриховые линии). Шины питания и “земли” (перпендикулярны шинам 1-7) и металлические соединения показаны сплошными жирными линиями. Диффузионные области транзисторов изображены прямоугольниками. Контакты показаны чёрными кружочками. Области каналов под шинами поликремниевых затворов условно не показаны.

Транзисторы с каналами n -типа сгруппированы в p -кармане (верхняя часть рис. 6, б), а группа p -канальных транзисторов находится непосредственно в пластине n -типа. Ответвления от диффузионных областей стоков и истоков также реализуют пересечения и способствуют более плотной компоновке транзисторов. Как и в предыдущем примере, об-



б)
Рис.6



а)
Рис.7

ласти стоков и истоков последовательно включённых транзисторов совмещены согласно электрической схеме (функциональная интеграция).

Разделительные области.

При плотной упаковке элементов ИМС (иначе говоря, изолированных областей) конструктор стремится использовать разделительные области минимальной ширины. Минимально допустимая ширина разделительной области определяется исходя из эффективности межэлементной изоляции и возможностей технологии.

В современных разработках используются два метода межэлементной изоляции: сквозное прокисление эпитаксиального слоя (изопланарная структура) и разделительная диффузия через эпитаксиальный слой (эпитаксиально-планарная структура).

Прокисление кремния в парах воды или во влажном кислороде на глубину $X_3 + \Delta$ (X_3 – толщина эпитаксиального слоя, $\Delta = 0,5 \dots 1 \mu\text{км}$) приводит к образованию в самом узком месте зоны окисла SiO_2 шириной a (рис. 7, а). Минимально необходимая ширина a должна исключить электрический пробой между соседними изолированными областями. Определяющим ограничением, однако, является разрешающая способность литографического процесса. Для определения ширины a необходимо задать ширину окна в маске l_0 , равную топологической норме. Тогда $a = l_0 + 2\sqrt{\Delta(\Delta + 2X_3)}$. Пробивное напряжение рассчитывается по формуле $U_{пр} = a \cdot E_{пр}$, где $E_{пр} = 10^5 \text{ В/см}$ – пробивная напряжённость поля в двуокиси кремния, полученной термическим окислением в парах воды.

Ширина разделительной области на поверхности кристалла $b = l_0 + 2(X_3 + \Delta)$.

При изоляции р-п переходами (эпитаксиально-планарная структура) определяющим фактором является ширина a , играющая роль базы горизонтального паразитного р-п транзистора (рис. 7. б). В связи с этим следует задать ширину $a \geq 2L_n \sqrt{\frac{I_{ДЕ}}{L_n}}$ – диффузионная длина неосновных носителей (электронов) в разделительной р-области. Далее оп-

ределяется ширина окна в маске $l_0 = a - 2\sqrt{\Delta(\Delta + 2X_3)} + 0,5(X_3 + \Delta)$ и ширина разделительной области на поверхности кристалла $e = l_0 + 1,5(X_3 + \Delta)$. На рис. 7, б, величина $Y_B = 0,75X_{II}$ - величина боковой диффузии, а $X_{II} = X_3 + \Delta$ - глубина залегания перехода по нормали к поверхности кристалла. Вычисленная величина l_0 не должна быть меньше топологической нормы.

Подача низкого потенциала источника питания на разделительную р-область переводит паразитный п-р-п транзистор в режим, близкий к режиму отсечки, и существенно улучшает качество межэлементной изоляции.

Знаки совмещения.

При проектировании знаков совмещения (с контролируемым зазором) необходимо определить: форму знаков, их номинальные размеры и связанный с ними контролируемый зазор, а также расположение знаков в поле кристаллов.

По мере формирования топологических слоёв кристалл "накапливает" использованные знаки, поэтому форма знака и его местоположение должны обеспечивать быстрое и безошибочное нахождение оператором нужного знака среди других уже использованных знаков. Знак совмещения в каждом слое должен иметь оригинальную конфигурацию или оригинальную ориентацию. Например, знак в форме неравнобокого уголка за счёт различной ориентации даёт восемь вариантов и может "обслужить" таким образом до девяти топологических слоёв.

Знаки для всех слоёв могут быть сгруппированы конструктором в одном свободном месте кристалла или рассредоточены по полю кристалла, например, между периферийными монтажными площадками и даже в дефектной зоне. Для оператора, постоянно работающего с одним слоем (крупносерийное и массовое производство), более удобен второй вариант, когда "его знак" обособлен от других.

Размеры знаков совмещения должны быть таковы, чтобы не занимать значительной площади на кристалле и в то же время полностью просматриваться в поле зрения микроскопа. Поле зрения микроскопа зависит от его увеличения и убывает с ростом кратности увеличения. При этом также убывают рабочее расстояние и глубина резкости. Практически кратность увеличения выбирается в пределах $100 \dots 240\times$, а размеры знака совмещения – в пределах $20 \dots 30$ мкм.

Задав размер $A_{Ш}$ знака на шаблоне, размер $A_{П}$ знака на пластине определяют как $A_{П} = A_{Ш} + 2\delta_{Н}$, где $\delta_{Н}$ - номинальный зазор между знаками совмещения, т.е. равномерный зазор, который образуется при номинальных значениях размеров знаков и при идеальном их центрировании (совмещении).

Номинальный зазор рассчитывается по формуле $\delta_{Н} = 200 / \Gamma + \Delta_{И} + (\Delta_{П} + \Delta_{Ш}) / 2 + \Delta_{Доб}$. Здесь 200 (мкм) – линейное разрешение нормального глаза, Γ – кратность увеличения микроскопа, $\Delta_{И}$ - инструментальная погрешность (указывается в паспорте установки), $\Delta_{П}$ и $\Delta_{Ш}$ - предельная погрешность размеров знака соответственно на пластине и фотошаблоне, $\Delta_{Доб}$ - дополнительное расширение зазора с целью снижения зрительного напряжения оператора.

Предельная погрешность совмещения учитывается в расчётах размеров элементов топологического слоя ([4],[5]) и оценивается по формуле: $\Delta_{С} = \Delta_{П} + \Delta_{Ш} + \Delta_{И} + \Delta_{\Delta} + \Delta_{Доб}$, где Δ_{Δ} - предельная погрешность относительного расположения модулей в групповом фотошаблоне (погрешность шага). Эта погрешность указывается в паспорте фотоповторителя.

Компоновка ИМС на кристалле.

Размещение ячеек и устройств на кристалле, как и элементов в ячейке, должно отвечать требованиям плотной упаковки и сокращения длины связей. Необходимо также стремиться к квадратной форме кристалла.

Если кристалл ИМС рассчитан на проволочный или ленточный монтаж, монтажные площадки должны располагаться только по периферии кристалла. Монтажные площадки должны быть квадратными с размером 125x125 мкм и располагаться друг от друга на расстоянии кратном шагу 250 мкм. Для уменьшения паразитных токов (из-за “проколов” в изолирующей плёнке) целесообразно под каждой монтажной площадкой сформировать область, ограниченную p-n переходом. В схемах на биполярных p-p-n транзисторах в качестве такой области следует использовать эпитаксиальный кремний коллекторного слоя. Монтажные площадки для входных и выходных сигналов желательно располагать на разных сторонах кристалла. При наличии свободных позиций на периферии кристалла могут быть сформированы отдельные тестовые элементы с контрольными площадками, как это показано на тестовом кристалле (рис. 8).

В сигнальных цепях ширина проводников может быть принята равной 12-14 мкм (оптимальная ширина, выработанная практикой). Для шин питания и “земли” ширина рассчитывается из условия, что падение напряжения от периферийного контакта до любой ячейки ИМС не превышает допустимого значения. При этом удельное поверхностное сопротивление слоя металлизации принимается равным 0,1 Ом.

Одну из шин (обычно шину “земля”) часто располагают по контуру кристалла за пределами монтажных площадок (см. рис. 8). Это упрощает подачу потенциала смещения на изолирующие области. В ИМС на однородных, регулярно размещённых ячейках целесообразно обе шины оформить в виде “гребёнок”, вставленных одна в другую.

Конфигурация элементов в слое металлизации (проводники, площадки) должна представлять собой композицию прямоугольных элементов в соответствии с принципом работы генератора изображений. Совершенно недопустимо плавное изменение ширины проводников.

Расстояние от кромки кристалла до ближайших элементов металлизации (ширина дефектной зоны) должна быть не менее 50 мкм. Эта зона должна быть свободна от за-

шитного окисла, что облегчает последующее разделение групповой пластины на кристаллы.

Тестовые кристаллы.

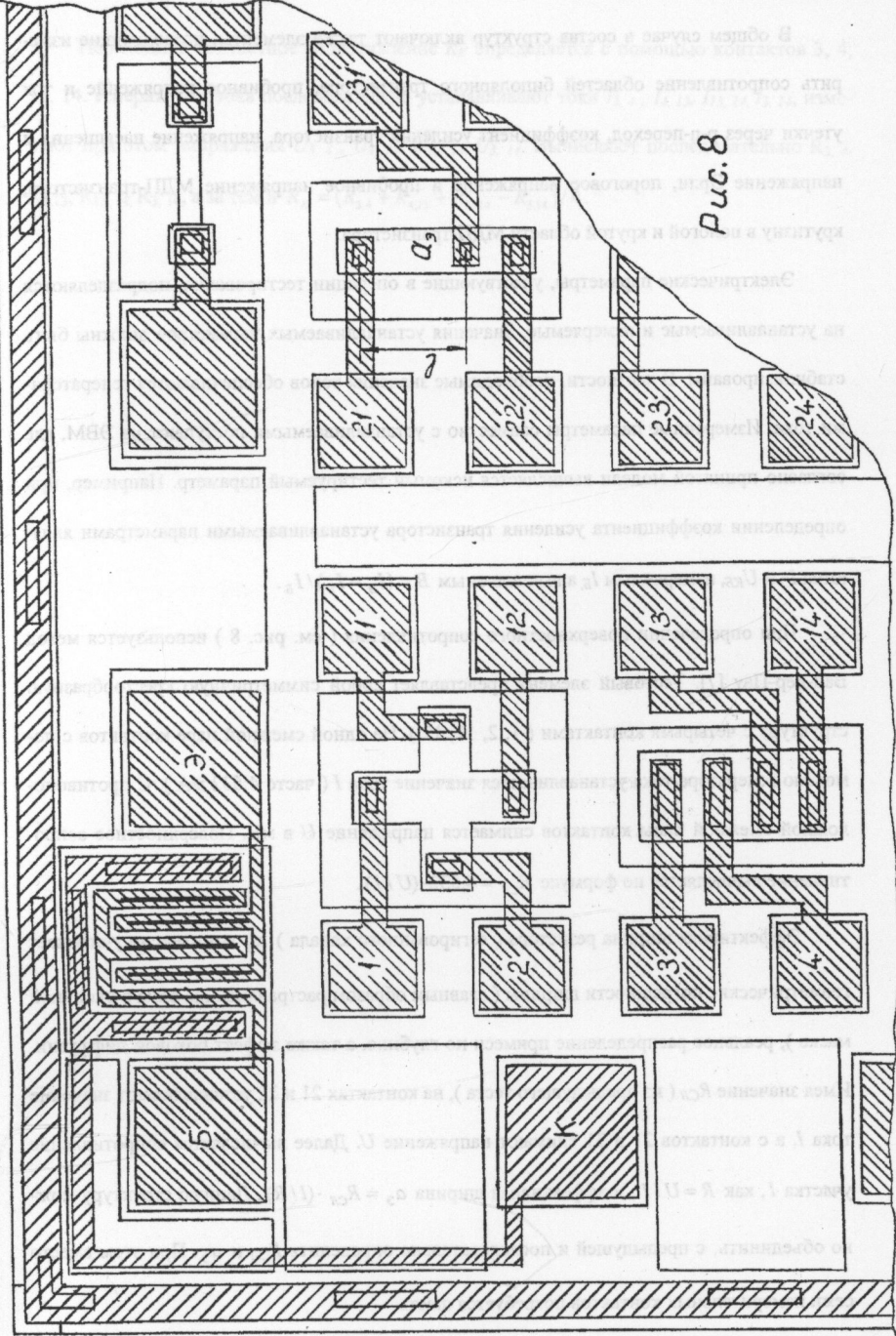
Зондовый контроль функционирования сформированных структур, который выполняется на групповой пластине перед её разделением на кристаллы, не даёт возможности определить электрические характеристики элементов, входящих в ИМС. Электрический контроль отдельных элементов невозможен, во-первых, из-за шунтирования соседними элементами и, во-вторых, из-за малой площади контактов с измерительными зондами.

Специально спроектированные тестовые структуры представляют собой совокупность взаимоизолированных типовых элементов (резисторов, диодов, транзисторов и их различных областей), снабжённых индивидуальными контактными площадками, больших размеров (100 или 125 мкм), пригодными для зондового контроля. Тестовая структура может занимать на групповой пластине один или несколько сгруппированных модулей. Целесообразно предусмотреть несколько одинаковых тестовых структур, размещённых в разных частях пластины. Тестовые структуры должны быть технологически совместимы с модулями ИМС и формироваться одновременно с ними.

Обычно элементы тестовой структуры компонуются так, чтобы их измерительные контакты образовывали упорядоченную матрицу. Это облегчает настройку зондовой измерительной головки.

На рис. 8 показан фрагмент тестового модуля, содержащего мощный p-p-n транзистор, пинч-резистор, а также специальные структуры для определения удельного поверхностного сопротивления $R_{сд}$ базового слоя (контакты 1, 2, 11, 12), переходного контактного сопротивления R_K (контакты 3, 4, 13, 14) и эффективной ширины a_2 резистора в базовом слое (контакты 21, 22, 31).

Рис. 8



В общем случае в состав структур включают также элементы, позволяющие изменить сопротивление областей биполярного транзистора, пробивное напряжение и ток утечки через р-п-переход, коэффициент усиления транзистора, напряжение насыщения и напряжение Эрли, пороговое напряжение и пробивное напряжение МДП-транзистора, крутизну в пологой и крутой области МДП-транзистора.

Электрические параметры, участвующие в операции тестирования, подразделяются на устанавливаемые и измеряемые. Значения устанавливаемых параметров должны быть стабилизированы. В частности, необходимые значения токов обеспечиваются генераторами тока. Измеренные параметры совместно с устанавливаемыми поступают на ЭВМ, где согласно принятой модели вычисляется искомый тестируемый параметр. Например, при определении коэффициента усиления транзистора устанавливаемыми параметрами являются I_3 и $U_{кб}$, измеряемым $I_б$, а вычисляемым $B = (I_3 - I_б) / I_б$.

При определении поверхностного сопротивления (см. рис. 8) используется метод Ван-дер-Пау [7]. Тестовый элемент представляет собой симметричную крестообразную структуру с четырьмя контактами (1, 2, 11, 12). На одной смежной паре контактов с помощью генератора тока устанавливается значение тока I (часто 4,532 мА). С противоположной смежной пары контактов снимается напряжение U в мВ. Поверхностное сопротивление вычисляется по формуле $R_{сл} = 4,532 \cdot (U / I)$.

Эффективная ширина резистора (легированного канала) a_3 комплексно учитывает геометрические погрешности ширины (главным образом растравливание окна в оксидной маске), реальное распределение примеси по глубине, а также эффект боковой диффузии. Имея значение $R_{сл}$ (из предыдущего теста), на контактах 21 и 22 устанавливают значение тока I , а с контактов 21 и 31 снимают напряжение U . Далее вычисляется сопротивление участка l , как $R = U / I$, и эффективная ширина $a_3 = R_{сл} \cdot (l / R)$. Данную структуру можно объединить с предыдущей и последовательно определить $R_{сл}$ и a_3 . При этом вместо семи измерительных контактов потребуется шесть.

Переходное контактное сопротивление R_K определяется с помощью контактов 3, 4, 13, 14. Генератором тока последовательно устанавливают токи $I_{3,4}$, $I_{4,13}$, $I_{13,14}$, $I_{3,14}$, измеряют при этом напряжения $U_{3,4}$, $U_{4,13}$, $U_{13,14}$, $U_{3,14}$. Вычисляют последовательно $R_{3,4}$, $R_{4,13}$, $R_{13,14}$, $R_{3,14}$, а за тем и $R_K = (R_{3,4} + R_{4,13} + R_{13,14} - R_{3,14})/4$.

СПИСОК ЛИТЕРАТУРЫ.

1. Коледов Л.А. Технология и конструкции микросхем, микропроцессоров и микроборков: Учебник для вузов. – М.: Радио и связь, 1989. – 400 с., ил.
2. Пономарёв М.Ф. Конструкции и расчёт микросхем и микроэлементов ЭВА. – М.: Радио и связь, 1982.-288 с., ил.
3. Пономарёв М.Ф., Коноплев Б.Г. Конструирование и расчёт микросхем и микропроцессоров. – М.: Радио и связь, 1986.-176 с., ил.
4. Парфёнов О.Д. Расчёт и конструирование интегральных резисторов: Методические указания к курсовому проектированию. – М.: МГТУ, 1994.-28 с., ил.
5. Парфёнов О.Д. Расчёт и конструирование интегральных транзисторов: Методические указания к курсовому проектированию. – М.: МГТУ, 1997.-20 с., ил.
6. Мурога С. Системное проектирование сверхбольших интегральных схем / Пер. с англ. под ред. В.М. Кисельникова. – М.: Мир, 1985. – 579 с., ил.
7. Павлов Л.П. Методы измерения параметров полупроводниковых материалов: Учебник для вузов. – М.: Высшая школа, 1987.-239 с., ил.

