



**МОСКОВСКИЙ
АВИАЦИОННЫЙ
ИНСТИТУТ**

**А.А. НАЗАРОВ
А.В. НАЗАРОВ
М.Л. СОКОЛЬСКИЙ**

**АВТОМАТИЗИРОВАННОЕ
ПРОЕКТИРОВАНИЕ
И ТЕХНОЛОГИЧЕСКАЯ
ПОДГОТОВКА ПРОИЗВОДСТВА
ПЕЧАТНЫХ ПЛАТ
СРЕДСТВАМИ
СИСТЕМЫ РСАД**

Москва • 2003

**УЧЕБНОЕ ПОСОБИЕ
ЛОНЧАК**

Высокий уровень качества современных радиоэлектронных средств достигается за счет применения средств и систем автоматизированного проектирования (САПР) на основе персональных компьютеров. Наибольшее распространение в промышленности получила система PCAD (Personal Computer Aided Design) [3—8]. Принципы построения и организация диалога с этой системой пользователя характерны для большинства подобных систем. Широкое внедрение в отечественную радиопромышленность зарубежных САПР радиоэлектронной аппаратуры на персональных компьютерах PCAD и OrCAD по времени совпало с появлением на отечественном рынке компьютеров IBM PC. Круг решаемых обеими системами задач был практически одинаков и включал в себя графический ввод и моделирование принципиальной электрической схемы, разработку печатных плат и проектирование программируемых логических интегральных схем. Каждый из пакетов имеет свои особенности, которые и определили круг пользователей. По функциональным параметрам ни одна из систем не уступает другой. Шло время. Система PCAD стала практическим стандартом на промышленных предприятиях, обеспечивая выпуск конструкторской и технологической документации [1—5]. За неполные десять лет своего существования система PCAD прошла известную эволюцию. Версии с 5-й по 7-ю системы не сыграли заметную роль на нашем рынке; версии системы PCAD 8.0, 8.5 в настоящее время в отечественной промышленности активно не используются; «последнюю» версию системы PCAD для MS-DOS, появившуюся в 1998 году, постигла та же участь.

Таким образом, прежняя версия системы PCAD 4.6 широко используется до настоящего времени. Несмотря на это, в отечественной литературе испытывается серьезный дефицит в учебно-методических материалах, систематически излагающих методику проектирования печатных плат (ПП) в системе PCAD. Кроме того, профессиональное владение средствами PCAD невозможно без знания структуры ее базы данных. Эти вопросы в современных руководствах и учебных пособиях по системе PCAD почти не рассматриваются.

В настоящем пособии описывается работа с версией PCAD 4.6, которая позволяет проектировать печатные платы (ПП), содержащие до 500 электрорадиоэлементов (ЭРЭ), 1000 цепей и 32000 контактов.

Максимально возможные габариты проектируемых плат составляют 480x600 мм. В пособии также рассматриваются вопросы применения системы PCAD для решения задач конструкторского проектирования и технологической подготовки производства (ТП). Приводится методика поиска и устранения ошибок проектирования с использованием знания структуры базы данных системы PCAD в формате взаимодействия с ней других САПР (PDIF-база данных).

Система PCAD работает под управлением операционной системы MS-DOS может запускаться как виртуальная задача под Windows. PCAD предъявляет следующие требования к составу аппаратных средств персонального компьютера: оперативная память объемом 640К (непрерывный участок 510К); объем «жесткого диска» не менее ЮМ, графический адаптер CGA, EGA или VGA; любой накопитель на гибком магнитном диске; устройство ввода «мышь»; матричный или лазерный принтер и графопроектор (плоттер).

Работая над созданием проекта в системе PCAD, конструктор последовательно выполняет четыре этапа проектирования. На первом этапе на жестком диске создается структура каталогов для хранения программного обеспечения системы и каталогов пользователей. На втором этапе в систему вводятся элементы и принципиальная электрическая схема (ПЭС) функционального узла. Задачей третьего этапа является выбор рационального размещения ЭРЭ на печатной плате и разводка печатных проводников (трассировка). Результаты проектирования реализуются на последнем четвертом этапе технологической подготовки производства в виде конструкторской документации, выводимой на устройство печати и графопроектор (плоттер).

Система PCAD — это пакет специализированных прикладных программ, каждая из которых выполняет отдельную проектную операцию. Порядок использования этих программ, т. е. выбор маршрута проектирования, определяется конструктором. Ниже приведена последовательность этапов так называемого сквозного маршрута проектирования ТП, позволяющего по исходным данным получить результат проектирования в полном объеме:

- создание схемных и конструкторских изображений ЭРЭ;
- создание и контроль ПЭС, выделение списка цепей;
- задание файла соответствия элементов схемы и конструкций;
- подготовка чертежа базовой конструкции печатной платы;

■ упаковка информации об ПЭС и печатной плате в файл конструкции;

- автоматическое размещение ЭРЭ на печатной плате;
- трассировка межсоединений ПП;
- подготовка проекта к выводу на технологические автоматы;
- получение конструкторской и технологической документации.

Рассмотрим методику реализации на персональном компьютере каждого этапа конструирования ПП, включая работу с графическими редакторами системы, работу с программой трассировки межсоединений ПП и программами технологической подготовки производства ПП.

1. ОБЩИЕ СВЕДЕНИЯ О СИСТЕМЕ PCAD

1.1. Структура информационного обеспечения

Программное обеспечение системы PCAD, библиотеки ЭРЭ и результаты проектирования хранятся в файлах винчестера. Для удобства поиска необходимой информации (программ и данных) файлы распределены по отдельным каталогам в соответствии с иерархической структурой, представленной на рис. 1, а. Символом «C:\» здесь обозначен корневой каталог винчестера. В нем обязательно должен находиться служебный файл с именем PCADDRV.SYS — так называемый файл конфигурации драйверов системы PCAD. Как показывает содержание этого текстового файла, приведенное на рис. 1, б, он содержит список путей к драйверу системы (SYSTEM), ее дисплейному драйверу (DISPLAY) и к драйверу мыши (INPUT).

C:\	PCAD\	DRV
C:\	PCAD\	EXE
C:\	PCAD\	SYM
C:\	PCAD\	PRT
C:\	PCAD\	USER

а)

SYSTEM	d:	\PCAD \DRV \SIEMPC.DRV
DISPLAY	d:	\PCAD \DRV \DIEMVGA.DRV
INPUT	d:	\PCAD \DRV \IMSER.DRV

б)

Рис. 1

В корневом каталоге Winchester должен находиться подкаталог с именем PCAD, который включает следующие подкаталоги: EXE — содержит выполняемые модули системы; DRV — содержит драйверы системы — подпрограммы управления устройствами ввода/вывода; SYM — содержит файлы с расширением *sym*, являющиеся элементами ПЭС (библиотека слесных ЭРЭ); PRT — содержат файлы с расширением *pri* — библиотека конструкторских ЭРЭ; USER — рабочий подкаталог с файлами проекта. Для краткости изложения далее вместо слов «файл с расширением *xxx*» будем писать «*xxx*-файлы».

Каждому электрорадиоэлементу в системе соответствуют два файла: один помещается в каталог SYM и представляет элемент ПЭС, другой — в каталог PRT и представляет элемент ПП. Например K155LA3.SYM и K155LA3.PRT. К промежуточным результатам проектирования относятся, например, список цепей (*nit*-файл), упакованная информация о ПЭС и ПП в *pkg*-файле, информация о размещении ЭРЭ на ПП в *pic*-файле, командный *cmd*-файл и ряд других. Окончательные результаты проектирования включают ПЭС в *sch*-файле, сборочный чертеж и топологию печатного узла в *pcb*-файле (от Printed Circuit Board — ПП), а также *pri*-файлы — управляющие программы для принтера и плоттера.

1.2. Принципы работы с графическими редакторами

Система PCAD содержит три графических редактора (ГР): редактор ПЭС (*Pecards*); редактор печатной платы (*Pecards*) и редактор размещения ЭРЭ на плате (*Pcplace*). Все ГР имеют одинаковое оформление рабочего поля экрана и схожие принципы управления.

Все редакторы системы распределяют информацию о проекте по отдельным слоям. Слои подобны прозрачным калькам, на каждую из которых можно наносить различные элементы проекта. Слои организованы так, что каждый из них имеет имя (6 символов), цвет (число от 1 до 15) и одно из трех состояний: ON — в этом состоянии слой виден на экране и доступен для удаления из него графической и текстовой информации; OFF — слой не виден на экране и не доступен для редактирования; AVL — слой виден на экране и доступен для редактирования, если его сделать активным (в любой момент времени может быть активен только один слой, из всех, находящихся в состоянии AVL, слои с другими состояниями не могут быть активными по

определенно). Состояния можно переключать по команде VLYR. Если перевести все слои в состояние ABL, то на экране будет показан общий чертеж проекта в виде наложенных друг на друга элементов чертежа из разных слоев.

Стандартные назначения слоев редактора Pccaps (Pccards) приведено в табл. 1. и табл. 2.

Таблица 1

№ п/п	Имя слоя	Цвет	Статус	Информация, содержащаяся в слое, и режимы работы со слоями
1	WIRES	1	ABL A	Цепи принципиальной электрической схемы (DETL/ENTR/WIRE)
2	BUS	1	ABL	Шины принципиальной электрической схемы (DETL/DRAWLINE)
3	GATE	2	ON	Условное графическое изображение ЭФЗ по ГОСТ (SYMB/DRAW...)
4	IEEE	2	OFF	Условное графическое изображение ЭФЗ в системе IEEE
5	PINFUN	3	OFF	Функция вывода (SYMB/ENTR/PIN)
6	PINNUM	1	OFF	Номер вывода (SYMB/SCMD/PNLC)
7	PINNAM	6	ON	Имя вывода (SYMB/ENTR/PIN)
8	PINCON	4	ON	Координаты вывода (SYMB/ENTR/PIN)
9	REFDES	2	OFF	Имена объектов ЭФЗ (например, DD12) (DETL/SCMD/PNUM)
10	ATTR	6	OFF	Видимые атрибуты (координаты ключевой точки) (SYMB/ATTR/ACOM)
11	SDOT	1	OFF	Точки пересечения проводников, принадлежность одной цепи
12	DEVICE	5	ON	Наименование ЭФЗ (например K155LA3) (SYMB/DRAW/TEXT)
13	OUTLIN	5	ON	Для полумасштабных проектов — наименование выходных линий
14	ATTR2	6	OFF	Не видимые атрибуты (SYMB/ATTR/ACOM)
15	NOTES	6	OFF	Текстовые примечания (DRAW/TEXT)
16	NETNAM	4	OFF	Имена цепей принципиальной электрической схемы (NAME/NET)
17	COMPAM	5	OFF	Имена ЭФЗ принципиальной электрической схемы (NAME/COMP)
18	BORDER	5	OFF	

№ п/п	Имя слоя	Цвет	Статус	Код	Информация, содержащаяся в данном слое
1	PIN	1	ABL A	0	Координаты и номера выводов ЭФЗ (SYMB/ENTR/PIN)
2	BRDOUT	1	ABL	0	Зона трассировки (замкнутая линия шириной 0) (DETL/DRAW/LINE)
3	SLKSCR	2	ON	1	Условие графического изображения ЭФЗ по ГОСТ (SYMB/DRAW/...) Слой сборочного чертежа ПП (DETL/DRAW/...)
4	DEVICE	2	OFF	2	Нанесение ЭФЗ (например KISSLA3) (SYMB/DRAW/TEXT)
5	ATTR	3	OFF	2	Видимые атрибуты (футпринт) (SYMB/ATTR/COM)
6	REFDES	1	OFF	2	Имена ЭФЗ на ПП (например DD12) (DETL/NAME/COMP)
7	COMP	6	ON	1	Монтажная графика ПП — 1-й слой (DETL/ENTR/WIRE)
8	SOLDER	4	ON	1	Монтажная графика ПП — 2-й слой (DETL/ENTR/WIRE)
9	INT1	2	OFF	2	Монтажная графика ПП — 1-й внутренний слой (DETL/ENTR/WIRE)
10	INT2	6	OFF	2	Монтажная графика ПП — 2-й внутренний слой (DETL/ENTR/WIRE)
11	PINTOP	1	OFF	2	Координаты и номера плавающих выводов ЭФЗ (SYMB/ENTR/PIN)
12	SLKTOP	5	ON	1	УГО ЭФЗ только в верхнем слое по ГОСТ (SYMB/DRAW/...)
13	DVCTOP	5	ON	1	Нанесение ЭФЗ только в верхнем слое (SYMB/DRAW/TEXT)
14	BARTOP	5	OFF	2	Области запрета установки ЭФЗ (DETL/DRAW/FREC)

Рассмотрим пример: пусть в среде редактора **pcvars** требуется перевести в активное состояние выключенный слой **GATE**. Для этого необходимо:

- активизировать команду **VLYR** и получить список слоев, приведенный в табл. 1;
- в этом списке в строке с именем слоя **GATE** установить

клавиатурой или «мышью» курсор (в форме прямоугольника) на параметр OFF и нажимать левую клавишу мыши (далее #1) до тех пор, пока не появится слово AVI;

- переместить курсор правее слова AVI (в этой же строке) и нажать #1 (нажатие #1 эквивалентно нажатию клавиши пробел («Space») при выполнении любых команд ГР).

Запуск ГР осуществляется командой: **Росарс — R**, где параметр (-R) позволяет игнорировать диалог с редактором с целью изменения его параметров, его настройки или конфигурации. Взазов ГР без параметра (-R) позволяет задавать конфигурацию в форме диалога через меню. Сразу загрузки ГР на экране появится рабочее поле экрана в виде, представленном на рис. 2.

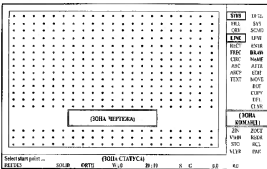


Рис. 2

Это поле разделено на три зоны: 1) зона чертежа ограничена двойной квадратной рамкой, 2) зона команд — справа от зоны чертежа; 3) зона статуса — самая нижняя строка. Зона чертежа предназначена для ввода и редактирования графической информации. Идентификация объектов и указание координат точек в зоне чертежа произ-

водится при помощи курсора, имеющего форму креста, который перемещается по экрану синхронно с перемещением мыши или стрелок клавиатуры. При попадании курсора в зону команд или в зону статуса он принимает вид прямоугольника, схватывающего команду.

Зона команд содержит меню команд ГР. Пользователь может активизировать любую команду меню, указав на нее курсором, используя мышь или стрелки клавиатуры. После указания необходимо нажать левую клавишу «мышь» (клавишу #1) — команда сразу активизируется и представляет пользователю второе меню команд, расположенное левее первого. Это второе меню содержит названия так называемых опций — вариантов выполнения активной в данный момент команд правого меню. В табл. 1 и 2 в графе «Информация...» приведены команды, которые обычно используются для внесения графической и текстовой информации в слой с именем из 2-й графы этой же строки табл.

Зона статуса предназначена для указания параметров активной в данный момент команды, настраивая каждую из них на конкретное выполнение, а также для выдачи сообщений текущего состояния системы пользователю и для приема от него так называемых клавиатурных команд. В отличие от команд, размещенных в зоне команд рабочего поля ГР, клавиатурные команды вводятся в командной строке зоны статуса. Эта строка в обычном состоянии ГР не доступна, однако при нажатии клавиши с символом «/» — активизируется. В режиме ввода клавиатурных команд пользователю разрешено выдавать любую команду или опцию из зоны команд экрана, а также ряд других полезных команд. Например, по команде **PTV** (удобный обзор) ГР опнишет все элементы чертежа минимально возможным прямоугольником и покажет его весь на экране (опнишет весь проект в экран). Другой пример: клавиатурная команда **RULR** (линейка) позволяет измерять объекты на чертеже и так далее.

Остановимся на технике ввода текста по команде **DRAW** с опцией **TEXT** (далее будем записывать эту и другие команды в виде **DRAW/TEXT**). Текст выводится на экран в точку указания его местоположения (точку привязки текста) как бы заключенный в прямоугольник. Для совмещения системой этого прямоугольника с точкой привязки текста, которую задал пользователь, в строку статуса помещены два параметра, называемые параметрами выравнивания — две буквы, указывающие, какая точка прямоугольника из 9 возможных (так на-

заданные точки выравнивания текста) будет совмещена системой с точкой привязки, причем первая буква параметров выравнивания указывает направление смещения точки выравнивания от центра прямоугольника по горизонтали и, следовательно, может принимать только значения: L(влево), R(вправо) или C(по центру, т. е. «нет смещения»), а вторая — по вертикали и тоже может принимать только три разрешенных значения: B(вниз), T(вверх) и C(по центру). Параметры выравнивания текста, принимаемые по умолчанию (LB), приведут к тому, что текст расположится относительно точки выравнивания вверх и вправо.

Графическая информация изображается и редактируется в прямоугольной системе координат. Для удобства пользователя в зоне чертежа экрана желтыми точками показываются узлы ортогональной координатной сетки (далее просто узлами сетки). Если эти точки мешают обзору рисунка, их можно погасить, нажав клавишу функциональную F6 клавиатуры. Другие функциональные клавиши выполняют действия, описанные в табл. 3.

Таблица 3

№ п/п	F _n	Наименование	Эффект применения функциональной клавиши
1	F1	«Активный слой»	Последовательно делает активными слои, находящиеся в состоянии A/B.
2	F2	«Режим линии»	Обеспечивает циклическое переключение между не ортогональным (ANG), ортогональным (ORTH) и проведенным линией под углом 45° (45D).
3	F3	«Имя цепи»	Запрашивает и присваивает имя цепи, вводимой в данный момент по ENTER/WIRE.
4	F4	«Имя ЭРЭ»	Запрашивает и присваивает имя ЭРЭ, вводимого по ENTER/COMP.
5	F5	«Размер текста»	Меняет по запросу размер текста, вводимого по DRAWTEXT, NAME/NET и др.
6	F6	«Ориентация текста»	Обеспечивает циклический поворот вводимого текста на 90°.
7	F7	«Отображение сетки»	Циклически включает/выключает изображение узлов сетки.
8	F8	«Движение курсора»	Переключает режим перемещения курсора с дискретного на непрерывный и назад.
9	F9	«В зону статуса»	Перемещает курсор в зону статуса и обратно.
10	F10	«В зону команд»	Перемещает курсор в зону команд и обратно.

Расстояния между узлами сетки измеряются в единицах базы данных. Для обозначения этой единицы принята аббревиатура DBU (от Data Base Unit — единица базы данных). Эта единица (DBU) определяет минимально возможное расстояние между соседними узлами сетки и определяет таким образом разрешающую способность ГР. Все ГР системы поддерживают две системы измерения единиц базы данных (DBU) — дюймовую и метрическую.

В дюймовой системе 1 DBU = 0,01 дюйма (для ГР Pccaps) и 1 DBU = 0,001 дюйма (для ГР Pccards). В метрической — 1 DBU = 0,1 мм (для Pccaps) и 1 DBU = 0,01 мм (для Pccards).

Редактор Pccaps (Pccards) работает в двух режимах: в режиме редактирования ЭРЭ для ПЭС (для ПП) и в режиме редактирования самой ПЭС (для ПП). Первый режим устанавливается командой SYMB (от слова SYMBOL — элемент, символ), второй — командой DETL (от слова DETAIL — подробный). Существование обоих режимов обусловлено наличием двух основных независимых друг от друга разделов базы данных PCAD, называемых SYMBOL и DETAIL, в которые и попадает вводимая пользователем информация о проекте, т. е. неправильная установка режима в самом начале работы с ГР неминуемо приведет к потере всей введенной пользователем информации.

1.3. Организация данных в системе PCAD

Группы файлов PCAD. Информация о проекте, как было сказано, хранится на жестком диске в файлах. Для классификации файлов проекта системы PCAD введем определение: *группой файлов* назовем совокупность файлов с одинаковым расширением. Основные группы файлов, используемые в системе PCAD, приведены в табл. 4.

Содержание групп файлов: *sym*, *sch*, *prt*, *pcb* и *ps* определяет состояние проекта PCAD в любой момент времени, причем (*sym* и *sch*) определяют состояние проекта принципиальной схемы (схематический проект), а (*prt*, *pcb*, *ps*) — состояние проекта на ПП (конструкторский проект). Файлы, описывающие состояние проекта на ПП, содержат: *prt* — изображение ЭРЭ на плате (один файл *prt* — один ЭРЭ); *pcb* — конструкция платы; ее форма, расположение ЭРЭ, топология; *ps* — форма всех контактных площадок (КП) проекта. Файлы, описывающие состояние проекта на ПЭС, содержат: *sym* — изображение ЭРЭ на схеме (один файл *sym* — один ЭРЭ); *sch* — ПЭС.

№ п/п	Тип	Назначение группы файлов	Программа — создатель
1	alt	Список целей в текстовом виде	Создает пользователь
2	cfg	Текущая конфигурация программы	Все GP, reprint, reports
3	cmd	Командный файл	Все GP
4	ctf	Стратегия трассировки	Рсroute
5	err	Перечень ошибок проекта Рсrack	Рсrack
6	fil	Соответствие имен ЭРЭ схемы и ПП	Создает пользователь
7	hit	Список целей в двоичном виде	Рсnodes
8	Ddf	База данных в текстовом формате	Рсdfout
9	reb	База данных проекта на ПП	Рсcards
10	Rcg	Проект на ПП до этапа размещения	Рсrack, Рсnit
11	rlh	Библиотека ЭРЭ на ПП	Рсrlb
12	rlc	Проект на ПП после размещения ЭРЭ	Рсrlace или пользователь
13	prl	Библиотечный ЭРЭ на ПП	Рсcards
14	ps	Описание контактной площадки	Рсcards
15	sch	База данных проекта на схеме	Рсcards
16	slh	Библиотека ЭРЭ на схеме	Рсrlb
17	ssl	Соответствие «форм-типа» площадки	Создает пользователь
18	styl	Библиотечный ЭРЭ на схеме	Рсcards

База данных PDIF. Структуру базы данных PCAD проще всего изучать в формате PDIF (PCAD Data base Interchange Format), т. е. в формате взаимодействия с ней других САПР. База данных PDIF представляет собой группу pdf-файлов. Система позволяет для каждого файла любой группы файлов из табл. 5 может быть получен соответствующий ему текстовый pdf-файл. Будем называть каждый такой файл *файл-источником*, а информацию, содержащуюся в файле-источнике — *частью проекта*. Например, файлу-источнику KISSLA3.SYM соответствует pdf-файл KISSLA3.PDF.

Для преобразования файла-источника в формат PDF необходи-

№ п/п	Тип ЭРЭ	Номер
1	Микросхемы	10000
2	Резисторы	11100
3	Емкости	11200
4	Индуктивности	11300
5	Триоды	11400
6	Другие дискретные ЭРЭ	11000
7	Переключатели	12000
8	Разъемы	13000

можно выполнить команду: `pdifout k1551a3.sum k1551a3.pdf`, а для обратного преобразования PDF-файла в файл-источник используется команда:

`pdifin k1551a3.pdf k1551a3.sum`

Любой pdf-файл состоит из заголовка и пяти разделов. Каждый раздел состоит из секций. Расположение разделов и секций строго упорядочено и отражает их соподчиненные, которое можно проиллюстрировать ориентированным графом на рис. 3,а. Здесь А — имя раз-



Рис. 3



Рис. 4

екта в виде «черного ящика», а раздел D — фактическую схему соединения или конструкцию, представленную «черными ящиками» более низкого уровня проекта.

Самый верхний уровень проекта имеет пустой раздел S (рис. 4,б).

Самый нижний уровень проекта имеет пустой раздел D, так как «черный ящик» нижнего уровня проекта весь представлен в секции S (рис. 4,а). Фактически нижний уровень проекта — это группа файлов-источников *prt*. Наличие в проекте обоих не пустых разделов S и D (рис. 4,а) характерно для так называемого «иерархического» типа проекта, который поддерживается только для схематической БД (рис. 5). Для конструкторской БД система PCAD поддерживает только «плоский» тип проекта, структура которого представлена на рис. 4,г.



Рис. 5

Содержание разделов БД PCAD. Графы и примеры записей первого (ENVIRONMENT) и второго (USER) разделов приведены на рис. 6 и 7. Третий раздел (DISPLAY) содержит только операторы обращения к активному слою, отображающие текущие атрибуты графика и текста. Обращение к слою в PDF-файле производится с помощью оператора: [Lu "ИМЯ СЛОЯ"], за которым следует описание характеристик графической и текстовой информации, представленной в этом слое (здесь Lu — ключевое слово, а "ИМЯ СЛОЯ" — оператор). Характеристики текста и графики вводятся операторами: [Ls "ТИП-ЛИНИЙ"] [T] "КОДЫ -ВЫРАВНИВАНИЯ - ТЕКСТА" [Tr УГОЛ-ПОВОРОТА-ТЕКСТА-В-ГРАДУСАХ] [Wd ШИРИНА-ЛИ-

НИЙ) [Tz РАЗМЕР ТЕКСТА] [Tm "КОД ЗЕРКАЛЬНОГО ОТОБРАЖЕНИЯ]) и могут изменяться по мере необходимости. Приведенные в операторах комментарий в апострофах — суть текстовая последовательность, а без апострофов — числа. Латинские буквы, скобки и апострофы являются ключевыми символами и не подлежат изменению. В качестве примера приведем (с пояснениями) последовательность операторов файла PDF, задающую характеристики стандартной графики изображения конструкции ЭРЭ со штырьковыми выводами: [Ly "SLKSCR"] — активизируем слой сборочного чертежа, [Ls "SOLID"] — сплошные линии (DASHED — штрих, DOTTED — пунктир), [Wd 0] — линии нулевой толщины (без утолщения), [Tz 80] — высота букв = 80 DBU, [Tj "LB"] выравнивает точку привязки текста на левый (L) нижний (B) угол; [Tm "N"] — нет зеркального отображения текста ("M" — есть). [Tt 0] — буквы стоят вертикально. Пример записи раздела DISPLAY:

{DISPLAY [Ly «PIN»][Ls «SOLID»][Wd 6][Tz 50] [Tj «LB»][Tt 0]}

Раздел SYMBOL. Граф раздела приведен на рис. 8. Секция PIN_DEF определяет выводы ЭРЭ, имя которого указано в заголовке pdf-файла. Данная секция состоит из одной подсекции P для каждого вывода. Граф подсекции P дан на

рис. 9. Она имеет следующие параметры: NAME — наименование вывода; Pt — тип контакта, т. е. число в диапазоне от 0 до 255, кодирующее его форму; Lq — логическая эквивалентность вывода; Ploc — координаты вывода. Например, на рис. 10 дана секция PIN_DEF транзистора КТЗ 15 (рис. 11).

Секция PIC включает графику и текст, которые составляют изображение ЭРЭ на сборочном чертеже ПП. Ее формат: {PIC ОБРАЩЕНИЕ-К-СЛОЮ {CODi PARI}...{CODi PARI}}. Параметр ОБРАЩЕНИЕ-К-СЛОЮ идентифицирует: имя слоя, параметры текста и линий в формате, изложенном выше. Параметры CODi и PARI определяют код графического элемента и его местоположение и размеры соответственно. Могут задаваться следующие элементы графики: {R XH YH XK YK} — прямоугольный контур, {FR XH YH XK YK} — закры-

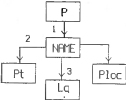


Рис. 9

```
{PIN_DEF [Ly 'PIN']
  {P 1 {Pt 0} {Lq 0} {Ploc 0 0}}
  {P 2 {Pt 0} {Lq 0} {Ploc 250 0}}
  {P 3 {Pt 0} {Lq 0} {Ploc 500 0}} }
```

Рис. 10

ишенный цветом слов прямоугольник, где XH/YH и XK/YK — координаты двух противоположных по диагонали углов прямоугольника; $\{T \text{ ТЕКСТ} \ XT \ YT\}$ — текст, где XT/YT — координаты точки привязки текста на экране; $\{L \ XO \ YO \ XI \ YI \dots \ Xn \ Yn\}$ — ломаная, заданная координатами своих точек перегиба; $\{C \ Xn \ Yn \ R\}$ — окружность радиуса R с центром в точке Xn/Yn . Секция PIC для транзистора КТ315 имеет вид

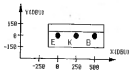


Рис. 11

```
{PIC [Ly «SLKSCR»] [Ls «SOLID»][Wd 6][Ts 30][T] «LB» [Tr 0] [Tm «N»]
[L 750 -150 -125 -150 -125 150 750 150 750 -150] [L -125 50 750 50] [Ly
«PIN»] [Ts 50]{T «K» 125 -140}{T «B» 375 -140}{T «E» -100 -140} }.
```

Секция SPKG содержит информацию о соответствии имен (NAM) и номеров (N) выводов ЭРЭ. Если в корпусе содержится один логический элемент (ЛЭ), то формат секции SPKG имеет вид $\{SPKG \{Sna \ A\} \{Sp \ NAM_1\} \{Sp \ NAM_2\} \dots \{Sp \ NAM_n\} \}$, где параметр Sna задает имя вентиля в корпусе, которое выбирается из ряда A, B, ..., Z, AA, ..., AZ, BA и т. д. Например, для транзистора КТ315 эта секция примет вид

```
{SPKG {Sna A} {Sp E 1} {Sp K 2} {Sp B 3}}.
```

Если в корпусе «упаковано» несколько ЛЭ, то в подсекции Sp следом за именем вывода ЛЭ последовательно указываются номера выводов в корпусе с этими именами. Например, микросхема К555ЛН1

содержит 6 ЛЭ типа HE, каждый из которых имеет выводы IN и OUT, поэтому секция SPKG для этой микросхемы примет вид

```
{SPKG(SpaABCDEF) {SpOUT2468 10 12} {Sp IN 1 359 11 13}}.
```

Секция ATR задает атрибуты ЭРЭ. Подсекция IN задает координаты X и Y точки буксировки ЭРЭ на ПП (секция ORG), а также номер типа (секция Ty) ЭРЭ (табл. 5). Подсекция EX в слесных ЭРЭ задает параметры моделирования, а при описании конструкции ЭРЭ — параметр футпринт, о котором речь пойдет ниже. Формат секции ATR: {ATR {IN {ORG X Y} {Ty N} } }.

Раздел DETAIL. Обобщенный граф раздела DETAIL. приведен на рис. 12.

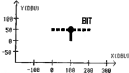


Рис. 12

Секция {ANNOTATE ...} может содержать рисунок (текст), помещенные на проекте для ссылки пользователя. PCAD помещает сюда всю информацию, имеющую значение для всей платы: графику зоны трассировки (слой BRDOUT), зоны размещения (PLACER), габариты и имя платы, имя разработчика и др. Формат секции идентичен формату секции PIC.

Секция {NET_DEF...} описывает монтажную схему и состоит из подсекций N, где k — число цепей в схеме. Каждая подсекция N содержит: имя цепи, проводную графику (подсекция DG) и атрибуты (секция ATR). Например, секция N цепи BIT, изображенной на рис. 13,а, представлена на рис. 13,б. Эта цепь состоит из двух проводников шириной 8 DBU в разных слоях ПП, между которыми имеется переходное отверстие типа 0.

Секция {SUBCOMP...} описывает изображение всех ЭРЭ на ПП, включая их геометрию, местоположение, изображение выводов и подключенных к ним цепей. Каждому файлу-источнику из группы файлов PRT в этой секции соответствует одна подсекция COMP_DEF (в формате, идентичном формату раздела SYMBOL) и столько подсекций I, сколько раз повторяется этот ЭРЭ на плате. Формат подсекции



а)

```

-- {NET_DEF [Wd 6] [Ls "SOLID"]
{N BIT
{DG [Ly "COMP"] {W 0 50 200 50}
  [Ly "SOLDER"] {W 100 0 100 50}
{V 100 50 0}
}} --

```

б)

Рис. 13

Г приведен ниже: {ИМЯФН ИМЯР {CN Name_1 Name_2 ... Name_M} {ATR {IN {P1 X Y}}}}, где ИМЯФН — имя файла-источника (например, K555LA1.PRT); ИМЯР — имя реализации ЭРЭ соответствует имени ЭРЭ на сборочном чертеже платы; Name_i — имя цепи, подключенной к i-му контакту; X Y — координаты размещения привязочной точки ЭРЭ на плате. Обычно привязочную точку выбирают в центре первого вывода, что обеспечивает автоматическое совмещение всех выводов ЭРЭ с узлами координатной сетки при его установке. В качестве примера ниже приводится PDF-файл, содержащий полное описание конструкции транзистора КТЭ 15, кообразного на рис. 11:

{COMPONENT КТЭ 15.PRT

{ENVIRONMENT {PDFvrev 4.00} {Program «PDW-OUT Version 4.60»} {DBtype«PC-Board»}

{DBvrev1.04} {DBtime «Jan. 25, 1993 3:34 p.m.»} {DBunit «MIL»}

{DBgrid 1} {Lyrstr «PIN» 4 «BRDOUT» 4 «SLKSCR» 1

«DEVICE» 5 «ATTR» 12 «REFDES» 6 «COMP» 1 «SOLDER» 2 «PINTOP» 4 «SLKTOP» 6 } }

{USER {VIEW {Mode SYMB} {Vw 100 0 1 1} {Lv 12022200000} {Gs 5 5}}}

{DISPLAY [Ly «PIN»][Ls «SOLID»][Wd 6][Ts 50][T] «LB»][Tr 0]}

{SYMBOL [PIN_DEF [Ly «PIN»] {P 1 {Pt 0} {Lq 0} {Ploc 0 0}} {P 2 {Pt 0} {Lq 0} {Ploc 250 0}}}

{P 3 {Pt 0} {Lq 0} {Ploc 500 0}} } {SPKG {Sna A} {Sp E !} {Sp K2} {Sp B 3} } {PIC [Ly «SLKSCR»][Ls «SOLID»][Wd 6][Ts 30][T] «LB»][Tr 0] [Tm «N»]}

```

(L 750 -150 -125 -150 -125 150 750 150 750 -150) (L -125 50 750
50) (Ly «PIN») (Ts 50) (T «K» 125 -140) (T «B» 375 -140) (T «E»
-100 -140) ) (ATR(W{Org 0 0} (Ty 255))) (DETAIL
{ANNOTATE} {NET_DEF} (PAD_STACK) (SUBCOMP) ) )

```

2. СОЗДАНИЕ СХЕМНОГО ЭРЭ

Создание схемного ЭРЭ проводится следующими этапами:

- ввод условно-графического обозначения ЭРЭ на схеме;
- указание местоположения, номеров, типов и имен выводов;
- задание точки буксировки (перемещения) ЭРЭ по ПЭС;
- ввод обозначения типа ЛЭ и информации об упаковке ЛЭ в корпус микросхемы;
- ввод информации о логической эквивалентности выводов ЛЭ;
- запись сформированного библиотечного ЭРЭ на диск.

Далее излагается методика создания ЭРЭ К 155 LA3, представленного на рис. 14.

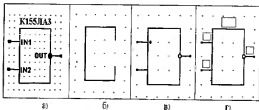


Рис. 14

- Вызвать графический редактор ПЭС, для чего из каталога проекта в ответ на приглашение MS-DOS ввести команду: **Pccars -R**.
- Установить режим создания библиотечного ЭРЭ командой **SYMB** (выполнение подтверждается изменением цвета команд на красный).
- Установить текущий статус слов — выполнить команду **VLXR**

и установить статус ABL для следующих рабочих слоев: GATE, PINNUM, PINNAM, PINCON, REFDES, DEVICE, ATTR. Слой GATE сделать активным. Остальным слоям присвоить статус OFF. Завершить выполнение команды VLYR, нажав клавишу Esc.

● Установить метрическую систему командой SCMD/UNIT, ответив «Yes» на запрос ЭВМ: **Converting English unit to Metric? (Yes/No)** [*Перейти к метрической системе? (Да/Нет)*]. При правильной обработке команды координаты курсора в строке статуса имеют один дробный разряд (1 DBU при этом равен 0,1 мм).

● Установить шаг сетки чертежа равным 50:50 DBU, для чего функциональной клавишей F9 или «мышью» активизировать в строке статуса поле 10:10, задающее шаг сетки (по умолчанию этот шаг равен 10 DBU = 1 мм) и в ответ на запрос ЭВМ: **Enter X grid size** [*Введите шаг сетки по оси X*] ввести с клавиатуры требуемый шаг (50) и повторить ввод для оси Y. Система допускает также ввод этой пары чисел через пробел.

● Выполнить команду масштабирования, для чего активизировать команду ZIN из меню командой в центре экрана (в точке с координатами $x=y=0$) нажать клавишу пробел («клавишу Space»). Можно, однако, выполнить то же действие иначе: активизировать правое поле в строке статуса, в которой система выводит координаты курсора и на запрос ЭВМ: **Enter X position** [*Введите координаты курсора по оси X*] ввести с клавиатуры через пробел координаты центра экрана (0 0). Обработка команды приведет к появлению курсора измененной формы в центре экрана. Нажимая пробел, можно и даже приблизиться к полю чертежа. Уменьшить при необходимости масштаб показа рисунка можно, выполнив команду ZOUT, аналогичную команде ZIN. Нажать клавишу Esc для отмены действия команд масштабирования, когда на экране получите 7—8 шагов сетки.

● Построить условно графическое обозначение — в сетке 50:50 в слое GATE построить (командами DRAW/LINE и) часть условно графического обозначения, изображенную на рис. 14,б (толщину линии принять равной 0: это значит, что при любом увеличении рисунка эта линия будет всегда иметь ширину в 1 пиксел).

● В сетке 5:5 нарисовать следующую часть ЭФЗ (используйте команды DRAW/LINE, DRAW/CIRC и EDIT/MOVB) — получить рис. 14,а. Команда EDIT/MOVB позволяет перемещать указанную «мышью» вершину линии в нужное место, не нарушая непрерывность

линии. Проверить, чтобы концы всех выводов попадали в узлы сетки (25:25).

● Ввести обозначение ЭПЭ в слое DEVICE: в сетке 5:5 командой DRAW/TEXT с выравниванием CC и размером текста SIZ:30.

● Сформировать 1-й вывод ЛЭ (имя IN1). Для этого необходимо: а) активизировать команду ENTR/PIN, и в строке статуса указать тип вывода (для входного IN); б) на появившийся по команде ENTR/PIN запрос: Enter pin's place {Введите местоположение вывода} указать «мышью» местоположение вывода (на левом конце верхнего левого отрезка); в) на запрос ЭВМ: Enter pin's name {Введите имя вывода}, установите в строке статуса высоту текста SIZ:20, параметры выравнивания LC и, указав «мышью» местоположение имени вывода (в точке, отмеченной на рис. 14,а крестиком), ввести с клавиатуры это имя (IN1). Аналогично ввести остальные выводы.

● Ввести точку буксировки ЛЭ (original point) по схеме для чего: ■ выбрать команду ENTR/ORG; ■ на запрос ЭВМ: Enter the origin... {Введите оригинальную ...}, указать «мышью» в точку расположения первого вывода ЛЭ; ■ наблюдать подсветку выбранного вывода.

● Ввести информацию об упаковке вентиля в корпус микросхемы, которая показывает: во-первых, сколько раз сформированный только что ЛЭ (или в терминологии системы PCAD — вентиль) 2И-НЕ повторяется внутри микросхемы К 155ЛА3, т. е. сколько всего вентилях (основной упаковки) находится в корпусе этой микросхемы и, во-вторых, соответствующие номера выводов микросхемы именам выводов составляющих ее вентилях. Эта информация показана на рис. 15. Например, вывод с именем OUT вентиля из секции С соединен с 8-м выводом микросхемы и так далее. В процессе формирования упаков-



Рис. 15

точной информации ГР запрашивает также местоположение обозначения вентиля, которое ему будет присвоено при включении в состав ПЭС. Это обозначение называется в терминологии САПР PCAD десигнатором. Например, в схеме на рис. 16 используются три вентиля из микросхемы DD1 и два — из микросхемы DD2. Имена DD1 и DD2

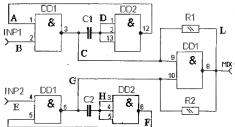


Рис. 16

являются десигнаторами вентиля и присваиваются им при создании ПЭС по команде SCMD/PNUM. В данном случае эти имена выведены по центру вентиля и над ним. Однако при создании вентиля эти имена не известны и поэтому здесь ГР лишь резервирует место под положение десигнатора. Итак, упаковочная информация вводится в следующем порядке:

- выбрать команду SCMD/PNLC и на запрос: **Enter gates per package** (Введите число секций упаковки в микросхеме); ввести число секций — 4;

- на запрос: **Select location for ref designator** (Укажите положение десигнатора): поставить курсор, окруженный белой рамкой, в центр экрана установить высоту текста SIZ:35 и параметры выравнивания CC, подвести белый прямоугольник к месту расположения десигнатора (отмечено верхним прямоугольником на рис. 14,з) и нажать Space (белый прямоугольник не исчезает с экрана);

- на запрос ЭВМ: **Select location for pin number** (Укажите место-

использовать номер подсвеченного контакта); сменить высоту текста на **SIZ:20** и последовательно указать место расположения номера для каждого подсвечиваемого системой контакта (отмечены на рис. 14, тремя прямоугольниками над каждым из трех выводов);

- далее последуют 12 аналогичных по форме двустрочных запросов: **Enter package pin number for NAME** {Введи № для контакта с именем NAME} и **Gate assigned to section LETTER** {Вентиль назначен в секцию LETTER}, в ответ на которые следует, пользуясь схемой укладки вентиля в корпус, приведенной на рис. 15, ввести запрашиваемый номер вывода по имени NAME в секции с буквенным обозначением LETTER. Например, следует ввести число 10 в ответ на запрос: **Enter package pin number for IN2** {Введи № для контакта с именем IN2} **Gate assigned to section C** {Вентиль назначен в секцию C}.

- Ввести информацию о логической эквивалентности выводов вентиля. Перед рассмотрением методики выполнения этого пункта введем определение логической эквивалентности выводов. По определению, два и более вывода вентиля эквивалентны в логическом отношении тогда и только тогда, когда произвольный порядок их подключения к внешним цепям не нарушает работу схемы. Например, работа двухтонального генератора, схема которого приведена на рис. 16, не изменится, если вход INP1 схемы подключить к выводу 1, а цепь обратной связи верхнего генератора тона — к выводу 2 микросхемы DD1. Аналогично можно вход INP2 схемы подключать к пятому выводу, а цепь обратной связи нижнего генератора тона — к выводу 4 микросхемы DD1. Таким образом, выводы 1 и 2 имеют номер логической эквивалентности «1», а выводы 4 и 5 — номер логической эквивалентности равный «2». Для присвоения номеров логической эквивалентности выводам необходимо:

- выбрать команду **SCMD/SPAT** — подсветится вывод INL и GP выведет запрос: **New type: { Задайте новый тип: } Type of pin NAME is NUMBER** {Тип вывода NAME есть NUMBER};

- в ответ — нажать Enter, либо ввести код нового типа — в том и в другом случае система выведет новый запрос в две строки вида: **Enter new code: {Введите новый код [логической эквивалентности]} Pin LEQ code is NUMBER** {Текущий код вывода — есть NUMBER};

- в ответ — ввести номер 1 для подсвеченного вывода IN1;

- выполнить еще два раза предыдущие три пункта, задав № 1

при подсветке вывода IN2, и № 0 при подсветке вывода OUT (№ 0 означает отсутствие логической эквивалентности вывода).

• Сохранить созданный ЭРЭ на диске. Для этого необходимо активизировать команду FILE/SAVE и на запрос системы: Enter file name {Укажите имя файла} имя ввести с клавиатуры имя K155LA3.

В заключение рассмотрим технику создания УГО резистора (рис. 17).

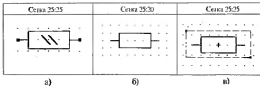


Рис. 17

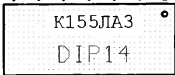
После активизации команды DRAW/LINE установить сетку чертежа 25:20 и в произвольном месте экрана нарисовать контур резистора, показанный на рис. 17,б. Выбрать команду MOVE/WIN и на запрос системы последовательно указать «мышью» точки, выделенные на рис. 17,в на углах пунктирного прямоугольника — в результате весь рис.17 резистора будет выделен. Далее на запрос системы точки буксировки выделенного фрагмента указать центральную точку резистора (выделена крестом) и, переместив «мышью» весь выделенный фрагмент в строку статуса, активизировать поле этой строки с координатами курсора и ввести с клавиатуры нулевые координаты по обоим осям. Далее можете продолжать формирование резистора по описанной выше методике, установив как обычно сетку 25:25

3. СОЗДАНИЕ КОНСТРУКТОРСКОГО ИЗОБРАЖЕНИЯ ЭРЭ

Схемный ЭРЭ, создание которого мы только что рассмотрели, вызывается для включения его в состав ПЭС. Конструкторский ЭРЭ, создание которого мы рассмотрим в этом разделе, устанавливается

на ПП. Методичку создания конструкторского ЭФЗ будем иллюстрировать на примере создания микросхемы K155ЛАЗ в виде, приведенном на рис. 18. Верхняя и нижняя таблицы на рис. 10 представляют числовые значения следующих атрибутов контактов микросхемы: NUMBER — номер вывода, TYPE — тип вывода и EQUIV — логическая эквивалентность вывода, о которых речь пойдет ниже. Относительно этих атрибутов, которые нам предстоит задавать в строке статуса перед установкой того или иного вывода на ПП, следует сделать ряд замечаний.

EQUIV	0	0	2	2	0	1	1
TYPE	2	2	3	3	2	2	2
NUMBER	7	6	3	4	2	2	1



NUMBER	8	9	10	11	12	13	14
TYPE	2	2	2	2	2	2	2
EQUIV	0	3	3	6	4	4	0

Рис. 18

Принципиальное отличие вывода конструкторского ЭФЗ от вывода схемного ЭФЗ (ветшика) в том, что вывод конструкторского ЭФЗ может иметь различную конфигурацию (форму) на плате. Система поддерживает возможность выбора формы выводов из 255 возможных вариантов, заранее определенных конструктором. Каждый такой вариант кодируется в строке статуса параметром TYPE — числом от 1 до 255 — и называется *типом вывода*. Реальная же конфигурация каждого типа задается позднее при формировании файла *стратегии маршрутировки* при вызове программы разводки ПП. В данном пособии следует задавать тип вывода выбором его из табл. 4. Логическую эквивалентность вывода кодирует параметр в строке статуса EQUIV.

Например, ЭРЭ K155ЛА3 имеет 4 секции (A, B, C и D) и в каждой из них вывод IN1 эквивалентен выводу IN2 только одной этой секции, поэтому следует присвоить EQUIV=1 эквивалентным выводам в секции A, EQUIV=2 в секции B и т. д.

Для создания микросхемы K155ЛА3.PRT необходимо:

- задать координаты, номер, тип и логическую эквивалентность каждого вывода ЭРЭ;
- ввести УГО, точку буксировки, функциональное обозначение и тип корпуса ЭРЭ;
- ввести информацию об упаковке выводов в корпус микросхемы;
- задать *футпринт* (footprint) для ЭРЭ, используемый программой PcbPlace;
- записать сформированный библиотечный ЭРЭ на диск.

Рассмотрим методику выполнения каждого из этих пунктов.

● **Вызвать GP PCCARDS.** Для этого необходимо из каталога проекта (рабочий каталог) в ответ на приглашение MS-DOS выполнить команду: Pccards-R.

● **Установить режим SYMB** создания библиотечного ЭРЭ (отработка команды подтверждается изменением цвета символов в зоне команд на красный).

● **Установить статус слоев.** Для этого необходимо выполнить команду VLYR и установить статус ABL для следующих рабочих слоев: PIN, SLKSCR, DEVICE, ATTR. Слою PIN сделать активным. Остальным слоям присвоить статус OFF (эти слои участвуют при создании проекта на печатной плате). Завершить выполнение команды VLYR, нажав клавишу Esc.

● **Установить метрическую систему** командой SCMDUNIT, ответив «Yes» на запрос: Converting English Unit to Metric? (Yes/No) {Перейти в метрическую?(Да/Нет)}. При правильной отработке команды координаты курсора в строке статуса отображаются с двумя дробными разрядами (1 DBU при этом равен 0,01 мм).

● **Установить постоянный для всех операций шаг сетки** чертежа равным 50:50 DBU и командой ZIN сделать видимым на экране 7—8 шагов сетки.

● **Создать все выводы ЭРЭ.** Ниже приводится порядок создания одного (первого) вывода микросхемы K155ЛА3 (остальные — вводятся аналогично):

■ выбрать ENTR/PIN и согласно табл. 6 установить в строке статуса тип (TYPE:1) и логическую эквивалентность (EQUIV:1) вывода;

Таблица 6

Тур	Назначение	Форма	Размеры по 3 классу точности
0	Переходное отверстие	Круглое	Диаметр = 1,4 мм
1	Первый вывод ИМС	Квадрат	1,5 x 1,5 мм
2	Типовой вывод ЭРЭ	Круглый	Диаметр = 1,4 мм
3	Вывод «Земля»	Круглый	Диаметр = 1,6 мм
4	Вывод «Питание»	Круглый	Диаметр = 1,5 мм

■ активизировать поле строки статуса с указанием координат курсора и в ответ на запрос ЭВМ ввести нулевые координаты; обработка команды приведет к появлению в центре экрана изображения вывода;

■ на запрос ЭВМ "Select pin name location" (Выбрать местоположение номера вывода) установить в строке статуса размер текста (SIZ:75), параметры выравнивания "CC" и указать «мышью» точку выше изображения вывода на два шага сетки; последует запрос ЭВМ, на который следует ввести номер 1 (обработка команды приведет к окрашиванию вывода цветом слоя PIN с показом его номера в заданном месте).

● Создать условно графическое изображение ЭРЭ (рис. 18) для этого необходимо: а) установить активный слой SLKSCR и командой DRAW/LINE шириной линии W:20 и нарисовать корпус микросхемы с размерами 17x6,5 мм; б) командой DRAW/CIRC нарисовать окружность радиуса 50 DBU около первого вывода (кноп).

● Ввести функциональное обозначение микросхемы. Для этого необходимо: а) выбрать команду DRAW/TEXT и установить активным слой DEVICE; б) установить размер текста SIZ:150 и ввести текст K155LA3 в любом месте чертежа.

● Задать точку буксировки ЭРЭ, т. е. выбрать команду

ENTR/ORG и на запрос: **Select the origin** (Укажите оригинальную ...) указать «мышью» на ключевой вывод микросхемы.

● Ввести тип корпуса микросхемы, определяющий расположение выводов относительно плоскости основания корпуса (планарные выводы или нет). Для этого необходимо:

■ выбрать команду **SCMD/SCAT** и на запрос: **Part old type=255, New type =** {Прежний тип=255, Новый =} ввести тип корпуса согласно табл. 5;

■ на запрос: **Is Part type SMD? Yes No** (Выводы планарные? Да/Нет) ответить **Yes**, если выводы ЭРЭ планарные, и **No**, если штырьевые.

● Ввести данные об упаковке вентиля в корпус микросхемы:

■ выбрать команду **SCMD/SPKG** и на запрос: **Enter number of gates:** (Введите число вентилях:) указать 4 — число вентилях 2И-НЕ в корпусе микросхемы **K155ЛА3**;

■ на запрос: **Enter number of pins per gate:** (Число выводов вентилях:) указать 3 — число выводов вентиля 2И-НЕ;

■ на запрос: **Enter name of gate pin 1** (Введи имя вывода 1 вентиля) ввести имя (**IN1**) того вывода вентиля, который формировался первым при выполнении команды **ENTR/PIN** при создании схемного изображения ЭРЭ в данном случае это вывод **IN1**;

■ аналогично ввести имена других выводов **K155ЛА3** — **IN2** и **OUT**;

■ на запрос: **Select gate N pin NAME** (Укажите вывод с именем **NAME** N-го вентиля необходимо указать «мышью» на вывод, номер которого указан на схеме упаковки (рис. 15) против вывода с именем **NAME** в N-й секции (например, если **N=3** и **NAME=OUT**, то необходимо указать «мышью» на 8-й вывод).

● Задать футпринт (**footprint**) ЭРЭ. Для этого необходимо: а) выбрать команду **ATTR/ACOM** и установить активным слой **ATTR**; б) установить размер текста **SIZ:150** и ввести следующий текст в любом месте чертежа: **FP=DIP14**.

● Сохранить созданный ЭРЭ на диске, активизировать команду **FILE/SAVE** и на запрос системы **<Enter file name>** (Укажите имя файла) имя ввести с клавиатуры имя **K155ЛА3**.

● Выйти из графического редактора **PCCARDS** по команде **SYS/QUIT**.

4. СОЗДАНИЕ ПРИНЦИПИАЛЬНОЙ ЭЛЕКТРИЧЕСКОЙ СХЕМЫ

Принципиальная электрическая схема (ПЭС) создается редактором Pscars в следующем порядке: а) ввод всех ЭРЭ и цепей схемы; б) присвоение имен сланным ЭРЭ и цепям; в) сохранение схемы в файле с расширением SCH на диске. Рассмотрим методику выполнения этих этапов на примере создания ПЭС двухтонального генератора, схема которого приведена на рис. 16. Далее предполагается, что мы находимся в каталоге проекта и все ЭРЭ схемы заранее созданы в следующих файлах этого каталога: mh0125.syt (резистор), c.syt (конденсатор), k1551a3.syt (2И-НЕ), pin.syt (вывод).

- Вызвать ГР Pscars: командой Pscars -R и установить режим DETL — отработка команды подтверждается изменением цвета символов в зоне команд на зеленый.
- Установить статус ABL_ для следующих рабочих слоев: WIRES, BUS, GATE, REFDES, PINNUM, PINCON, SDOT, NETNAM, CMPNAM; слой WIRES сделать активным.
- Установить метрическую систему и шаг сетки чертежа равным 25:25DBU.
- Поместить все ЭРЭ схемы на рабочее поле чертежа в следующем порядке:

- выбрать команду ENTR/COMP и на запрос: Comp-file-name GT-scales (F1 for list) (Имя файла, масштаб, (по F1 -список)) нажать функциональную клавишу F1 и получить в поле команд список всех ЭРЭ, приведенный в правой части рис. 19;

- выбрать «мышью» из списка ЭРЭ k1551a3.syt, поставить курсор мыши в поле чертежа и нажать #1, далее переместить курсор в другое место чертежа, снова нажать #1 и получить результат, приведенный на рис. 20, аналогичным образом установить все вентили 2И-НЕ на схему, после чего нажать Esc и вернуться к списку ЭРЭ на рис. 19;

- аналогично установить остальные ЭРЭ и получить часть схемы, приведенной на рис. 21.

- Ввод электрических цепей схемы демонстрируется на примере ввода цепи, соединяющей контакты 1 и 2 двух нижних вентилях 2И-НЕ схемы на рис. 21. Для ее создания необходимо: а) активизировать команду ENTR/WIRE, поместить курсор в точку 1 и нажать #1 —



FIG. 19

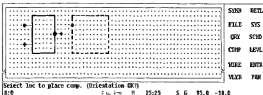


FIG. 20

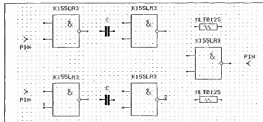


FIG. 21

изображении контакта должно исчезнуть; б) переместить указатель мыши в точку 1' (рис. 22,а) и нажать #1: будет построена часть цепи, причем система ждет указания следующей ее точки; в) построить всю цепь, указывая точки перегиба: 1", 1'", 1'''' и, наконец, 2 — конечный контакт также должен исчезнуть (рис. 22,б). Остальные цепи вводите в аналогичном порядке, присваивая им имена А, В, С ... согласно рис. 16 (при объединении различных сегментов цепи в единую цепь система выдаст запрос: Merge the nets? Yes No (Замкнуть цепи? Да Нет), в ответ на который следует ответить: «Да».

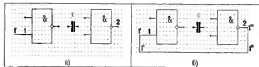


Рис. 22

■ Присвоение имен цепям: при построении очередной цепи система сама присваивает ей имя INk , где k — это шестизначный номер цепи с ведущими нулями. Однако некоторым цепям разработчик сам присваивает имена — это вход/выходные цепи, цепи синхронизации, адресные линии и так далее. Пусть имена $INP1$, $INP2$ и MIX присваиваются вход/выходным цепям схемы. Например, присвоение цепи имени $INP1$ производится командой $NAME/NET$ в следующем порядке:

- выбрать команду $NAME/NET$; на запрос: Select a net ... (Укажите цепь) указать «мышью» любую точку на цепи (рис. 16) и нажать #1;
- на запрос: Enter net name: {Введите имя цепи...} ввести имя контакта $INP1$;
- на запрос: Name = $INP1$. Select location ... (Имя цепи = $INP1$. Выбери место ...) разместить, где нужно подсвеченный прямоугольник и нажать #1.

● Для присвоения конструкторских имен всем ЭФЗ схемы необходимо:

ДЛИМО:

■ выбрать команду **SCMD/PNUM** и на запрос: **Select a component** (Укажи компонент...) указать «матрицу» ЭФЗ схемы (например, верхней левой ЭФЗ <H-HE>) и нажать #1;

■ на запрос: **Enter ref-designator/section:** (Введите имя десигнатора/секция:) ввести строку **DD1A**, в которой имя **DD1** — это десигнатор, а заданное после слеша имя **A** — это имя секции упаковки указанного вентиля в микросхеме **DD1**;

■ аналогично введите имена других ЭФЗ, придерживаясь обозначений на рис. 16.

● Сохранить созданный ЭФЗ на диске. Для этого необходимо активизировать команду **FILE/SAVE** и на запрос системы: **<Enter file name>** (Укажи имя файла) ввести с клавиатуры имя **top2**. По умолчанию этот файл получит расширение **SCH**.

Упражнение. Построить схему кварцевого калибратора, показанную на рис. 23. (Указание: шина вводится командой **DRAWLINE** в слое **BUS** толщиной линии **W:10**).

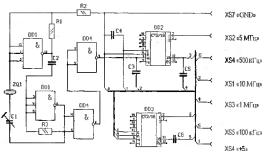


Рис. 23

5. РАЗРАБОТКА КОНСТРУКЦИИ ПЕЧАТНОЙ ПЛАТЫ

В системе PCAD существуют три способа разработки печатных плат, которые называются ручной, типовой и сквозной маршруты проектирования.

Ручной маршрут проектирования применяется только при проектировании простых ПП, для описания которых нет необходимости создавать графического или текстового описания ПЭС. Основная подготовка выполняется в редакторе Pccards: в интерактивном режиме проводится табличный чертеж ПП, на который с помощью команды ENTRCOMP конструктор расставляет элементы конструкции ПП, с помощью команды ENTR/WIRE задает цепи, подлежащие трассировке и вызывает трассировщик цепей Pccroute.

Типовой маршрут проектирования применяется при разработке плат любой сложности и состоит из следующих операций:

- подготовка списка ЭФЗ и цепей в **ait**-файле (табличный ввод в систему PCAD);
- создание конструкторских изображений ЭФЗ в **pri**-файлах с помощью GP Pccards;
- подготовка чертежа базовой конструкции (пустой платы) в **pcb**-файле;
- преобразование ПЭС проекта в **pkg**-файл конструкции;
- оптимизация размещения ЭФЗ на ПП с получением **plc**-файла;
- трассировка межсоединений и получение **pcb**-файла проекта ПП;
- подготовка с помощью GP Pccards сборочного чертежа ПП к выводу на устройства машинной графики (принтеры, плоттеры) в **plt**-файлах;
- вывод принципиальной электрической схемы и сборочного чертежа ПП на принтер с помощью пакета PCPRINT.

Рассмотрим содержание отдельных этапов проектирования.

Табличный ввод в систему PCAD производится с использованием текстового **ait**-файла. Пример **ait**-файла для схемы на рис. 16 приведен ниже (колонок «№ оператора» не входит в сам оператор и приведена только для ссылки на него из текста):

N оператора	Оператор PDF-файла	N оператора	Оператор PDF-файла
1	path=c:\pcad\pct;	11	B=inp1/1 dd2/2;
2	board=base.kon;	12	C=dd1/3c1/1 dd1/9 r1/1;
3	sheet a;	13	D=c1/2dd2/1 dd2/2 dd2/13;
4	parts	14	E=inp2/1 dd1/4;
5	dip14=dd1,dd2;	15	F=dd1/5 dd2/6;
6	k10-17=c1,c2;	16	G=dd1/6c2/1 dd1/10r2/1;
7	mls0125=r1,r2;	17	H=c2/2 dd2/3 dd2/4 dd2/5;
8	pin=inp1,inp2,msc;	18	L=r1/2 dd1/8 msc/1 r2/2;
9	nets	19	endsheet;
10	A=dd1/1 dd2/12;	—	—

Методика его подготовки сводится к следующему:

- первый оператор определяет путь к библиотеке ЭПЗ;

- во 2-м операторе дается ссылка на файл **base.kon** базовой конструкции, который подготавливается в следующем порядке: а) вызвать GP Pcards и установить метрическую систему измерений к режим DETL; б) нарисовать контур зоны трассировки в слое BRDOUT командой DRAW/LINE, установив ширину линий W=0 DBU; в) нарисовать контур ПП в слое SLKSCR командой DRAW/LINE, установив ширину линий = 20 DBU (рис. 24,а);

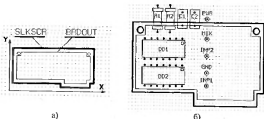


Рис. 24

- оператор `sheet` а открывает описание ПЭС: за словом `parts` кодируются данные о соответствии имен ЭФЗ схемы именам их описаний в библиотеке ПП (операторы 5., 8), например, ветвь схемы `dd1` в библиотеке ЭФЗ подготовлен в файле `dip14.pri`;

- сразу за оператором `net` последовательно, цепь за цепью, кодируется список цепей, например, 15-я строка `alt`-файла: `F=dd1/5 dd2/6` читается: «цепь F подключена к 5-му контакту микросхемы DD1 и к шестому контакту микросхемы DD2»;
- завершает кодирование `alt`-файла оператор `endsheet`;
- готовый файл записывается на диск под именем проекта (например, `TON2.ALT`).

Для осуществления табличного ввода вызывается программа `PCNLT` и на запрос меню программы указывается в качестве входного имя `alt`-файла (`ton2.alt`). Выходной файл (`ton2.pkg`) по окончании работы `PCNLT` будет содержать информацию о конфигурации печатной платы и конструкции всех ЭФЗ в виде, представленном на рис. 24,а.

Необходимо отметить, что в процессе работы программы `PCNLT`, последняя проведет синтаксический и семантический (смысловой) контроль `alt`-файла и при обнаружении ошибок сформирует файл `rspl.log`, в котором укажет причину каждой ошибки. Так, в примере будет выдана ошибка: **** Line 13: Pin DD2/2 of net D already listed in net B.** Причина в том, что цепи D и B имеют короткое замыкание через контакт 2 ЭФЗ `dd2`. Проверив обе цепи по схеме на рис. 23, можно заметить, что ошибочно закодирована цепь B, которая должна быть задана в виде: `B=inp1/1 dd1/2`.

Следующие этапы проектирования — размещение ЭФЗ и трассировка межсоединений — совпадают с аналогичными этапами сквозного маршрута, которые рассматриваются далее.

Сквозной маршрут проектирования как и типовой используется для проектирования ПП любой сложности. Название *сквозной* подразумевает цикл проектирования, начинающийся вводом в ЭВМ принципиальной электрической схемы и заканчивающийся генерацией результирующей топологии ПП, реализующей заданную схему. Последовательность этапов этого маршрута в самом общем виде приведена во введении. Рассмотрим методику выполнения каждого из них.

- *Создание схемных изображений ЭФЗ в файлах с типом `lut`* — методика выполнения приведена в разд. 2 настоящей работы.

● **Создание конструкторских изображений ЭРЭ в файлах с типом prt** — методика выполнения приведена в разд. 3 настоящей работы.

● **Создание схем ПЭС в файле с типом sch** — методика выполнения приведена в разд. 4 настоящей работы.

● **Выделение списка цепей схемы** производится автоматически после вызова программы Pnodes из рабочего каталога проекта. На запрос Data-base filename : < filename >.sch ввести с клавиатуры имя схемы проекта (в нашем случае top2.sch). При успешном завершении выдается сообщение ...completed & saved as top.nlf, означающее, что список цепей сформирован и сохранен на диске в файле top.nlf.

● **Создание файла соответствия элементов схемы и конструкции** выполняется текстовым редактором, способным обрабатывать текстовые файлы MS-DOS. Файл соответствия имеет тип fil и в структурном отношении представляет собой таблицу из пяти столбцов и n строк, где n — количество типов ЭРЭ на ПП. Информация в колонках таблицы при вводе с клавиатуры разделяется только пробелами. Рассмотрим формат строки fil-файла, задающей указанное схемно-конструкторское соответствие для ЭРЭ K155LA3.

В столбце табл. 7 указывается 4 — число вентиля (элементов k155la3.sum) в корпусе микросхемы k155la3.prt. В столбце KEY указывается произвольное имя, которое не должно далее встречаться в этом же столбце ни в какой строке (в данном случае LA3). Поля prt и sum содержат имена файлов, содержащих соответственно конструкторское и схемное представление данного ЭРЭ.

Таблица 7

N	KEY	.prt	Some_Nets	.sum
4	LA3	k155la3.prt	(7=GND, 14=PWR)	k155la3.prt

Наконец, поле Some_Nets содержит перечень тех выводов конструкторского ЭРЭ (k155la3.prt), которые не участвуют в упаковке вентиля (k155la3.sum). Выводы перечисляются через запятую, причем рядом с каждым из них после знака равенства должно быть записано имя подключенной к нему цепи. Fil — файл текущего проекта названием top2.fil. Его код приведен ниже:

4	LA3	k155la3.pr	(7=GND, 14=PWR) k155la3.sym
3	LA4	k155la4.prt	(7=GND, 14=PWR) k155la4.sym
1	PIN	pin.prt	pin.sym
1	C	kl0-17.prt	c.sym
1	R	mlt0125.prt	r.sym

● Подготовка чертежа базовой конструкции III ведется по методике, приведенной в разделе «Табличный ввод в систему PCAD».

● Упаковка информации о схеме и печатной плате в файл конструкции выполняется программой PCPACK в следующем порядке: а) из каталога проекта вызвать программу PCPACK; б) ответить на следующие запросы программы (ответы подчеркнуты): **Schematic Netlist: ton2.plt**; **Part 1 Cross-Reference ton2.pll** и **Input PCB file: base.kon** (на остальные запросы — нажать Enter). Нормальное завершение программы PCPACK сопровождается выдачей сообщения: **PCB Netlist database saved as TON2.PNL**, означающего, что созданный файл ton2.pkg содержит всю исходную информацию для размещения и трассировки.

После выполнения упаковки будет сформирован тот же файл ton2.pkg, который получен в типовом маршруте проектирования после программы PCNLT и приведен на рис. 25. Как и программа PCNLT, программа PCPACK выдает сообщения об ошибках упаковки. В случае незначительных ошибок программа PCPACK формирует выходной файл и выдает предупреждение об ошибке. Например, если ЭРЭ не содержит информации об упаковке выдается сообщение: **R.SYM has no PNLC data**. Если элементу не присвоен десигнатор командой SCMD/PNLC, то выдается сообщение: **A reference designator of X has been assigned to part R.PRT**. Наиболее часто путают нумерацию контактов при упаковке ЭРЭ схемы в конструкции. В этом случае выда-

{PKG. {Sd A 1 2 3}	{SPKG {Sna A B C D}	{SPKG {Sna A B C D}
{Sd B 4 5 6}	{Sp IN1 1 5 9 12}	{Sp IN1 1 4 9 12}
{Sd C 8 10 8}	{Sp IN2 2 4 10 13}	{Sp IN2 2 5 10 13}
{Sd D 12 13 11}	{Sp OUT3 6 8 11}	{Sp OUT3 6 8 11}

а)

б)

в)

Рис. 25

ется сообщение вида: «k1551a3.symb pin name IN1, number 5». Методика устранения этой ошибки сводится к следующему:

- ♦ получить **pdf-file** элемента **k1551a3.symb** командой: **pdfout k1551a3.symb**
- ♦ просмотреть секцию упаковки PKG файла **k1551a3.pdf** (рис. 25,а)
- ♦ получить **pdf-file** элемента **k1551a3.prt** командой: **pdfout k1551a3.prt**
- ♦ просмотреть секцию упаковки SPKG файла **k1551a3.pdf** (рис. 25,б);
- ♦ проверить, чтобы последовательность номеров в строках секции PKG (выделена на рис. 25,а) совпадала с последовательностью номеров в столбцах секции SPKG (выделена на рис. 25,б); в данном случае есть совпадение номеров для секций A, C и D, но нет совпадения для секции B (номера подчеркнуты): контакты IN1 и IN2 элемента схемы здесь имеют номера 4 и 5, а те же контакты элемента конструкции — номера 5 и 4.
- ♦ после устранения ошибки (секция SPKG примет вид рис. 25,в) надо выполнять команду **pdfin k1551a3**, **pdf** получить исправленный ЭРЭ, после чего повторить вызов **PCPASC**.

Последние три этапа проектирование — размещение ЭРЭ на ПП, трассировка межсоединений ПП и выпуск технической документации — являются общими для всех маршрутов проектирования PCAD.

6. АВТОМАТИЧЕСКОЕ РАЗМЕЩЕНИЕ ЭРЭ НА ПП

Основные термины и определения. Автоматическое размещение ЭРЭ на ПП выполняет третий графический редактор системы PCAD — программа **Replace**. В процессе своей работы программа **Replace** переставляет все ЭРЭ на плате до тех пор, пока не будет достигнут минимум (возможно локальный) суммарной длины связей (СДС) между элементами. Поясним смысл данного критерия [2]. В размещении ЭРЭ А, В, С и D на рис. 26,а каждая из шести связей имеют длину 5 единиц, поэтому сумма длин связей (СДС) равна $6 \times 5 = 30$ единиц. Размещение на рис. 26,б отличается от предыдущего перестановкой только элементов В и С. Из-за этой перестановки каждая из связей 1, 5, 2 и 6 теперь имеют длину по 12 единиц каждая, а связи 3 и 4 — по

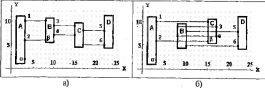


Рис. 26

9. Следовательно, новая СДС $= (12 \times 4) + (2 \times 9) = 66$ единиц. Ясно, что сравнивая по СДС эти два варианта размещения, программа **Replace** выберет для дальнейшей работы первый вариант.

Отметим, что в реальной топологии связь 1 с длиной $L_1 = 5$ будет представлена конкретным проводником, длина которого $L_{\text{эл}}$ может существенно отличаться от L_1 , поэтому программа **Replace**, заменяя на этапе размещения величину $L_{\text{эл}}$ величиной L_1 , как бы говорит себе «связь 1 в реальной топологии не может быть меньше L_1 ». Так же приблизительно **Replace** оперирует и с наклонными связями. Например расстояние между контактами α и β в исходном размещении на рис. 26,а. **Replace** вычислит не по теореме Пифагора как квадратный корень из $(4^2 + 5^2)$, а в виде суммы $(4 + 5)$. В размещении на рис. 26,б длина связи между α и β будет определена как $4 + 12$. Такая метрика, в которой расстояние между парой точек равно сумме проекций отрезка, соединяющего эти точки на оси координат, называется манхэттенской геометрией, а расстояние манхэттенским расстоянием [4].

Программа **Replace** использует и другие приближения. Например, на этапе оптимизации восстановления все ЭРЭ заменяются на ПП материальными точками, масса которых постоянно меняется в зависимости от положения, которое занял ЭРЭ в текущей итерации и какое действие оказывают его связи на положение других ЭРЭ. Эта абстракция называется стягивание корпуса в точку [24]. Обычно реальные габариты ЭРЭ восстанавливаются на заключительном этапе восстановления, при проведении которого **Replace** блокирует наложение ЭРЭ друг на друга.

Введем еще ряд терминов, которыми оперирует программа **Replace**.

Сетка размещения — совокупность взаимно ортогональных линий с заданным шагом по осям X и Y, в узлах которой разрешается устанавливать ЭРЭ.

Главные и дискретные ЭРЭ — все размещаемые на плате ЭРЭ, ПР делит на главные с номером типа от 10000 до 10999 (табл. 5) и дискретные (все остальные).

Ассоциативное размещение — атрибут для дискретного ЭРЭ, позволяющий размещать его в автоматическом режиме возле одного из главных ЭРЭ. Количество ЭРЭ, для которых разрешено ассоциативное размещение, не должно превышать число главных ЭРЭ проекта.

Футпринт (footprint) — это ссылка на имя, присвоенное группе ЭРЭ. Например, если каждой 14-выводной микросхеме (k155la3, k155la4...) присвоить футпринт = DIP 14, то **Place** будет отличать эту группу от всех остальных ЭРЭ. Футпринт присваивается каждому ЭРЭ при его создании редактором **Records** командой **ATTR/ACOM** (разд. 3).

Окно размещения — прямоугольная часть платы, в которой разрешена установка ЭРЭ.

Компонента для размещения — футпринт, связанный с сеткой размещения.

Узловые точки сетки размещения — точки пересечения линий сетки размещения, в которые разрешена установка ЭРЭ.

Активизировать команду (поле) — установить на нее (него) курсор мыши и нажать #1.

Чтобы ЭРЭ участвовали в автоматическом размещении, необходимо: а) каждому ЭРЭ проекта задать футпринт; б) каждому главному ЭРЭ поставить в соответствие сетку размещения; в) каждому дискретному ЭРЭ задать сетку размещения или режим ассоциативного размещения (зазор и положение дискретного ЭРЭ относительно главного задаются специальными командами: **CLR** и **ASSC**).

Методика размещения ЭРЭ проекта средствами **Place** сводится к следующему:

- вызвать программу размещения директивой: **Place-r ton2.prg** отработка этой команды позволит получить проект в виде рис. 25, в котором все ЭРЭ занимают произвольные (не оптимальные) места — в таком положении их оставила программа упаковки схемы в плату **Place**;
- установить и зафиксировать те ЭРЭ, которые не подлежат авторазмещению: разъемы или вход-выходные контакты, кон-

денсаторы резисторы, экраны, для чего использовать команды **MOVE**, **FIX** или **FIX/WIN**; в текущем примере устанавливаем и фиксируем только вход-выходные контакты (**GND**, **PWR**, **INP1**, **INP2**, **MIK**) — результат дан на рис. 25,а;

- задать сетку для размещения ЭРЭ и назначить ей список футпринтов тех ЭРЭ, которые размещаются в данной сетке, для чего:

- ◆ активизировать команду **LATR** и на запрос: **ENTER X(Y)** (Введите шаг сетки по оси **X(Y)**) ввести два числа: 500 и 500, что соответствует шагу 0,5 мм по обоим осям;

- ◆ на запрос **LATTICE WINDOW : CORNER 1** активизировать левую верхнюю точку окна размещения (точка **L** на рис. 27,б);

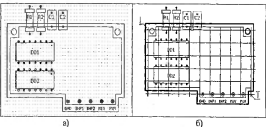


Рис. 27

- ◆ на запрос **LATTICE WINDOW : CORNER 2** активизировать правую верхнюю точку окна размещения (точка **T** на рис. 27,б) — на экране появится сетка размещения, проект примет вид рис. 27,б и последует запрос: **EXECUTE LATC? Yes/No** (выполнить команду **LATC**?) — ответить **Yes** (Да), получить экран как на рис. 28,а и выполнить шаг определения компонент для размещения в следующем порядке:

- назначить резисторы и микросхемы компонентами для сетки **LAT1**, для чего в столбце **LAT1** последовательно, активизируем футпринты **R** и **DIP14** — получаем экран как на рис. 28,б;
- назначить минимальный зазор между главным (имеющим фут-

COMPONENT DEFINE FOR LATTICE LATT					COMPONENT DEFINE FOR LATTICE LAB1				
QUIT	NEXT	LAT	ASSC	CLR	R	R			
					DPM	DPM			C
					C				

а)

б)

Рис. 28

- принт dip 14) и остальными ЭФЗ, для чего: 1) активизировать команду CLR меню команд (получить на экране рис. 29,а); 2) активизировать поле над словом QUIT; 3) на запрос COMP NAME: ввести футпринт DIP14 (получить на экране рис. 29,б);
- аналогично назначить зазор между ЭФЗ с футпринтом R (рис.29,в);

<input type="checkbox"/>	QUIT	ASSC	LATC	DPM	100	100	DPM	100	100
				QUIT	ASSC	LATC	R	100	100
							QUIT	ASSC	LATC

а)

б)

в)

Рис. 29

- разрешить ассоциативное размещение дискретных ЭФЗ (конденсаторов C1 и C2) не ближе чем 1мм (100 DBU) справа от главного ЭФЗ, для чего: 1) выбрать команду ASSC меню команд и активизировать поле экрана над словом QUIT (рис. 30,а); 2) на запрос COMP NAME: ввести футпринт C; 3) активизировать вернее поле right и получить на экране рис. 30,б.

<input type="checkbox"/>	QUIT	CLR	LATC	PGFOR	POBAR	C	ABOVE	BELOW	LEFT	RIGHT	100
						QUIT	CLR	LATC	PGFOR	POBAR	

а)

б)

Рис. 30

- *выполнить начальное авторазмещение*, для чего активизировать команду **PLCE** меню команд и на запрос: **READY TO PLACE? YES/NO** ответить **YES** (по завершении авторазмещения все ЭРЭ (рис. 31), для которых либо не заданы футпринты, либо выполнена команда **ASSC**, либо не задана сетка для размещения — будут вынесены системой за плату);

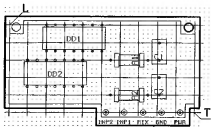


Рис. 31

- *провести оптимизацию начального размещения* командами **IMPR/COMP** (перестановки ЭРЭ) и **IMPR GATE** (перестановки вентилях в корпусах); записать проект в **plc**-файл (командой **FILE/SAVE**) под именем **top2.plc** и завершить работу редактора по команде **SYS/QUIT**.

7. АВТОМАТИЧЕСКАЯ ТРАССИРОВКА МЕЖСОЕДИНЕНИЙ

Автоматической трассировкой межсоединений называется построение на ЭВМ печатных проводников, соединяющих на ПП все ЭРЭ согласно ЛЭС. В системе **PCAD** трассировка проводится в следующем порядке:

- формирование разрешенных и запрещенных зон для трасс;
- вход в программу **Reroute** и вызов проекта;
- редактирование стратегии трассировки;
- запуск автотрассировщика.

Формирование разрешенных и запрещенных зон. Указанные зоны формируются в следующих слоях: BRDOUT («контуры зоны трассировки»), BARALL («запреты во всех слоях разводки»), BARCMP («запреты в слое COMP»), BARSLD («запреты в слое SOLDER»). Под запретами понимаются прямоугольные области, внутри которых программе Proute конструктор запрещает проводить проводники по конструктивно-технологическим соображениям. Запреты и зоны создаются в ГР Pcards по методике из разд. 6.

Выход в программу выполняется директивой: Proute, которая выводит на экран меню следующего вида:

PC-ROUTE	
Enter database name:	(Database reference name)
Select routing strategy:	
Options:	Edit routing strategy
	Route
	Exit PC-ROUTE
Router Utilities	

Для вызова проекта: нажать клавишу Home и ввести имя файла проекта, которое он получил после этапа размещения — top2.plc — становится доступным поле выбора cpl-файла стратегии трассировки (Select routing strategy). Если файлов стратегии в каталоге проекта несколько, то, последовательно нажимая клавишу SPACE (пробел), можно выбрать требуемый.

Редактирование стратегии трассировки позволяет создать (или отредактировать, если он уже создан) cpl-файл стратегии трассировки пользователя (например, top2.cpl). Для его создания необходимо с помощью стрелок клавиатуры выбрать режим Edit routing strategy (редактировать стратегию трассировки) и нажать Enter: на экране появится следующее меню (только левая часть), которое далее называется основным:

Options:

Опции:

>> Edit routing parameters <<

1 >>Редактирование параметров трассировки<<

2. Редактирование параметров перетрассировки

3. Редактирование описания площадок

4. Редактирование правил прокладки трасс

5. Редактирование описания классов целей

6. Редактирование описания слоев

Edit ripup parameters.....

Edit pad descriptions.....

Edit wiring rules.....

Edit net class definitions.....

Edit layer descriptions.....

Далее описываются действия по редактированию каждого параметра основного меню.

Редактирование параметров трассировки проводится в следующем порядке:

■ активировать строку **Edit routing parameters** основного меню

и получить окно вида:

		Units: MILS
Routing grid x:	50	y:50
	{шаг сетки трассировки по обоим осям = 50 DBU}	
Number of routing layers:	2	
	{число слоев ПП}	
Route type:	Steiner-minima	
	{алгоритм разводки}	
Route order:	Short-Long	
	{порядок разводки цепей}	
Display type:	Status + Route	
	{выводимая на экран информация}	
Perform memory route:	Horizontal + Vertical	
	{правило проведения связей типа ОЗУ}	
Perform diagonal route:	No	
	{не проводить проводники по диагонали}	
Perform via minimization:	No	
	{выполнить минимизацию переходных отверстий}	
Perform beveling:	During	
	{сглаживать острые углы [кромки] трасс}	
Perform arc beveling:	No	
	{выполнять сглаживание по дуге окружности}	
Define detailed parameters		
	{переход к следующему списку параметров}	

- переместить курсор на строку Units (клавиша Home), нажать клавиши Space и Enter (проойдет изменение дюймовой (MILS) системы измерений координат проекта на метрическую (MM) и система подсветит первый параметр строки **Routing grid**, которая примет вид:

Routing grid x: 0.50 y: 0.50 (шаг сетки трассировки = 0.5 мм)

- ввести с клавиатуры значение 1,25 мм (шаг сетки по ГОСТ) (в результате система подсветит следующий параметр — шаг сетки по Y);

- изменить шаг сетки по Y и получить строку вида:

Routing grid x: 1.25 y: 1.25

- ввести следующие значения перечисленных далее на экране параметров:

Number of routing layers: 2 — число слоев разводки принято 2;

Route type: Steiner-minvia — алгоритм Штейнера строит трассы, удовлетворяющие технологическим ограничениям на ветвление, и минимизирует количество переходных отверстий;

Route order: Short-Long задание порядка разводки цепей в зависимости от длины: сначала ведется короткие цепи, а затем — длинные;

Display type: Status + Route в ходе трассировки на экране показываются параметры и геометрия проложенных на данный момент трасс;

Perform memory route: Horizontal + Vertical — разрешается режим соединения точек трасс, лежащих на одной линии, горизонтальными и вертикальными проводниками;

Perform diagonal route: No — запрет проведения трасс под углом 45°;

Perform via minimization: No — запрещает шаг минимизации числа переходных отверстий по завершении работы основного алгоритма Штейнера — этот и любой другой параметр можно изменить, нажав клавишу space;

Perform beveling: During — задается режим сглаживания кромок прямых углов трасс после проведения очередной трассы;

Perform arc beveling: No — запрещается (для ВМ схем) сглаживание кромок по дуге;

■ в момент перехода курсора к последней строке меню нажать Enter: на экране будет показано продолжение списка параметров, которые также следует отредактировать:

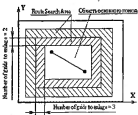
Routing Grid Definition Major grid x: 250 0 y: 250 0 — параметр

позволяет задать до трех дополнительных сеток разводки и применяется для ПП с высокой плотностью монтажа;

Via Type Through — параметр (сквозные переходы) для многослойных ПП;

Via Sites All grid points — параметр, разрешающий выполнять сквозные переходы в любом узле сетки трассировки;

Route Search Area Size Number of grids to enlarge [$\Delta X=\Delta Y=$] 3-параметр, определяющий размер дополнительной зоны поиска пути прокладки трассы — это одна из заштрихованных областей на рис. 32. Зона поиска — это прямоугольник, охватывающий все без исключения контакты очередной проводимой трассы, увеличенный на число дискрет $\Delta X-\Delta Y$, задаваемых параметром **Number of grids to enlarge** по двум осям. В данном случае $\Delta X=\Delta Y=3$. Именно в пределах зоны поиска **Route** ведет поиск трассы. Понятие зоны поиска связано с понятием **числа проходов N**, под которым понимается количество полных циклов трассировки всех цепей в пределах зоны поиска. На первом проходе ($N=1$) зона поиска совпадает с основной областью (внутренняя незаштрихованная зона на рис. 32). На втором проходе ($N=2$)



Route Area Clearance From Board

Edge distance: 0.25 — параметр запрещает подводить трассу к линии зоны трассировки ближе, чем на 0.25 мм

Through via cost 30 — цена переходного отверстия: : выше цена — длиннее трасса;

Bevel size 2 — радиус округления кромок трассы;

Рис. 32

эта зона расширится на величину ΔX и ΔY , на третьем — еще на величину ΔX и ΔY и т. д. Параметр **N** задается в следующей строке экрана, которая имеет вид: **Number Of Maze Router Passes Number of**

passes: 0, т. е. по умолчанию дополнительных проходов не предусматривается; позже — при редактировании параметров перетрассировки — этот параметр можно изменить в строке **Normal** пункта **Edit ripup parameter** меню редактирования стратегии трассировки;

Open Route Search Area To Full Board On Last Pass: Yes — значение «Yes» разрешает трассировщику расширить зону поиска на последнем проходе на всю плату;

Route window: Entire board — открывает всю плату для трассировки;

Eliminate acute angles: Yes — минимизировать изломы трасс;

Predominant component orientation: Unspecified — основная ориентация микросхем не определена (может быть **H** — горизонтальная или **V** — вертикальная);

Generate stringers: Yes — соединить перемычкой (стрингером) каждый планарный вывод с ближайшим свободным отверстием на плате;

■ нажать клавишу **Esc** и вернуться в основное меню редактирования стратегии трассировки.

Редактирование параметров перетрассировки. Программа **Route**, кроме режима обычной (режим **Normal**) трассировки, может работать в режиме перетрассировки, позволяющем прокладывать трассы с изменением топологии уже готовых трасс (режим **Ripup**). Для задания параметров этого режима необходимо:

■ активизировать строку **Edit ripup parameters** основного меню и получить меню вида:

Number of Maze Routing Passes:	(Определено числа проходов трассировки)
Normal: 1	(число проходов обычной трассировки)
Ripup: 1	(число проходов перетрассировки)
Optimize: 2	(оптимизация)
Perform trace hugging: No	(Не выполнять уплотненную разводку)
Penalize corners: No	(Не штрафовать за острые углы)
Costs	(Цены)
Cost to rip up 1 subnet: 200	- цена за перебранывание одной трассы
Optimizer via cost: 200	- премия за удаление одного переходного отверстия)

■ установить указанные в меню величины параметров, если нет специальных требований; смысл введенных параметров поясняется ниже:

Number of Maze Routing Passes: — параметр задает число проходов: обычной (**Normal**) трассировки, перетрассировки (**Ripup**) и пере-

трассировки с целью минимизации числа переходных отверстий (Optimize).

Perform trace hugging: No — параметр запрещает плотную трассировку с сближением ранее построенной трассы (включается для ПП с плотностью более 2.5 контактов/см² или при наличии шин данных, адресных шин и др.).

Penalize corners: No — режим штрафования включается для ВЧ — плат;

Cost to rip up 1 subnet: 300 — этот параметр подбирается экспериментально — большая цена практически выключает режим перекраивания топологии, а малая — существенно изменяет уже готовую топологию;

Optimizer via cost: 200 — при высоком подощении Pсroute скорее не проведет связь, чем оставит переходное отверстие;

- нажать Esc и вернуться в основное меню редактирования стратегии.

Редактирование параметров описания контактных площадок позволяет вставить в соответствие каждому типу контактной площадки проекта ее реальный размер и форму. Для задания параметров этого режима необходимо:

- активизировать строку **Edit pad descriptions** в меню редактирования стратегии трассировки (**Editing strategy**) и получить меню вида:

Connected to inner plane: No
Pin type: 0 Pad shape: Circle
Diameter: 1.40

- установить параметр **Connected to inner plane:** в состояние **No**, что запретит подключение всех редактируемых площадок к отсутствующим в проекте внутренним слоям;
- параметр **Pin type:** установить в **0**, что определит код формы площадки (0-кодирует форму переходного отверстия; коды с 1 по 24 — кодируют штыревые контакты; с 25 по 50 — планарные, а с 51 по 100 — площадки пользователя). Коды площадок вводятся в проект параметром **TYPE** при создании в разд. 3 конструкторского ЭРЭ;
- параметр **Pad shape:** установить в **Circle**, что задает круглую форму КП (возможно указать прямоугольную (**Rectangle**) или квадратную (**Square**) форму площадки — обычно первая применяет-

св для сквозных KCL вторая — для планарных и третья — для описания КП ключевых выводов ЭРЭ — переключение форм производится клавишей Space);

- параметр **Diameter**: установить в 1.40, что задает габарит КП: для круглых — это диаметр, для квадратных — сторона квадрата, для прямоугольных — длина и ширина КП;
- выполнить предыдущие три пункта для всех типов площадок проекта;
- нажать Esc и вернуться в основное меню редактирования стратегии.

Редактирование правил прокладки трасс. Под правилами прокладки трасс понимается совокупность технологических норм, которые обеспечивает программа Pcbnote в процессе синтеза трасс. Для проведения редактирования необходимо активизировать строку **edit wiring rules** основного меню и получить на экране таблицу:

Edit wiring rules for strategy TONG				Edit wiring rules for strategy TONG			
Pad/Pad Clearance: 0.10				Pad/Pad Clearance: 0.30			
Rule Name	Trace Width	Line/Line Clearance	Line/Pad Clearance	Rule Name	Trace Width	Line/Line Clearance	Line/Pad Clearance
DEFAULT	0.10	0.10	0.10	DEFAULT	0.50	0.30	0.30
—				PIT	1.00	0.30	0.30

Поддерживаются следующие топологические нормы: зазор между контактными площадками (**Pad/Pad Clearance**), зазор между печатными проводниками (**Line/Line Clearance**), зазор между КП и печатным проводником (**Line/Pad Clearance**), ширина трассы (**Trace Width**). В таблице приведены два вида экрана: левый — исходное состояние перед редактированием правил прокладки трасс, правый — состояние после редактирования. В колонке **Rule Name** задано имя класса цепей **DEFAULT**, объединяющего все цепи проекта. Класс — это имя, присвоенное группе цепей. Классы в PCAD определены для того, чтобы можно было различные группы проводников трассировать с разными топологическими нормами. Построить класс можно по методике, приведенной в следующем пункте редактирования стратегии — *редактирование описания классов, цепей*. В настоящем пункте показано, как задать правила прокладки трасс для двух классов: **DEFAULT** (Все цепи) и **PIT** — класс цепей земли и питания:

- нажать Home и вместо значения 0.10 мм параметра **Pad/Pad**

Clearance ввести величину 0,3 мм (минимальное значение для субтрактивной технологии); нажать **Enter**;

- снова нажать **Enter** и ввести с клавиатуры параметры: **Trace width=0,5**, **Line/Line Clearance=0,3** и **Line/Line Clearance=0,3** — с этими значениями **Route** будет прокладывать все трассы проекта класса **DEFAULT**;

- ввести имя класса цепей земли и питания — **PIT** и нажать **Enter**;

- ввести ширину трассы (**1,0 mm**), зазор между ними (**0,3 mm**) и зазор между КП и трассой (**0,3 mm**) — с этими значениями **Route** будет прокладывать трассы класса **PIT**;

- нажать **Esc** и вернуться в основное меню редактирования стратегии.

Редактирование описания классов цепей. Класс — это совокупность цепей проекта, объединенных некоторым именем. В исходном состоянии определено имя только одного класса цепей (**Net class name**) — **DEFAULT** — все цепи проекта.

DEFAULT

Чтобы определить новый класс **PIT**, объединяющий цепи (**GND**) и (**PWR**), необходимо:

- нажать **Insert**, ввести имя **PIT** и получить экран, изображенный на следующей таблице слева, причем система подсветит имя класса **DEFAULT**:

Editing net class PIT of strategy 4 Wiring rule: DEFAULT (width 50) Priority: None Layers: All layers Allow router to alter preroute: Yes Type of class: Net List Nets:	Editing net class PIT of strategy 4 Wiring rule: PIT (width 100) Priority: None Layers: All layers Allow router to alter preroute: Yes Type of class: Net List Nets: GND PWR
--	--

- нажать **Space** и 5 раз клавишу **Enter** — курсор установится под словом **Nets**;

- ввести имя цепи земли (**GND**), нажать **Enter**, ввести имя цепи питания (**PWR**), нажать **Enter**; получить экран в виде правой части предыдущей таблицы;

- нажимать **Esc** — пока не произойдет выход в основное меню.

Редактирование описания слоев производится с целью конкретизации параметров монтажной графики всех слоев ПП. Общее количество слоев (**Total layers**) может превышать число трассируемых (**Routing layers**) в автоматическом режиме слоев: часть слоев может

быть занята под ручную разводку. В текущем примере экран будет следующим (левая часть — информация на экране, правая — перевод):

Total layers 2	Routing layers 2	Общее число слоев 2	Трассируемый слой 2
Through via cost 30		Стоимость сквозного перехода 30	
Layer Table Costs		Таблица слоев Стоимости	
#	Name	Type	NS EW
1	COMP	East/West	4 1
2	SOLDER	North/South	1 4

Подлежат редактированию параметры: стоимость сквозного перехода (назначалась ранее и здесь может быть изменена); стоимость направления трассы в слое (в приведенной таблице цена проводника в преимущественном для слоя COMP направлении East/West равна 1 У.Е., а в перпендикулярном к нему направлении North/South 4 У.Е. и т. д.).

Чтобы выйти из раздела редактирования стратегии в меню **Proute** следует нажать Esc и получить следующий перечень вариантов дальнейшей работы с файлом стратегии:

- Save under current name (сохранить под текущим именем);
- Save under new name (сохранить под новым именем);
- Do not use or save (не использовать и не сохранять).

Выбор режима сохранения стратегии выполняется клавишами Space и Enter.

Запуск **Proute** выполняется выбором режима ROUTE в основном меню программы. Дальнейшая работа **Proute** протекает автоматически. Разведенные проводники **Proute** записывает в слои: COMP и SOLDER. Для текущего примера результат работы программы **Proute** приведен на рис. 33, причем топология первого слоя (COMP) приведена на рис. 33,а, топология второго (SOLDER) — на рис. 33,б.



а)



б)

Рис. 33

8. ТЕХНОЛОГИЧЕСКАЯ ПОДГОТОВКА ПРОИЗВОДСТВА ПП

Последний этап подготовки производства ПП связан с выполнением проверок правильности составления принципиальных схем (электрический контроль) и корректности топологии ПП (технологический контроль), а также с выводом отчетных форм на графопостроитель и подготовкой управляющих программ для технологических автоматов (фотокоординатографов и сверлильных станков). Другими словами, технологическая подготовка производства (ТПП) проекта подразумевает выполнение ряда сервисных программ, позволяющих подготовить все необходимые носители для автоматического изготовления печатного узла и получения полного комплекта конструкторской и технологической документации на проект.

Штатные средства системы PCAD предусматривают выполнение следующих этапов ТПП: учет реальной формы контактных площадок («обувание проекта»), сравнение проектов, электрический контроль проекта, технологический контроль проекта и формирование управляющих программ.

8.1. Учет реальной формы КП («обувание проекта»)

Для работы программ топологического контроля проекта необходимо присутствие в выходном **pcb**-файле программы трассировки информации о реальной форме всех контактных площадок (КП) проекта.

Форма КП задается номером типа при создании конструкторского ЭРЭ и учитывается в файле стратегии трассировки при синтезе связей, однако по завершении программы трассировки эта информация остается в **tbl**-файле и в выходной **pcb**-файл не попадает; в результате раздел **PAD_STACK** базы данных PCAD, с которым работает программа контроля топологии PCDRS, остается не сформированным. Ввод информации о форме контактов подразумевает: во-первых, создание библиотек КП и, во-вторых, «обувание» КП на выходы ЭРЭ.

Создание библиотек КП выполняется с помощью редактора Pcards в файлах группы **ps**, причем для одной КП создается 2 файла

этой группы — для *свободной* (не подключенной) и для *занятой* (подключенной) КП. Проиллюстрируем методику создания пары файлов **cl60dip.ps** и **nl60dip.ps**, содержащих описание соответственно занятой и свободной круглой сквозной КП диаметром 1,6 мм двусторонней ПП:

- вызвать **Pccards** и установить режим **SYMB** и метрическую систему измерения;
- установить активным слой **PADCOM**, размер сетки 5:5 и активизировать команду **ZIN**;
- активизировать поле с координатами курсора в строке статуса, ввести с клавиатуры две нулевые координаты и нажимать пробел до появления в строке статуса следующего сообщения: **At zoom in limit**;
- выбрать **ZOUT** и выполнить один шаг уменьшения масштаба в точке **X=0, Y=0**;
- выбрать **DRAW/CIRC**: на запрос **Center point...** (центральная точка...) установить ширину линии 80 (т. е. 80 мм), указать «мышью» точку **(0 0)** и на запрос **Point on circumference...** (точка на окружности...) указать «мышью» точку **(40 0)** — будет изображен круг диаметром 1,6 мм, закрашенный цветом слоя **PADCOM**;
- повторить предыдущий пункт, установив активным слой **PADSLD**;
- повторить предыдущий пункт, установив активным слой **PIN**;
- задать информацию для эскиза сверления, т. е. нарисовать крест с центром в слое сверления **DRILL**, для чего: а) установить активным слой **DRILL**, ширину линии **W:0** и режим рисования **DRAWLINE**; б) на запрос **Select start point** (Укажите начальную точку) указать «мышью» точку **(20,0)** и затем — точку **(-20,0)** — появится горизонтальная линия креста; в) нарисовать вертикальную линию креста;
- задать точку буксировки КП, для чего: установить активным слой **ATTR**, выбрать **ENTR/ORG** и указать «мышью» точку **(0 0)**;
- выбрать **FILE/SAVE** и сохранить созданную КП в файле с именем **cl60dip.ps**;
- выбрать **FILE/SAVE** и сохранить созданную КП в файле с именем **nl60dip.ps**;
- заменить изображение занятой КП в слое **PIN** на изображение свободной, для чего: а) выключить все слои, кроме слоя **PIN**, выбрать команду **DEL** и указать «мышью» точку **(0 0)** — изображение занятой КП будет удалено; б) выбрать **DRAW/CIRC**: на запрос **Center point ...**

{центральная точка ...} установить ширину линии 10, указать «мышь» точку (0 0) и на запрос **Point on circumference ...** {точка на окружности...} указать «мышью» точку (75 0) — будет изображена не заштрихованная окружность диаметром 1,6 мм;

● выбрать **FILE/SAVE** и сохранить созданную КП в файле с именем **n60dip.ps**.

«Обустройство» контактных площадок на выводы ЭРЭ предполагает наличие библиотеки описаний всех КП проекта, созданных по методике, изложенной в предыдущем пункте, а также наличие в каталоге проекта текстового файла группы **ssf**, который создается так же, как и **bl**-файл, текстовым редактором, причем каждая строка вводится по формату, приведенному в табл. 8. Все поля разделяются только пробелами, а символ «процент» начинает комментарий. Поле «Тип» каждой строки задает номер типа КП, присвоенный ей при создании контакта ЭРЭ в редакторе **Pccaps** командой **ENTR/PIN** либо измененный по команде **SCMD/SPAT** Тип «O» зарезервирован для переходного отверстия, генерируемого программой **Pcroute** в автоматическом режиме, либо автоматически вставляемого программой **Pccards** при ручной трассировке ПП по команде **ENTR/WIRE**.

Таблица 8

Тип	Статус	Имя файла КП	Комментарий
0	*	via.ps	% Координатная площадка переходного отверстия
2	N	n60dip.ps	% Свободная контактная площадка
2	C	c60dip.ps	% Занятая контактная площадка

Поле «Статус» определяет занятую (C) или свободную (N) площадку. Статус «*» означает назначение одного файла как на занятую, так и на свободную площадку. Поле «Имя файла КП» определяет имена файлов, содержащих описание КП. При наличии **ssf**-файла и файлов **ps** для всех КП проекта методика «обустройство» проекта сводится к следующему:

- вызвать **Records** и командой **FILE/LOAD** загрузить файл проекта (для текущего примера **ton2.pcb**), полученный по результатам работы программы **Reroute**;

- установить режим **DETL** и выбрать **SCMD/GSSF**;

- на запрос **Enter file name:** (Введите имя файла) ввести с клавиатуры **ton2**

— проект будет «обуть», а после выполнения команды **REDR** результат можно наблюдать на экране.

В качестве примера «обуем» проект **ton2.pcb**, используя КП из табл. 9. Результирующий чертеж топологии слоя **COMP** печатной платы представлен на рис. 34.

Таблица 9

Строка SSF-файла	Форма	Строка SSF-файла	Форма
1 L VIA.PS	<input type="checkbox"/>	2 C CH40DIP.PS	<input checked="" type="checkbox"/>
1 N N440DIP.PS	<input type="checkbox"/>	1 N N440DIP.PS	<input type="checkbox"/>
1 C CH40DIP.PS	<input checked="" type="checkbox"/>	1 C CH40DIP.PS	<input checked="" type="checkbox"/>
2 N N440DIP.PS	<input type="checkbox"/>		

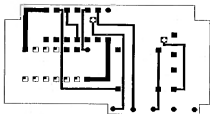


Рис. 34

Электрический контроль проекта — это проектная процедура, определяющая субъективные ошибки в принципиальной электрической схеме, такие, как: а) не подключенные («висячие») контакты ЭРЭов схемы; б) одноконтактные цепи; в) цепи, не имеющие (или имеющие несколько) входных и/или выходных контактов; г) несоответствие упаковочной информации (различные вентиля в одинаковых ЭРЭ, отсутствие или повторение позиционных обозначений ЭРЭ). Контроль осуществляется программой **Peete**, которая при своем выводе выводит на экран меню вида (только левую часть):

1. Floating Pins	Yes	{«Висячие» контакты}
2. Nets with one or no connections	Yes	{Цепи без или с одним контактом}
3. Nets with no Input pins	Yes	{Цепи без входных контактов}
4. Nets with no Output pins	Yes	{Цепи без выходных контактов}
5. Nets with more than one Output pin	Yes	{Цепи с несколькими выходами}
6. Nets with no pullup resistor	Yes	{Цепи без выходной нагрузки}
7. Components with all Input pins tied together	Yes	{Цепи с объединенными входами}
8. Packaging consistency check	Yes	{Проверка совместности упаковок}
9. Page connector cross reference	No	{Не проверять неизвестные соединения}

Нажимая клавишу **Space**, можно выбрать нужные проверки, после чего в основном рабочем поле необходимо указать имя **plt**-файла, сформированного при помощи **Peodes** из **sch**-файла. Результатом работы программы **Peete** является следующий протокол, в котором идентифицируются ошибочные цепи и/или контакты:

1. Floating Pins	0	{«Висячие» контакты отсутствуют}
2. Nets with one or no connections	2	{Две цепи с одним контактом}
3. Nets with no Input pins	0	{Нет цепей без входных контактов}
4. Nets with no Output pins	0	{Нет цепей без выходных контактов}
5. Nets with more than one Output pin	3	{Три цепи с несколькими выходами}
6. Nets with no pullup resistor	0	{Нет цепей без нагрузки}
7. Comps with all Input pins tied together	2	{Две цепи с объединенными входами}
8. Packaging consistency check	0	{Упаковки выполнены правильно}
Number of components processed	14	{В схеме обработано 14 компонентов}

8.3. Технологический контроль проекта

Система **PCAD** выполняет два вида технологического контроля: электрический и конструкторский. Электрический контроль проверяет соответствие списка электрических цепей схемы физическому списку

ву целей на ПП, а конструкторской — проверяет выполнение топологических норм проекта. Технологический контроль выполняется корректно, если: а) проект «обут» и ограничен ломаной линией нулевой толщины в слое BRDOUT; б) информационные слои программы Pcdrcs и Pcdrc совпадают.

Контроль проекта выполняется программой Pcdrc, которая анализирует pcb-файл проекта. Результатом контроля является текстовый dre-файл с диагностикой, а также информация диагностического характера, добавляемая непосредственно в pcb-файл проекта.

При запуске программы Pcdrc появляется главное меню из пяти строк:

Edit Design Rules	(Редактирование правил проектирования)
Edit Check Passes	(Редактирование этапов проверки)
Edit Ignore Parts List	(Редактирование списка игнорируемых ЭРЭ)
Run PCDRC	(Запуск основного режима)

Редактирование правил проектирования. Под правилами проектирования понимается именованный список топологических норм проекта. Списку правил, контроль которых программа Pcdrc выполняет по умолчанию, система присваивает имя **pcad**. Чтобы начать его редактирование, необходимо:

- активировать строку **Edit Design Rules** главного меню и получить список имен доступных правил проектирования (в нем будет только имя **pcad**);
- нажать **Enter** и перейти к списку правил редактирования **pcad** вида (слева):

PC-DNC Design Rules Edit Design Rules Set: pcad	Программа PCDRC правила проектирования Редактирование списка правил pcad
Round pad size 0.050	Радиус арочной КП 0.050
Nonround pad size 0.050	Радиус арочной КИ 0.050
Via size 0.050	Радиус контактного перехода 0.050
Trace width 0.012	Ширина трассы 0.120
Pad to pad spacing 0.010	Зазор между КП 0.010
Pad to trace spacing	Зазор между КИ и трассой 0.010
Trace to trace spacing 0.010	Зазор между трассами 0.010
Pad to board edge spacing 0.125	Расстояние от края КП до линии BRDOUT 0.125
Trace to board edge spacing 0.125	Расстояние от края трассы до BRDOUT 0.125
Units: Inches	Единицы измерения: Дюймы

- изменить метрику списка правил **read**, для чего: а) восемь раз нажать **Enter** и один раз клавишу «стрелка вниз» — будет активизировано поле **Units**; б) нажать **Space** и получить экран вида:

Round pad size	0.60	Размер круглой КП	1.40
Nonround pad size	0.60	Размер некруглой КП	1.40
Via size	0.50	Размер сквозного перехода	1.40
Trace width	0.12	Ширина трассы	0.50

Pad to pad spacing	0.10	Зазор между КП	0.30
Pad to trace spacing		Зазор между КП и трассой	0.30
Trace to trace spacing	0.10	Зазор между трассами	0.30
Pad to board edge spacing	1.25	Расстояние от края КП до края BOARD	1.25
Trace to board edge spacing	1.25	Расстояние от края трассы до BOARD	1.25
Units: MM		Единицы измерений: Миллиметры	

- установить топологические нормы проектирования, соответствующие третьему классу точности изготовления ПП, приведенные в правой части таблицы;
- дважды нажать **Esc** и на запрос **Save These Rules?** (Сохранить эти правила?) ответить **Y** (Да) и **Esc** и выйти в главное меню **PCDRS**.

Редактирование этапов проверки (вторая строка главного меню **PCDRS**) выполняется, если в проекте используются нестандартное сочетание слоев типа «целый проводников — слой КП» или число слоев разводки превышает 2. Стандартными сочетаниями слоев являются следующие пары: «**COMP - PADCOM**» и «**SOLDER - PADSLD**». На первом этапе проверки контролируется соответствие топологических норм в паре слоев «**COMP - PADCOM**», а на втором — в паре «**SOLDER - PADSLD**». То есть по умолчанию **PCDRS** проводит 2 этапа проверки.

Редактирование списка игнорируемых ЭРЭ (третья строка главного меню **PCDRS**) подразумевает указание списка ЭРЭ, КП которых исключаются из проверки топологических норм. К таким ЭРЭ относятся ЭРЭ, устанавливаемые на край платы (например, разъемы). Список игнорируемых ЭРЭ задается перечнем имен **pri**-файлов.

При запуске основного режима программы **Podrc** запрашивается имя **pcb**-файла проекта. Выходным файлом является текстовый **drc**-файл. Дополнительная диагностическая информация графического и текстового характера помещается в новый слой с именем **SSDRC** **pcb**-файла проекта.

Проектная процедура сравнения двух проектов на идентичность является мощным средством контроля правильности его ведения. Обычно эта процедура выполняется на этапе подготовки исходных данных проекта и заключается в следующем. Руководитель проекта поручает кодирование исходной информации двум различным исполнителям, которые независимо друг от друга (это неременное условие) вводят проект в ЭВМ средствами графического редактора Psears, присваивая проектам различные имена. По окончании ввода выполняется процедура сравнения двух схем, которая выявляет ошибки подготовки исходных данных. Вероятность того, что оба исполнителя допустят субъективную ошибку в одном и том же месте (обратная квадрату сложности проекта), ничтожно мала, поэтому анализ протокола сравнения схем позволяет устранить практически все субъективные ошибки подготовки исходных данных.

Сравнение принципиальных электрических схем на идентичность выполняется программой PCNLC, которая в качестве исходной информации использует nit-файлы двух проектов. Выводной информацией программы являются списки ветвей и цепей, которые есть в одной схеме, но отсутствуют в другой, а также список ветвей (цепей), не подключенных к цепям (ветвям). Рассмотрим методику сравнения двух схем, каждую из которых получим из схемы top2.sch, приведенной на рис. 16, причем из первой схемы (назовем ее t1.sch) удалим ветвь DD2, а из второй (t2.sch) удалим цепь C. Для проведения сравнения необходимо:

- активизировать команду: **pcnodes t1.sch** и получить nit-файл для первой схемы (**t1.nit**);
- активизировать команду: **pcnodes t2.sch** и получить nit-файл для второй схемы (**t2.nit**);
- запустить программу **pcnic** и на запрос системы **Netlist1:** ввести **t1.nit**, а на запрос **Netlist2:** ввести **t2.nit**;
- система предложит имя файла с результатом сравнения схем в виде:

PC-NLC Report File: t1.tlc

Протокол сравнения (**nlc**-файл) начинается отчетом программы **pcnic** по результатам сравнения двух ПЭС, который для текущего примера имеет вид:

PCNLC Report		Netlist2: T1.NLT		Netlist3: T2.NLT		Отчет программы PCNLC	
Number of Gates	11	Number of Gates	12			Число элементов в каждой схеме	
Number of Nets	9	Number of Nets	8			Число цепей в каждой схеме	
Number of Suspect Gates	0	Number of Suspect Gates	1			Число «подозрительных» ЭФЗ	
Number of Suspect Nets	3	Number of Suspect Nets	2			Число «подозрительных» цепей	
Number of Spare Gates	0	Number of Spare Gates	0			Число резервации ЭФЗ	
Number of Floating Nets	0	Number of Floating Nets	0			Число неподключенных цепей	

Далее следует список ЭФЗ (**List of Suspect: Gates**) в цепой, возможно содержащих ошибки. Список открывается элементами, обнаруженными в файле **T2.NLT (Suspect Gates from Netlist2: T2.NLT)** исходной схемы **T2 (From sheet/macro: T2.SCH)**, в следующем формате:

Gate Type/Name	Logical Pin Name	Name	Net Physical Pin Num	Reference Designator
(Тип Мак ЭФЗ)	(Мак контакты)	(Мак цепь)	(Номер контакта)	(Обозначение по схеме)
K155LA3.SYM : VC	IN1	= nothing	9	DD1
	IN2	= G	10	
	OUT	= L	8	

Далее указывается общее число подозрительных ЭФЗ схемы (**Total Number of Suspect Gates from sheet/macro: 1**) и приводится таблица со списком подозрительных цепей (**List of Suspect: Nets**), представляющая перечень односторонних, но не идентичных цепей, найденных в обеих схемах (***** nets found in both netlists but not the same**):

Net Name: G			Net Name: G			
Pins found in Netlist2 and not in Netlist1			(Контакты, найденные в T2 и отсутствующие в T1)			
Logical			Gate	Schemato		
Pin Name	Symbol	Type Name	Sheet	Ref Des	Pin Number	
(Мак контакта)	(Мак ЭФЗ)	(Тип ЭФЗ)	(Мак схема)	(Мак по ПЭС)	(Ит контакты)	
IN2	K155LA3.SYM	VC	T2.SCH	DD1	10	
Net Name: L						
OUT	K155LA3.SYM	VC	T2.SCH	DD1	8	
Total Number of Unmatched Suspect Nets : 2			(Общее число цепей подозрительных цепей: 2)			
Suspect Nets from Netlist: T1.NLT			(Подозрительные цепи в списке: T1.NLT)			
From sheet/macro: T1.SCH			(Исходная схема - T1)			
Net Name	Logical Pin Name	Gate Type/Name	Physical Pin Num	Reference Designator		
(Мак цепь)	(Логический мак контакты)	(Мак ЭФЗ)	(Физический номер контакта)	(Обозначение по схеме)		
C	OUT	K155LA3.SYM :VA	3	DD1		
	I	MLT0125.SYM :R1	1	R1		
	I	C.SYM :C1	1	C1		

Завершается отчет указанием общего числа подсчитанных элементов схемы (Total Number of Suspect Nets from sheet/macro : 1).

8.5. Формирование управляющих программ

Результаты трассировки проекта программа **Peroute** записывает в **rcb**-файл. Для извлечения из него информации о топологии ПП служит специальная команда **GP Pccards: SYS/PLOT**, которая позволяет формировать так называемый **плот-файл (plt-файл)**. Плот-файлов может быть получено сколько требуется: для прорисовки и изготовления послойных чертежей, сборочного чертежа, совмещенных слоев, участков платы в выделенном «окне» и так далее. В плот-файл включается информация, содержащаяся в слоях, имеющих статус **ON** или **ABL**. Распечатать плот-файл можно программой **Perprint**.

Получение управляющих программ для технологических автоматов (ТА) сопряжено с необходимостью дополнительной обработки **rcb**-файла, поскольку конкретные ТА обладают индивидуальным набором команд. Специфику формирования подобных УП рассмотрим на примере представления исходной информации для чертежного ответственного автомата **АП7251** [1].

Чертежный автомат АП7251. Этот автомат позволяет оперативно получать изображения на бумажных носителях, пригодные для размножения на электрографических аппаратах [3]. Управляется **АП7251** посредством команд. Команда представляется двоичным числом длиной 2 байта: в четном находится признак команды (2A), а в нечетном — ее код. Список управляющих кодов автомата **АП7251** приведен на рис. 35. УП состоит из заголовка, данных и признака окончания. Заголовок — это совокупность команд, определяющих режим работы устройства. Данные кодируют векторы перемещений пера. Каждый вектор задается четырьмя байтами, два из которых содержат величину проекции вектора на ось **OX**, а два другие — на ось **OY**. Все перемещения кодируются двоичными числами. Отрицательные перемещения представляются в дополнительном коде. Минимальный шаг пера составляет 0,05 мм. Ниже приводится УП рисования трассы, изображенной на рис. 36.

```
2A21 2A04 2A15 2A07 80C8 8191 2A06 812C 8000 8000 FF38 2A07  
2A82 2A81
```

Команда	Код	Команда	Код
Работа в приращенных	04	Выбор пера №1	21
Выбор пера №2	22	Выбор пера №3	23
Инкрементальный режим	26	Работа с полным шагом	15
Работа с полушагом	16	Спустить перо	05
Поднять перо	07	Конец прерывов	81
Конец графика	82		

Рис. 35



Рис. 36

ЗАКЛЮЧЕНИЕ

В настоящем учебном пособии изложена методика проектирования и технологической подготовки производства печатных плат средствами самой распространенной на промышленных предприятиях нашей страны системы PCAD версии 4.6. Однако в настоящее время успешно развивается новая версия системы PCAD, работающая под управлением операционной системы Windows — эта версия называется теперь ACCEL EDA [7] и является удачным объединением систем TangoPRO (фирмы ACCEL Technologies) и системы PCAD. В состав этой системы входят более эффективные проектные процедуры размещения и трассировки, позволяющие качественно улучшить характеристики проекта. Упрощенная структура базы данных системы ACCEL при прочих равных условиях существенно снизила время проектирования. Начинает завоевывать популярность появляющаяся на рынке новая версия системы — PCAD-2000. Однако рыночная стоимость указанных систем, составляющая на 01.01.2000 около десяти тысяч американских долларов, является основным тормозом широкого их внедрения на наши предприятия. По этой причине прежняя версия этой системы версии PCAD (4.6) широко используется до настоящего времени. Этому способствует «неприхотливость» системы к аппаратным средствам, сложившийся удобный для пользователя аппаратно-программный интерфейс, имеющий место до настоящего времени дефицит современных компьютеров, а также отсутствие содержательных модификаций алгоритмов в новых (до ACCEL EDA) версиях системы.

1. Графические средства автоматизированного проектирования ЭЗА/ Под ред. Д.И. Томашевского. — М.: Сов. радио, 1980.
2. Назаров А.В., Фомин А.В., Дембицкий Н.Л. Автоматизация конструирования матричных КМОП БИС. — М.: Радио и связь, 1991.
3. *Rozens V. D.* Применение программ Pcad и Pcirise для схемотехнического моделирования на ПЭВМ. В 4-х кн. — М.: Радио и связь, 1992.
4. *Selomon B.A.* Машинное конструирование электронных устройств. — М.: Сов. радио, 1977.
5. *Сучков Д.И.* Проектирование печатных плат в САПР PCAD 4.5: Учебное пособие. — Обнинск: Призма, 1992.
6. *Сучков Д.И.* Адаптация САПР PCAD к отечественному технологическому оборудованию. — Обнинск: Призма, 1993.
7. *Сучков Д.И.* Проектирование печатных плат в САПР PCAD 4.5, 8.5 и Accel EDA. — М.: Малыш, 1997.
8. *Сучков Д.И.* Проектирование печатных плат в САПР PCAD 8.5-8.7: Руководство пользователя. — М.: Радио и связь, 1999.
9. Теория и методы автоматизации проектирования вычислительных систем / Под ред. М.Брейера. — М.: Мир, 1977.