

МОСКОВСКИЙ ГОСУДАРСТВЕННЫЙ ТЕХНИЧЕСКИЙ
УНИВЕРСИТЕТ им. Н.Э.Баумана

Аксёнов А.Н., Маслеников К.Ю., Спиридонов С.Б.

«Схемотехника дискретных устройств»

*Методические указания
По выполнению лабораторных работ по дисциплине
«Схемотехника дискретных устройств»*

Москва
2020 год.

Введение.....	5
Лабораторная работа №1. Исследование логических элементов и схем на логических элементах.....	14
Часть 1. «Освоение навыков работы с программой Electronics Workbench».....	14
1. Краткая характеристика объекта исследования.....	15
2. Задание и порядок выполнения лабораторной работы.....	29
3. Содержание отчета по лабораторной работе.....	31
4. Контрольные вопросы.....	32
Часть 2. «Синтез логических схем на элементах комбинационного типа».....	33
1. Краткая характеристика объекта изучения.....	33
2. Порядок исследования комбинационных схем с помощью программы Electronic Workbench.....	48
3. Задание на выполнение лабораторной работы с помощью программы Electronics Workbench.....	54
4. Содержание отчёта.....	55
5. Контрольные вопросы.....	55
6. Рекомендуемые источники информации.....	56
Лабораторная работа № 2.	
Исследование узлов на основе логических элементов.....	57
Часть 1. Исследование дешифраторов, шифраторов, мультиплексоров, демультиплексоров.....	58
1. Краткая характеристика объектов исследования.....	58
2. Описание используемых элементов программы EWB для выполнения лабораторной работы.....	74

3. Задание на выполнение лабораторной работы с помощью программы Electronics Workbench.....	75
4. Содержание отчета о выполнении лабораторной работы.....	76
5. Контрольные вопросы.....	76
Часть 2. Исследование триггеров.....	78
1. Характеристика объекта изучения.....	78
2. Описание технологии и приёмов исследования триггеров с помощью программы Electronics Workbench	99
3. Задание на выполнение лабораторной работы с помощью программы Electronics Workbench.....	101
4. Содержание отчета.....	105
5. Контрольные вопросы.....	106
6. Рекомендуемые источники информации.....	106
Лабораторная работа № 3. Исследование устройств на основе триггеров.....	107
Часть 1. Исследование регистров.....	108
1. Сведения об объекте исследования.....	108
2. Выполнение лабораторной работы с помощью программы Electronic Workbench.....	112
3. Задание на выполнение лабораторной работы.....	114
4. Содержание отчета.....	119
5. Контрольные вопросы.....	119
Часть 2. Исследование счётчиков.....	120
1. Характеристика объекта исследования.....	120
2. Задание на выполнение лабораторной работы.....	129
3. Содержание отчета.....	131
4. Контрольные вопросы.....	132
5. Рекомендуемые источники информации.....	134
Лабораторная работа № 4. Исследование арифметических устройств.....	134

Часть 1. Исследование сумматоров.....	135
1. Характеристика объекта изучения.....	135
2. Описание инструментария и элементов программы Electronics Workbench.....	136
3. Задание на выполнение лабораторной работы.....	137
4. Содержание отчета.....	139
5. Контрольные вопросы.....	139
Часть 2. Исследование арифметико-логического устройства.....	140
1. Характеристика объекта изучения.....	140
2. Описание инструментария и элементов программы Electronics Workbench.....	142

Введение

Курс «Схемотехника дискретных устройств» посвящён изучению студентами основ логического и схемотехнического построения типовых узлов и блоков, встречающихся в электронно-вычислительной технике, системах цифровой автоматики, телекоммуникаций, измерений и т.д.

Задача цикла лабораторных работ по указанному курсу состоит в практическом освоении методик проектирования функциональных и комбинационных схем, основывающихся на применении математического аппарата булевых функций. Закрепление теоретического материала, изложенного на лекциях, на основе проведения моделирования поведения конкретных функциональных узлов вычислительной техники при задании множества входных сигналов и оценивания поведения узлов и схем по выходным характеристикам и сигналам.

Направление исследований в процессе выполнения лабораторных работ включает моделирование и исследование поведения исследуемых схем и узлов с помощью программы Electronics Workbench, и Logisim на персональных компьютерах в учебных классах.

В результате выполнения цикла лабораторных работ по курсу «Схемотехника дискретных устройств» студент должен приобрести следующие знания, умения и владения соответствующие компетенциям образовательных программ:

Студент должен знать:

- Состав и назначение основных базовых элементов и узлов ЭВМ и компьютеров. Основные характеристики и выполняемые функции основных базовых элементов и узлов ЭВМ и компьютеров;
- Иерархию построения узлов ЭВМ и компьютеров из изучаемых базовых компонентов;
- Основы дискретной математики применительно к задачам проектирования узлов ЭВМ.

Студент должен уметь:

- объяснить место и назначение отдельного базового элемента и типового узла ЭВМ и компьютера в их типовой архитектуре;
- объяснить место и назначение отдельного базового элемента и типового узла ЭВМ и компьютера в их типовой архитектуре;
- делать выбор рационального варианта проектного решения на элементах ЭВМ;
- производить синтез топологии схем и узлов ЭВМ с применением программных средств моделирования

Студент должен приобрести навыки:

- построения узлов ЭВМ по заданным функциям описания функционирования
- моделирования и анализа элементов и узлов ЭВМ и ПК
- принятия рациональных решений при эксплуатации вычислительных средств широкого класса.

Общий объём цикла лабораторных работ – 34 часа.

В составе цикла 4 темы лабораторных работ длительностью по 8 часов каждая, состоящая из двух частей.

Лабораторные работы проводятся в учебных компьютерных классах кафедры, позволяющих проводить лабораторные работы с помощью персональных компьютеров.

В состав цикла входят следующие темы лабораторных работ:

Лабораторная работа 1. «Исследование логических элементов и схем на логических элементах».

Часть 1. «Освоение навыков работы с программой Electronics Workbench и Logisim. Исследование поведения логических элементов».

В процессе освоения программы Electronics Workbench и Logisim студенты осваивают структуру интерфейса пользователя и систему меню. Особое внимание уделяется закладкам с наборами электронных

компонентов и логических элементов. Под руководством преподавателя студенты выполняют сборку ряда тестовых электрических схем, на которых осваиваются приёмы соединения элементов, удаления элементов и соединений, организации субблоков.

Вторым этапом является освоение индикационных средств и приборов для анализа аналоговых и цифровых сигналов.

Третий этап заключается в исследовании работы имеющихся в библиотеке Electronics Workbench и Logisim логических элементов (7 элементов). Для исследования к логическому элементу подключаются средства индикации и устройства для подачи входных сигналов. Студенты формируют таблицы переходов для каждого логического элемента и формируют материал для отчёта по проведенной лабораторной работе.

Часть 2. «Синтез логических схем на элементах комбинационного типа».

Получение у преподавателя варианта таблицы для синтеза комбинационной схемы. Исследование комбинационной схемы проводится с применением программы Electronics Workbench или Logisim. По таблице переходов студент записывает выражение для функции в совершенной дизъюнктивной нормальной форме и строит по этому выражению необходимую комбинационную схему из набора логических элементов. Проводится исследование правильности её построения по значениям выходного сигнала. Далее производится минимизация по изученной студентами методике, записываются минимизированные выражения для булевой функции в базисах И-ИЛИ-НЕ и И-НЕ. По данным выражения собираются две комбинационные схемы и производится анализ их работы по значениям выходного сигнала. По трём исследуемым комбинационным схемам делается вывод об их тождественности.

Подготовка графических материалов для составления отчёта.

Индивидуальная защита лабораторной работы при сдаче отчёта в процессе выполнения следующих лабораторных работ.

Лабораторная работа 2. «Исследование узлов на основе логических элементов».

Часть 1. «Исследование дешифраторов, шифраторов, мультиплексоров, демультиплексоров».

Исследование работы перечисленных узлов производится с помощью программы Electronics Workbench или Logisim.

Сборка схемы линейного дешифратора на логических элементах И, имеющего 8 выходов и 3 входа. Проверка работы при всех комбинациях входных данных.

Сборка аналогичной схемы дешифратора на элементах И-НЕ с дополнительным разрешающим входом. Проверка работы при всех комбинациях входных данных.

Синтез схемы шифратора на 10 входов и 4 выхода. Запись булевых функций для выходов шифратора в базисе И-ИЛИ и в базисе И-НЕ. Сборка схемы шифратора на логических элементах ИЛИ и на логических элементах И-НЕ. Проверка работоспособности двух схем шифраторов.

Сборка схемы мультиплексора в базисе И-ИЛИ с двумя адресными входами и четырьмя информационными входами. Проверка работоспособности мультиплексора.

Сборка мультиплексора на 8 информационных входов. Проверка работоспособности.

Сборка демультиплексора с 8-ю информационными выходами и 3-мя адресными входами. Проверка работоспособности.

Подготовка графических материалов для составления отчёта.

Индивидуальная защита лабораторной работы при сдаче отчёта в процессе выполнения следующих лабораторных работ.

Часть 2. «Исследование триггеров».

Настройка генератора прямоугольных импульсов (по методическим указаниям).

Построение схем асинхронных триггеров на элементах И-НЕ и ИЛИ-НЕ.

Подключение и настройка прибора «логический анализатор» для получения временных диаграмм.

Построение схемы синхронного динамического RS – триггера. Получение временной диаграммы работы с помощью прибора «логический анализатор».

Построение схемы синхронного RS – триггера с задержкой (MS – типа).
Получение временной диаграммы работы.

Построение счётного триггера на основе динамического D – триггера программы EWB. Подключение прибора «логический анализатор» для получения временной диаграммы работы триггера.

Исследование JK – триггера программы EWB в режимах, указанных в методических указаниях. Получение временных диаграмм. Объяснение влияния сигналов, поступающих по асинхронным входам JK – триггера.

Подготовка графических материалов для составления отчёта.

Индивидуальная защита лабораторной работы при сдаче отчёта в процессе выполнения следующих лабораторных работ.

Лабораторная работа 3. «Исследование устройств на основе триггеров»

Часть 1 «Исследование регистров».

Исследование регистров с помощью программы Electronics Workbench или Logisim.

Подготовка генератора синхроимпульсов и настройка его работы по методическим указаниям к лабораторной работе. Составление схемы реверсивного четырёхразрядного регистра сдвига с возможностью сброса и занесения последовательного кода.

Подключение прибора «логический анализатор» для снятия временной диаграммы работы регистра и настройка его по методическим указаниям.

Получение у преподавателя кода для занесения в регистр и для снятия временной диаграммы. Демонстрация преподавателю работоспособности регистра и реверсивный режим работы.

Составление схемы универсального трёхразрядного регистра с организацией комбинационных схем переключения режимов работы регистра. Отладка его работы при занесении данных параллельным кодом и последовательным кодом при сдвигах вправо и влево. Представление работы регистра преподавателю с пояснением работы схемы управления режимами.

Подготовка графических материалов для отчёта по лабораторной работе.

Индивидуальная защита лабораторной работы при сдаче отчёта в процессе выполнения следующих лабораторных работ.

Часть 2. «Исследование счетчиков».

Исследование счётчиков с помощью программы Electronics Workbench или Logisim.

Подготовка генератора синхроимпульсов и настройка его работы по методическим указаниям к лабораторной работе.

Составление схемы реверсивного 4-х разрядного счётчика на счётных триггерах без задержки. Подключение к схеме счётчика прибора «логический анализатор» и получение временной диаграммы его работы.

Составление схемы реверсивного 4-х разрядного счётчика на триггерах JK- типа. Подключение к схеме счётчика прибора «логический анализатор» и получение временной диаграммы его работы. Проверка управления состоянием счётчика через асинхронные входы JK- триггеров.

Составление схемы асинхронного счётчика с ограничением модуля счёта. Значение модуля и тип направления счёта выдаётся преподавателем индивидуально.

Подготовка графических материалов для отчёта по лабораторной работе.

Индивидуальная защита лабораторной работы при сдаче отчёта в процессе выполнения следующих лабораторных работ.

Лабораторная работа 4

Часть 1. «Исследование сумматоров».

Исследование работы сумматоров проводится с помощью программы Electronics Workbench или Logisim.

Составление комбинационной схемы одноразрядного полного сумматора из логических элементов состава программы EWB. Подсоединение схемы подачи аргументов и контроля результатов. Проверка работоспособности.

Составление схемы 4-х разрядного комбинационного сумматора параллельного действия с последовательным переносом на одноразрядных полных сумматорах программы EWB. Подсоединение схемы подачи аргументов и контроля результатов. Проверка работоспособности.

Составление схемы 4-х разрядного вычитателя на основе одноразрядных сумматоров программы EWB. Подсоединение схемы подачи аргументов и контроля результатов. Проверка работоспособности.

Составление схемы 4-х разрядного универсального сумматора-вычитателя на основе одноразрядных сумматоров программы EWB. Подсоединение схемы подачи аргументов и контроля результатов. Проверка работоспособности в режиме сложения и вычитания чисел.

Составление схемы 4-х разрядного инкрементора на основе одноразрядных сумматоров программы EWB. Проверка работоспособности.

Подготовка графических материалов для отчёта по лабораторной работе.
Индивидуальная защита лабораторной работы при сдаче отчёта в процессе выполнения следующих лабораторных работ.

Часть 2 . «Исследование арифметико-логического устройства».

Выбор микросхемы АЛУ из набора микросхем программы EWB (согласно методическим указаниям).

Создание подсхемы задания значений входных операндов. Создание подсхемы задания управляющих сигналов для АЛУ. Подсоединение цифровых индикаторов для анализа результатов операций на АЛУ. Сборка дополнительных подключений для проверки компаратора в составе АЛУ.

Выполнение моделирования работы АЛУ в режиме задания целых чисел без знака в режиме арифметических команд, применяя модификацию команд наличием входного переноса и затем несколько логических операций. Перечень команд для проверки работоспособности выдаётся преподавателем индивидуально.

Проверить работу АЛУ в режиме компаратора (по методическим материалам).

Подготовка графических материалов для отчёта по лабораторной работе. Индивидуальная защита лабораторной работы при сдаче отчёта в процессе выполнения следующих лабораторных работ.

Состав материалов, предоставляемых в отчётах сформулирован для каждой темы лабораторной работы. Для самостоятельной подготовки к защите лабораторной работе по каждой теме приводится перечень типовых вопросов в разделах «контрольные вопросы».

Лабораторная работа №1.
**«Исследование логических
элементов и схем на
логических элементах».**

**Часть 1. «Освоение навыков работы с программой
Electronics Workbench»
(Обозначение в журнале: Л 1.1)**

Цель лабораторной работы – изучение возможностей программы и пользовательского интерфейса программы Electronics Workbench (EWB). Изучение панели инструментов пользователя, имеющихся библиотечных электронных, логических и вспомогательных компонентов, необходимых для исследования схем широкого назначения. В результате проведения практического построения схем студент должен провести анализ получаемых

результатов и выполнить задание по поиску аналогии поведения электрической переключательной схемы и булевой функцией, воспроизводимой соответствующим логическим элементом. Составить таблицы поведения булевой функции от всех комбинаций подаваемых сигналов на соответствующий логический элемент.

Продолжительность работы – 4 часа.

1. Краткая характеристика объекта исследования.

Программный комплекс EWB разработан фирмой Interactive Image Technologies (Канада) для схемотехнического моделирования цифровых и аналоговых радиоэлектронных устройств.

Предварительное исследование электронной схемы с применением компьютерного моделирования позволяет найти оптимальные параметры для работы исследуемого устройства, не прибегая к его практической реализации. Исследование на программной модели позволяет ознакомиться с возможностями проверки правильности построения схем. При разработке сложных схем физическое моделирование бывает просто невозможно из-за чрезвычайной сложности устройства.

Особенность программы EWB в наличии в ней контрольно-измерительных приборов, по внешнему виду, органам управления и характеристикам максимально приближенных к их промышленным аналогам.

Программа EWB 4.1 рассчитана для работы в среде Windows 3.xx или 95/98 и занимает около 5 Мбайт дисковой памяти, EWB 5.0 - в среде Windows 95/98 и NT 3.51, требуемый объём дисковой памяти - около 16 Мбайт. Для размещения временных файлов требуется дополнительно 10.....20 Мбайт свободного пространства.

В данном руководстве рассматривается версия EWB5PRO и EWB v.5.12.

1.1 Структура окна и система меню.

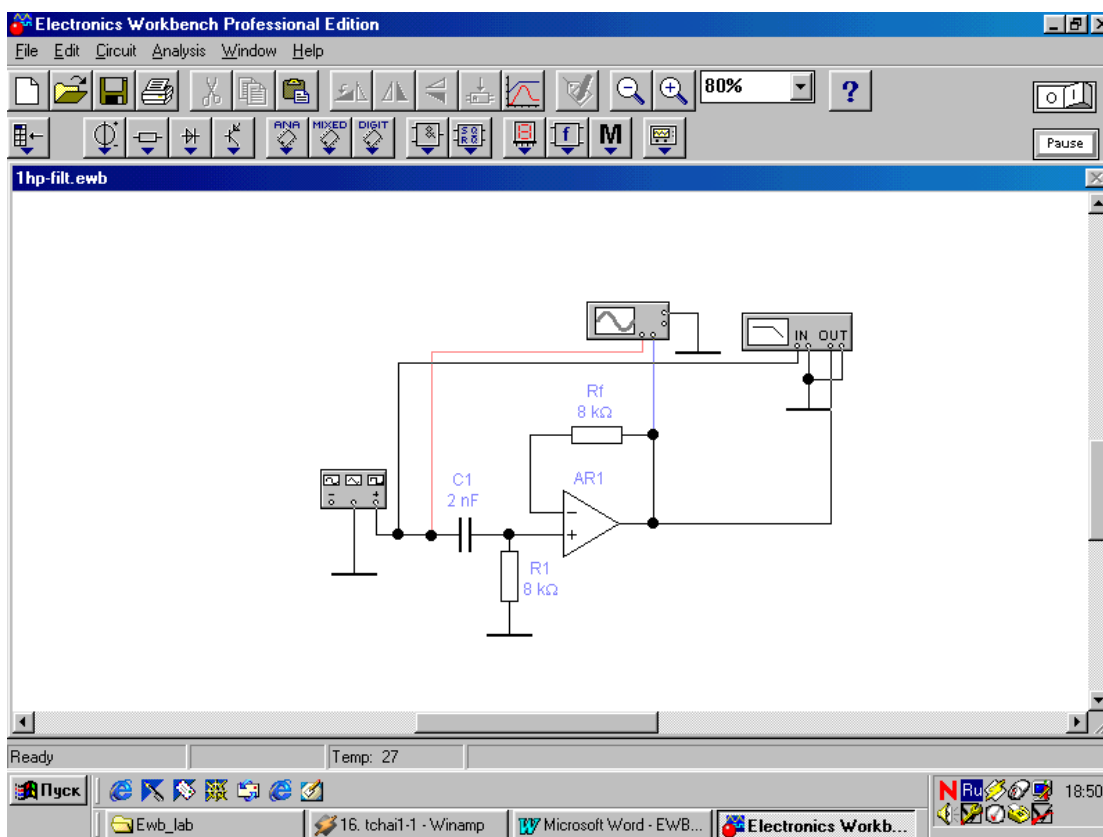


Рис. 1. Окно программы EWB 5.x.

Окно содержит строку команд меню, строку основных типовых электронных устройств, поле для составления исследуемой схемы и полосы управления прокруткой.

1.2 Основные команды меню:

Меню File:

первые четыре команды меню типовые и пояснений не требуют.

- **Revert to Saved** - стирание всех изменений, внесенных в текущем сеансе редактирования, и восстановление схемы в первоначальном виде.

- **Install** - установка дополнительных программ с жёстких дисков.

- **Import** - импорт текстовых файлов описания схемы.

- **Export** - составление текстового описания схемы и задания на моделирование в формате SPICE.

Меню Edit:

- **CUT** - стирание (вырезание) выделенной части схемы с сохранением в буфере обмена. Выделение одного компонента производится щелчком мыши на изображении компонента. Для выделения части схемы или нескольких компонентов курсор мыши в левый угол воображаемого прямоугольника, охватывающего выделяемую часть, нажать левую кнопку мыши и, не отпуская её, протянуть курсор по диагонали этого прямоугольника, контуры которого появляются уже в начале движения мыши, и затем отпустить кнопку. Выделенные компоненты окрашиваются в красный цвет.

- **COPY** - копирование выделенной части схемы в буфер обмена.

- **PAST**- вставка содержимого буфера обмена на рабочее поле программы. Фрагмент затем ещё будучи отмеченным перетаскивается с помощью мыши в нужное место.

- **DELETE** - стирание выделенной части схемы.

- **SELECT ALL** - выделение всей схемы.

- **COPYBITS** - команда превращает курсор мыши в крестик, которым по правилу прямоугольника можно выделить нужную часть экрана, после отпускания левой кнопки мыши выделенная часть копируется в буфер обмена, после чего его содержимое может быть импортировано в любое приложение Windows. Копирование всего экрана производится нажатием клавиш Print Screen; копирование активной в данный момент части экрана, например, диалогового окна - комбинацией Alt+Print Screen.

- **Show Clipboard**- показать содержимое буфера обмена.

- **Copy as Bitmap** - копирует выделенный участок в буфер обмена.

Меню Circuit - используется при подготовке схем, а также для задания параметров моделирования.

- **Activat** - запуск моделирования.

- **Stop** - остановка моделирования. Эти две команды дублируются нажатием кнопки выключателя, расположенного в правом верхнем углу экрана.

- **Pause** - прерывание моделирования.
- **Label** - ввод позиционного обозначения выделенного компонента с помощью диалогового окна.
- **Value** - изменение номинального значения параметра компонента с помощью диалогового окна.
- **Model** - выбор модели компонента, команда выполняется также двойным щелчком по компоненту. Работа с меню, как и во всех других подобных случаях, заканчивается нажатием кнопок **Accept** или **Cancel** - с сохранением или без сохранения введённых изменений.
- **Zoom** - раскрытие (развёртывание) выделенной подсхемы или контрольно-измерительного прибора, команда выполняется также двойным щелчком мыши по иконке компонента или прибора.
- **Rotate**- вращение выделенного компонента.
- **Fault** - имитация неисправности выделенного компонента путём введения:
 - leakage- сопротивления утечки,
 - short - короткого замыкания,
 - open - обрыва,
 - none - отсутствие неисправности (включено по умолчанию).
- **Subcircuit** - преобразование предварительно выделенной части схемы в подсхему.
- **Wire Color** - изменение цвета предварительно выделенного проводника. Расцветка проводников важна в случае применения логического анализатора, - в этом случае цвет проводника определяет цвет временной диаграммы.
- **Preferences**- выбор элементов оформления схемы в соответствии с меню.

1.3 Технология создания электрических и электронных схем.

Для создания схем, рассматриваемых в рамках лабораторных работ по курсу «Схемотехника дискретных устройств» достаточно воспользоваться имеющимися типовыми компонентами.

Для открытия нужной библиотеки компонентов нужно подвести курсор мыши к соответствующей иконке и нажать один раз её левую кнопку. В выпадающем множестве выбирается необходимый значок, и передвигается при удержании левой клавиши мыши на рабочее поле программы. Для установки параметров необходимо двойным нажатием левой кнопкой мыши раскрыть меню настройки параметров компонента. Выбор подтверждается нажатием кнопкой **Accept** и клавишей **Enter**.

После размещения компонентов производится соединение их выводов проводниками. При этом необходимо учитывать, что к выводу компонента можно подключить только один проводник.

Для выполнения подключения курсор мыши подводится к выводу компонента и после появления прямоугольной площадки синего цвета, нажимается левая кнопка и появляющийся при этом проводник протягивается к выводу другого компонента до появления на нём такой же прямоугольной площадки, после чего кнопка мыши отпускается и соединение готово. При необходимости

подключения к этим выводам других проводников в библиотеке **Passive** выбирается точка (символ соединения) и переносится на ранее установленный проводник. После удачной постановки точки к проводнику подсоединяется ещё два проводника.

Точка соединения может быть использована не только для подключения проводников, но и для введения надписей.

Если необходимо переместить отдельный сегмент проводника, к нему подводится курсор, нажимается левая кнопка и после появления в вертикальной или горизонтальной плоскости двойного курсора производятся нужные перемещения.

Подключение к схеме контрольно-измерительных приборов производится аналогично. Причём для таких приборов, как осциллограф или логический анализатор, соединения целесообразно проводить цветными проводниками, поскольку их цвет определяет соответствующую осциллограмму.

1.4 Основные компоненты EWB.

Компонент **Выход из EWB.**



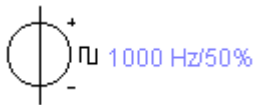
Вспомогательные компоненты -группа **SOURCES:**



- заземление (метка) . точка нулевого потенциала в схеме.



- источник фиксированного напряжения +5 вольт



- генератор однополярных прямоугольных импульсов (амплитуда, частота, коэффициент заполнения).

Основные пассивные элементы - группа **BASIC:**



- точка соединения проводников, используется также для введения на схему надписей длиной не более 14 символов (других способов введения текста в EWB не существует).



- переключатель, управляемый нажатием задаваемой клавишей клавиатуры (в квадратных скобках), по умолчанию - клавиша пробела.

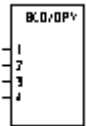


- переключатель, автоматически срабатывающий через заданное время на включение и выключение (время в секундах).

Индикаторные приборы - группа **INDICATORS**.



- светоиндикатор (свет свечения может быть настроен красным, зелёным и синим)



- семисегментный индикатор с дешифратором .



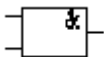
- семисегментный индикатор .

10 W/12 V

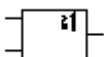


- лампа накаливания.

Логические элементы - группа **LOGIC GATES**



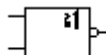
- логический элемент "И"



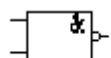
- логический элемент "ИЛИ"



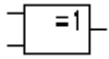
- логический элемент "НЕ"



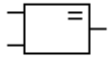
- логический элемент "ИЛИ-НЕ"



- логический элемент "И-НЕ"

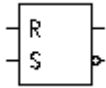


- логический элемент исключающее "ИЛИ"

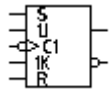


- логический элемент импликация

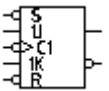
Комбинированные цифровые компоненты.



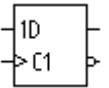
- асинхронный RS-триггер



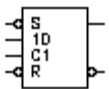
- универсальный JK-триггер с прямым тактовым входом и входами предустановки



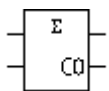
- универсальный JK-триггер с инверсным тактовым входом и инверсными входами предустановки



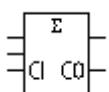
- D-триггер без предустановки



- D- со входами предустановки



- полусумматор



- полный сумматор

Приборы, группа INSTRUMENTS:

-- логический анализатор

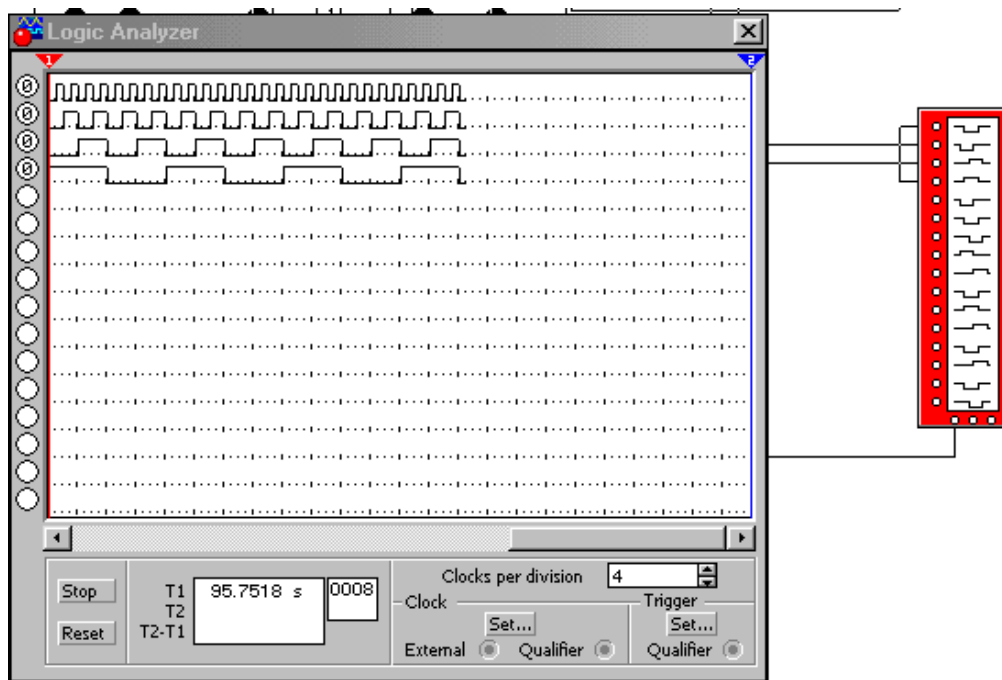


Рис.2. Развёрнутое информационное поле логического анализатора.

- генератор слова Word Generator.

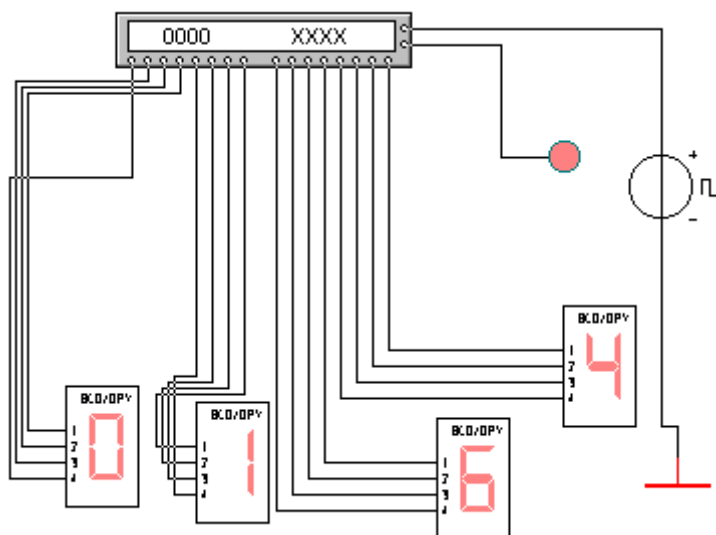
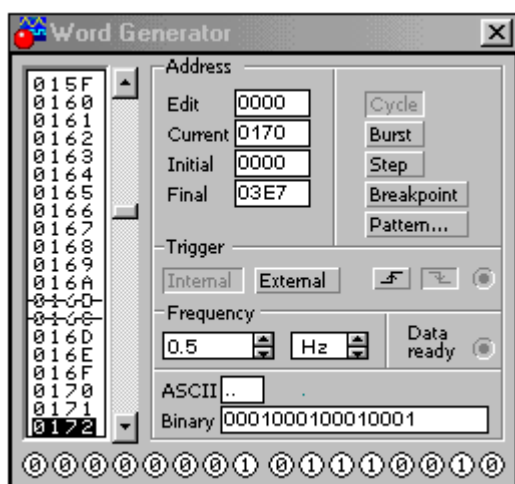


Рис.3. Свернутая панель генератора кодов Word Generator.



- генератор слова - **Word Generator**

Рис.4. Развернутая панель прибора Word Generator

На рисунке (Рис.3) показан генератор слова с подключенными семисегментными индикаторами и внешним генератором синхроимпульсов.

На рис.4. генератор слова показан в развёрнутом виде.

Генератор (или кодовый генератор) предназначен для генерации

16-ти 16-ти разрядных двоичных слов, которые набираются пользователем на экране, расположенным в левой части лицевой панели. Для набора двоичных комбинаций необходимо щёлкнуть мышью на соответствующем разряде и затем ввести с клавиатуры

число в десятичном коде.

Сформированные слова выдаются на шестнадцать расположенных в нижней части прибора выходных клемм-индикаторов:

- с индикацией в двоичном коде в строке окна binary;
- в пошаговом (step), циклическим (cycle) или с выбранного слова до конца (при нажатии кнопки BURST) при заданной частоте посылок (установка-заданием частоты в окнах FREQUENCY);
- при внутреннем или внешнем запуске (при нажатии кнопки EXTERNAL, справа верхняя клемма служит для подключения сигнала синхронизации);
- при запуске по переднему или заднему фронту сигнала синхронизации служит кнопка



- на правую нижнюю клемму выдается выходной синхронизирующий импульс.

Логический преобразователь- **Logic Converter**.

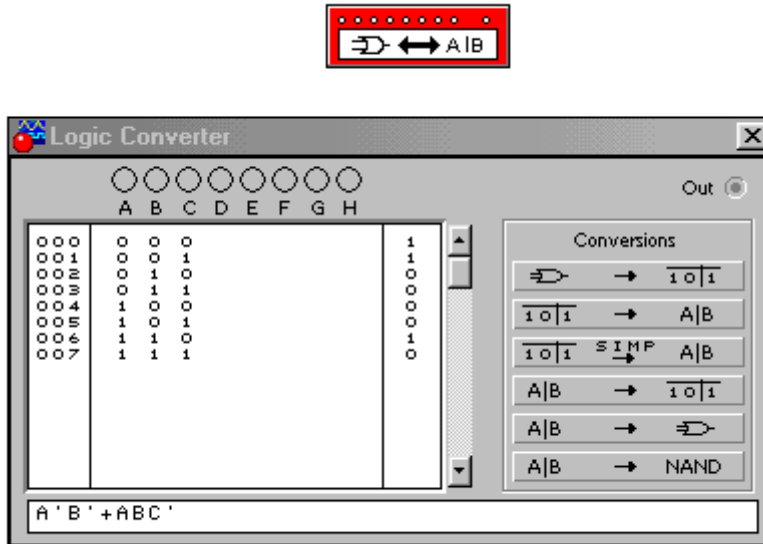


Рис.5. Логический преобразователь- **Logic Converter**.

На лицевой панели преобразователя показаны клеммы-индикаторы входов A,B,...H и одного выхода OUT, экран для отображения таблицы истинности исследуемой схемы, экран-строка для отображения её булевого выражения (в нижней части).

Логический анализ n-входового устройства с одним выходом может осуществлять следующие действия, используя кнопки управления:

1.



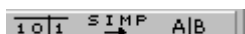
- таблицу истинности исследуемого устройства;

2.



- булево выражение, реализуемое устройством;

3.



- минимизированное булево выражение;

4.



- схему устройства на логических элементах без ограничения их типа;

5.

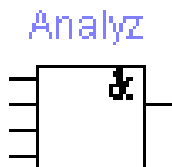


- схему устройства только на логических элементах И-НЕ.

1.5 Описание технологии и пример составления схемы для исследования.

Собрать схему логического элемента "И".

В группе Logic Gates, выбирается логический элемент "И".

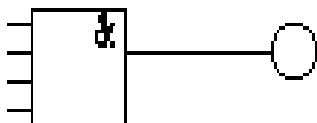


Двумя щелчками мыши на изображении логического элемента переходим к настройкам параметров логического

элемента "И". Выбираем количество входов, например 4.

Можно присвоить название логическому элементу.

К выходу логического элемента присоединяем из группы **INDICATORS**



красный светодиод.

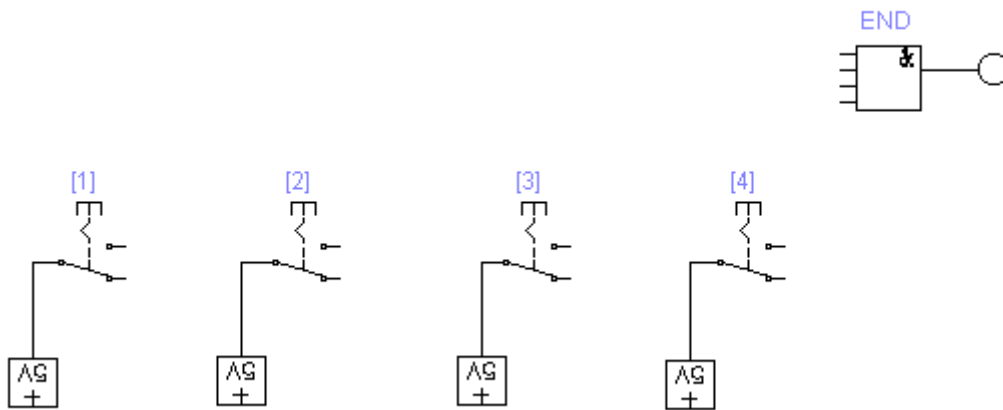
Для получения логического сигнала (0 или 1) удобно воспользоваться источником напряжения



и переключателем



Затем набираем 4 источника и 4 переключателя



При этом присваиваем каждому переключателю клавишу переключения

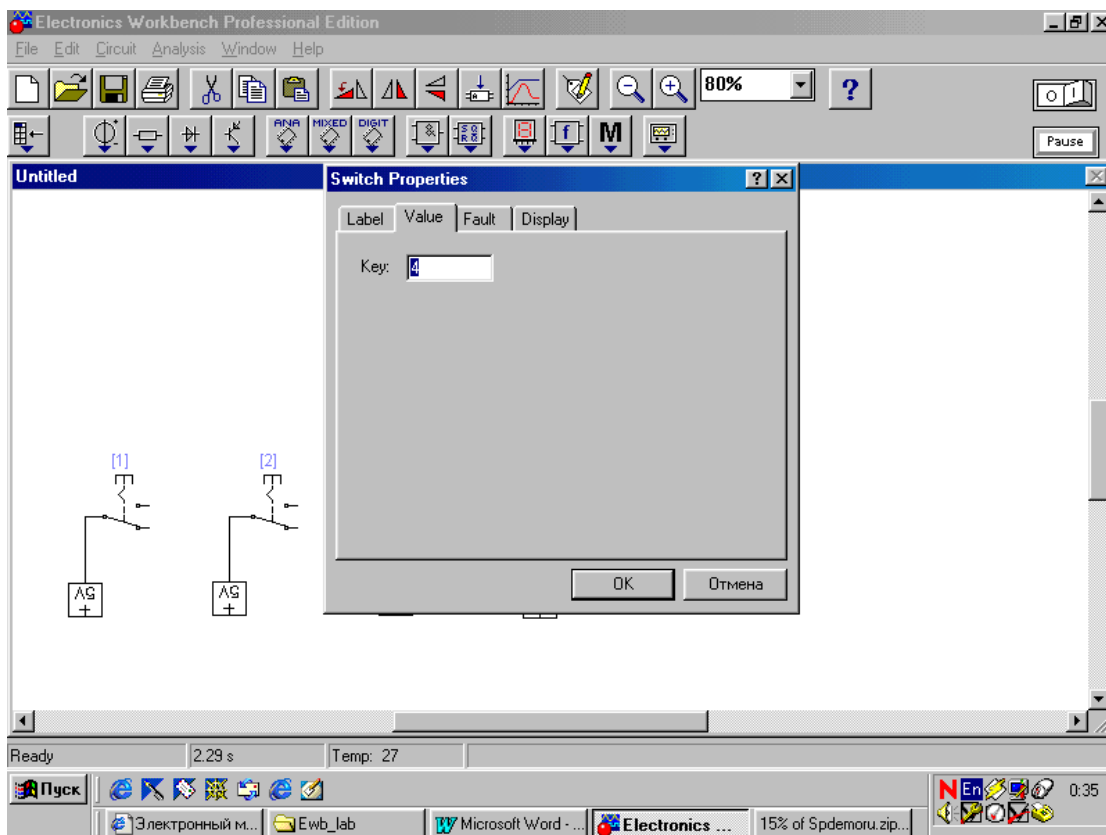


Рис. 6. Меню назначения управляющих клавиш.

Затем соединяем входы логической схемы "И" с каждым из переключателей.

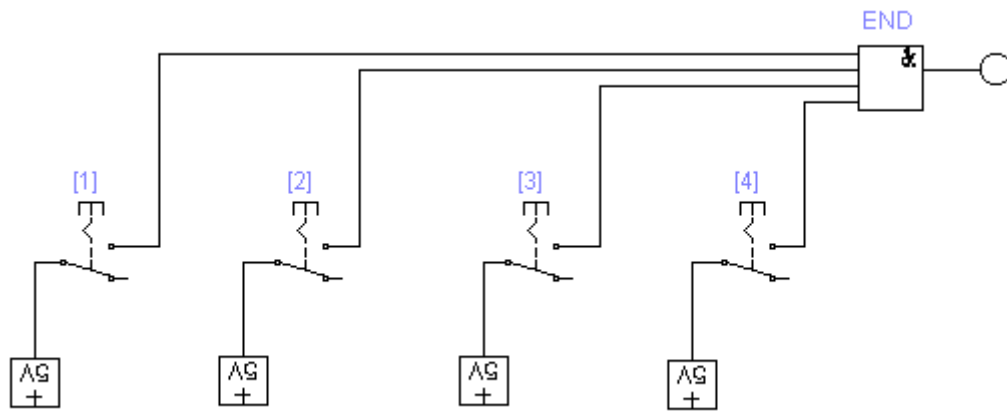


Рис. 7. Схема исследования функционирования логического элемента «И» (END) при значениях «0» на всех входах.

Проверка состоит в подаче различных кодовых комбинаций кодов на входы логического элемента «И».

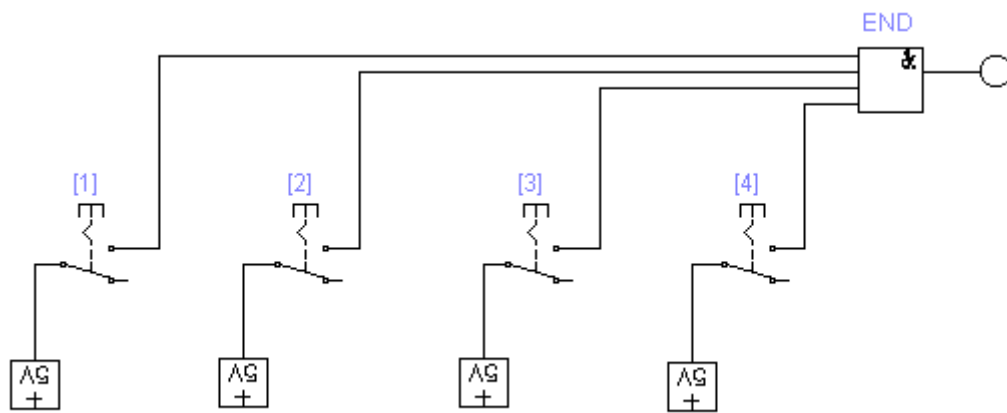


Рис. 7. Схема исследования функционирования логического элемента «И» (END) при значениях «0» на всех входах.

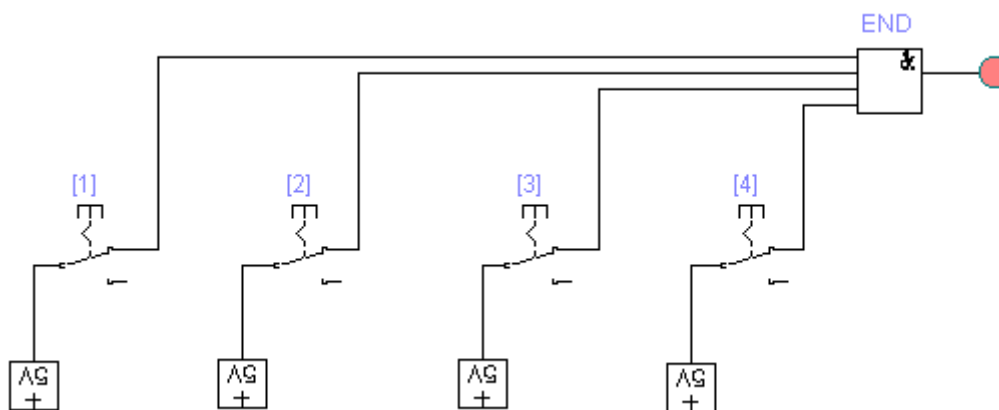


Рис. 8. Схема исследования функционирования логического элемента «И» при значениях «1» на всех входах.

На выходе логической схемы "И" появляется логическая 1 (горит светодиод) только при подаче логических 1 (потенциал 5 вольт) на все четыре входа логической схемы "И".

2. Задание и порядок выполнения лабораторной работы.

2.1. Собрать переключательные схемы (рис. 1), содержащие по два переключателя, источник напряжения 12 вольт, сопротивление 1 ом и лампочку на 12 вольт. В последующих схемах применить параллельное подключение переключателей.

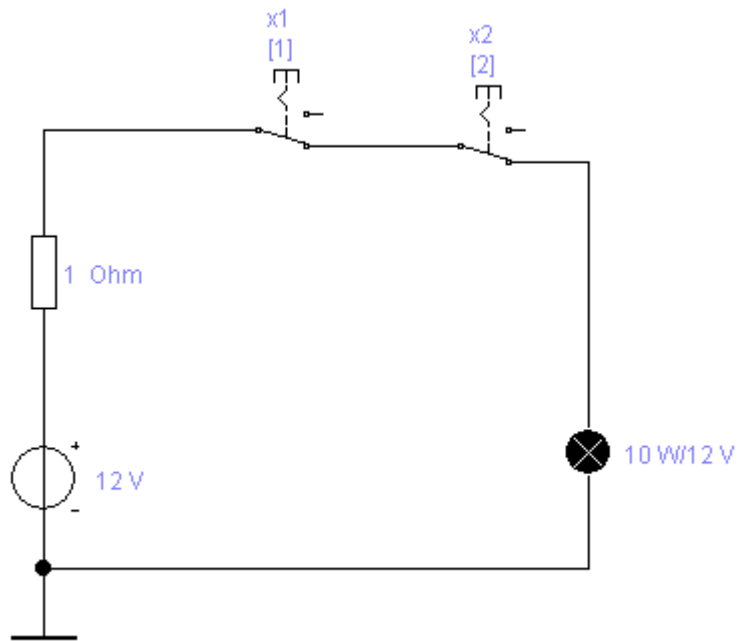


Рис.9. Пример реализации переключательной схемы с двумя переключателями соединёнными последовательно.

Собрать электрические схемы, работающие по логике логических элементов «И», «ИЛИ», «НЕ», «И-НЕ», «ИЛИ-НЕ».

2.2. Собрать схему для исследования логических элементов (рис. 10).

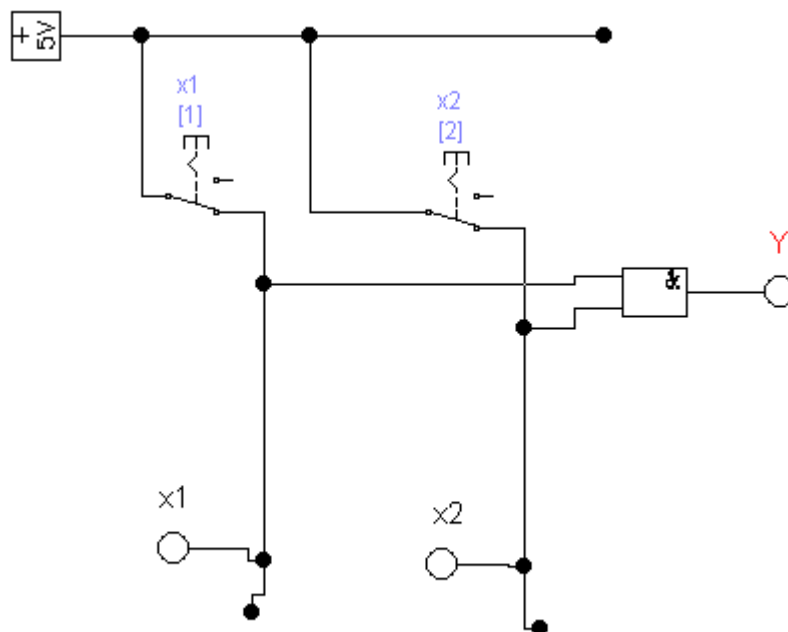


Рис. 10. Схема для исследования логических элементов.

2.3. Найти соответствие работы переключательной схемы и соответствующего логического элемента. Зафиксировать поведение функции Y в таблицах для каждой переключательной схемы и каждого логического элемента по образцу (табл.1.). Считать замкнутое состояние переключателя соответствующим состоянию переменной $x_n = 1$, разомкнутое $x_n = 0$.

Таблица 1. (указать наименование логического элемента).

x_1	x_2	Y
0	0	
0	1	
1	0	
1	1	

3. Содержание отчета по лабораторной работе.

1. Правила запуска и настройки программного моделирующего комплекса EWB.
2. Перечень основных элементов из библиотеки EWB, необходимый для моделирования логических схем и цифровых устройств ЭВМ.
3. Исследуемая переключательная схема (из числа) заданных, схема исследования логического элемента, функция поведения которого эквивалентна работе переключательной схеме. Таблица поведения функции от двух входных сигналов x_1, x_2 для каждой переключательной схемы и логического элемента из множества элементов «LOGIC GATES».

4. Контрольные вопросы.

1. Какие логические элементы имеются в библиотеке EWB?
2. Какие параметры являются настраиваемыми генераторе прямоугольных импульсов.
3. Как производится соединение более двух входов или выходов

между собой?

4. Какой командой можно скопировать изображение схемы в отчёт по лабораторной работе, подготавливаемой в текстовом редакторе WORD.

5. С помощью каких элементов можно смоделировать подачу логической 1 и логического 0?

Часть 2. «Синтез логических схем на элементах комбинационного типа» (Обозначение в журнале: Л 1.2)

Цель работы - реализация различных двоичных функций, заданных таблицей истинности, при помощи логических элементов с потенциальным способом задания информации. Освоение применения законов, теорем и правил преобразования булевых функций с целью получения схем с наименьшим количеством элементов. Приобретение навыков построения эквивалентных комбинационных схем на различных логических элементах.

Продолжительность работы: 4 часа.

1. Краткая характеристика объекта изучения.

В цифровой вычислительной технике (ЦВТ) вся информация, необходимая для вычислительного процесса, представляется в виде набора дискретных сигналов. Каждый из сигналов может принимать одно из двух возможных значений, обозначаемых «1» и «0». Символ «1» обозначает наличие сигнала, «0» – его отсутствие.

В схемах цифровых вычислительных устройств переменные и соответствующие им сигналы изменяются и воспринимаются не непрерывно, а лишь в дискретные моменты времени, обозначаемые целыми положительными числами.

$$t_i = 0, 1, \dots, i, \dots, n$$

При потенциальном способе представления информации при положительной логике двум значениям переменной “1” и “0” соответствует высокий и низкий уровни напряжения. Потенциальный сигнал сохраняет постоянный уровень (нулевой или единичный) в течение периода представления информации (такта).

Понятие о комбинационной схеме и цифровом автомате.

Преобразование информации в ЦВТ производится электронными устройствами двух классов: комбинационными схемами и цифровыми автоматами или автоматами с памятью.

В комбинационных схемах (КС), называемых также автоматами без памяти, совокупность выходных сигналов (выходное слово Y) в дискретный момент времени t_i однозначно определяется входными сигналами (входным словом X), поступившим на входы в тот же дискретный момент времени.

Реализуемый в этих схемах способ обработки информации называется комбинационным, т.к. результат обработки информации зависит от

комбинации входных сигналов и вырабатывается сразу после подачи на входы входной информации.

Закон функционирования КС определен, если задано соответствие между входными словами и её выходными словами в табличной или аналитической форме.

$$Y_i = f_i(x_1, x_2, \dots, x_n) \quad (1)$$

В алгебре логики (булевой алгебре) обычно все X_i и Y_i могут принимать только два значения: 0 и 1. В этом случае функции $f_1 \dots f_m$ называются функциями алгебры логики (булевыми или двоичными функциями).

Другой, более сложный, класс преобразователей цифровой информации составляют цифровые автоматы. Цифровой автомат, в отличие от логической схемы, имеет некоторое конечное число различных внутренних состояний.

$$Q = \{q_0, q_1, \dots, q_k\} \quad (2)$$

Под воздействием входного слова цифровой автомат переходит из одного состояния в другое и выдает выходное слово. Выходное слово на выходе цифрового автомата в дискретный момент времени определяется входным словом, поступившим в этот момент времени на вход автомата, и внутренним состоянием автомата, которое явилось результатом воздействия на автомат входных слов в предыдущие моменты времени.

Цифровой автомат обязательно содержит память, состоящую из запоминающих элементов (триггеров, элементов задержки и др.), фиксирующих состояние, в котором он находится.

Комбинационная схема не содержит запоминающих элементов, поэтому её называют автоматом без памяти или “примитивным автоматом”

Элементы алгебры логики.

Логика в общем смысле – это наука о формах и законах мышления. Математическая логика – наука о применении математических методов для решения различных логических задач.

В ЦВТ для целей проектирования используется, главным образом, начальный раздел математической логики – исчисление высказываний (алгебра логики, булева алгебра).

Возможность применения алгебры логики к задачам проектирования цифровых устройств обусловлена аналогией понятий и категорий алгебры логики и двоичной системы счисления.

Множество элементов, которые рассматриваются в алгебре логики равно 2. Эти элементы получили название двоичных переменных. Для них в алгебре логики определены:

- отношение эквивалентности, обозначаемое символом равенства “=”,
- три операции:

1) операция логического сложения (дизъюнкции), обозначаемая символом “ \vee ” или “+”,

2) операция логического умножения (конъюнкции), обозначаемая символом “ \wedge ” или “&” или “.”,

3) операция логического отрицания (инверсии), обозначаемая черточкой над двоичной переменной “ \bar{X} ”.

В качестве постулатов или аксиом принимается, что при выполнении перечисленных операций отношения эквивалентности имеют следующий вид:

$$\begin{array}{lll} \text{а) } 0+0=0 & \text{б) } 0*0=0 & \text{в) } \bar{0}=1 \\ 0+1=1 & 0*1=0 & \bar{1}=0 \\ 1+0=1 & 1*0=0 & \\ 1+1=1 & 1*1=1 & \end{array}$$

Возможна и другая система постулатов. На основании постулатов выводятся соотношения или законы алгебры логики для двоичных переменных.

Законы одинарных элементов:

а) закон универсального множества – $x + 1 = 1, x * 1 = x,$

б) закон нулевого множества – $x + 0 = x, x * 0 = 0.$

Законы отрицания:

а) закон двойного отрицания – $\overline{\overline{x}} = x,$

б) закон дополнительности – $x + \overline{x} = 1, x * \overline{x} = 0,$

в) закон двойственности – $\overline{x_1 + x_2} = \overline{x_1} * \overline{x_2}, \overline{x_1 * x_2} = \overline{x_1} + \overline{x_2}.$

Комбинационные законы:

а) закон тавтологии – $x + x + x + \dots + x = x, x * x * x * \dots * x = x,$

б) переместительный закон – $x_1 + x_2 = x_2 + x_1, x_1 * x_2 = x_2 * x_1$

в) сочетательный закон –

$$(x_1 + x_2) + x_3 = x_1 + (x_2 + x_3), (x_1 * x_2) * x_3 = x_1 * (x_2 * x_3),$$

г) распределительный закон – $x_1(x_2 + x_3) = x_1 * x_2 + x_1 * x_3,$

$$x_1 + (x_2 * x_3) = (x_1 + x_2)(x_1 + x_3),$$

д) закон поглощения – $x_1 + x_1 * x_2 = x_1, x_1(x_1 + x_2) = x_1,$

е) закон склеивания – $x_1 * x_2 + x_1 * \overline{x_2} = x_1, (x_1 + x_2) * (\overline{x_1} + \overline{x_2}) = x_1.$

Законы двойственности, называемые также законами де Моргана, были обобщены Шенноном в следующую теорему:

Операция инвертирования произвольной комбинации двоичных переменных, связанных знаками дизъюнкции и конъюнкции эквивалентна замене в этой комбинации исходных значений двоичных переменных их инверсными значениями при одновременной смене знаков дизъюнкции и конъюнкции.

$$f(x_1, x_2, \dots, x_p, " + ", " * ") = f(x_1, x_2, \dots, x_p, " * ", " + "). \quad (3)$$

Двоичной (булевой) функцией называется двоичная переменная (y), значения которой зависят от значений других двоичных переменных (x_1, x_2, \dots, x_p), называемых аргументами, т.е.

$$Y=f(x_1, x_2, \dots, x_p). \quad (4)$$

Чтобы задать двоичную функцию, необходимо каждому из возможных сочетаний (наборов) её аргументов поставить в соответствие определенное значение функции “у” т.е. 1 или 0, поскольку двоичная функция, как и её аргументы принимает только два значения 1 или 0.

При числе аргументов функции равном “р”, полное число различных наборов аргументов

$$P = 2^p. \quad (5)$$

Поскольку каждому набору могут соответствовать два значения “у” (0 или 1), то общее число различных функций от “р”аргументов будет определяться следующим соотношением

$$F=2^{2P}. \quad (6)$$

Для $p=1$, $F=4$ т.е. существует 4 функции одного переменного, табл.2

Таблица. 2 Таблица функции одной переменной.

X	0	1	Выражение	Наименование
№ п/п	Значение f(x)		$y=f(x)$	$y=f(x)$
0	0	0	$y_0=0$	Константа 0
1	0	1	$y_1=x$	Повторение
2	1	0	$y_2 = \bar{x}$	Функция НЕ
3	1	1	$y_3=1$	Константа 1

Для $p=2$, $F=16$, т.е. существует 16 различных функций от двух переменных, табл.3.

Таблица 3. Таблица функций двух переменных.

x_1	0	1	0	1	Выражение функции $y=f(x_1, x_2)$ через три основные операции	Наименование функции $y=f(x_1, x_2)$
x_2	0	0	1	1		
№ п/п	Значения $y=f(x_1, x_2)$					
0	0	0	0	0	$y=0$	Константа нуля
1	0	0	0	1	$y_1=x_1 * x_2 = x_1 \wedge x_2$	Конъюнкция
2	0	0	1	0	$y = \bar{x}_1 * x_2 = x_2 \rightarrow x_1$	Запрет по x_1
3	0	0	1	1	$y_3=x_2$	Тавтология x_2
4	0	1	0	0	$y_4 = x_1 * \bar{x}_2 = x_1 \rightarrow x_2$	Запрет по x_2
5	0	1	0	1	$y_5=x_1$	Тавтология x_1
6	0	1	1	0	$y_6 = \bar{x}_1 * x_2 + x_1 * \bar{x}_2 = x_1 \oplus x_2$	Исключающее ИЛИ
7	0	1	1	1	$y_7=x_1+x_2=x_1 \vee x_2$	Дизъюнкция
8	1	0	0	0	$y_8 = \overline{x_1 + x_2} = x_1 \downarrow x_2$	Стрелка Пирса
9	1	0	0	1	$y_9 = \bar{x}_1 * x_2 + x_1 * \bar{x}_2 = x_1 \sim x_2$	Равнозначность
10	1	0	1	0	$y_{10} = \bar{x}_1$	Инверсия x_1
11	1	0	1	1	$y_{11} = \bar{x}_1 + x_2 = x_1 \rightarrow x_2$	Импликация от x_1 к x_2
12	1	1	0	0	$y_{12} = \bar{x}_2$	Инверсия x_2
13	1	1	0	1	$y_{13} = x_1 + \bar{x}_2 = x_2 \rightarrow x_1$	Импликация от x_2 к x_1
14	1	1	1	0	$y_{14} = \overline{x_1 * x_2} = x_1 \downarrow x_2$	Штрих Шеффера
15	1	1	1	1	$y_{15}=1$	Константа единицы

Технические аналоги булевых функций.

Техническим аналогом булевой функции является комбинационная схема, выполняющая соответствующее этой функции преобразование информации. Провод, по которому в схеме передается двоичный сигнал, может рассматриваться как технический аналог булевой переменной, а уровни напряжения шин, соответствующие принятому в схеме представлению сигналов 0 и 1.

Элементарные логические операции над двоичными переменными реализуются электронными схемами, которые называются электронными логическими элементами или просто логическими элементами. Число входов логического элемента соответствует числу аргументов воспроизводимой им булевой функции.

Один и тот же закон преобразования информации можно реализовать, используя различные типы и комбинации логических элементов и различные связи между ними. Для набора логических элементов можно ввести понятие функциональной полноты.

Набор логических элементов обладает функциональной полнотой, если при помощи конечного числа этих элементов можно построить схему с любым законом функционирования.

Любая комбинационная схема может быть построена с применением лишь трех видов логических элементов (технических аналогов булевых функций – дизъюнкции, конъюнкции, инверсии): элемента ИЛИ, элемента И, элемента НЕ соответственно. Следовательно, совокупность элементов ИЛИ, И, НЕ является функционально полной системой.

Функционально полной системой является также система, состоящая из одиночного элемента И-НЕ (элемент Шеффера) или одиночного элемента ИЛИ-НЕ (элемент Пирса), или одиночного элемента И-ИЛИ-НЕ.

На основе элемента Шеффера можно получить, используя законы алгебры логики, три основные логические функции ИЛИ, И, НЕ, составляющие основной функционально полный набор (ОФПН) функций.

$$x_1 + x_2 = \overline{\overline{x_1} \cdot \overline{x_2}}; \quad x_1 \cdot x_2 = \overline{\overline{x_1} \cdot \overline{x_2}}; \quad \overline{x} = x \cdot x \quad (7)$$

На рис.1.1 приведены условные графические обозначения (УГО) основных логических элементов: ИЛИ, И, НЕ, ИЛИ-НЕ, И-НЕ, И-ИЛИ-НЕ, используемых при синтезе комбинационных схем.

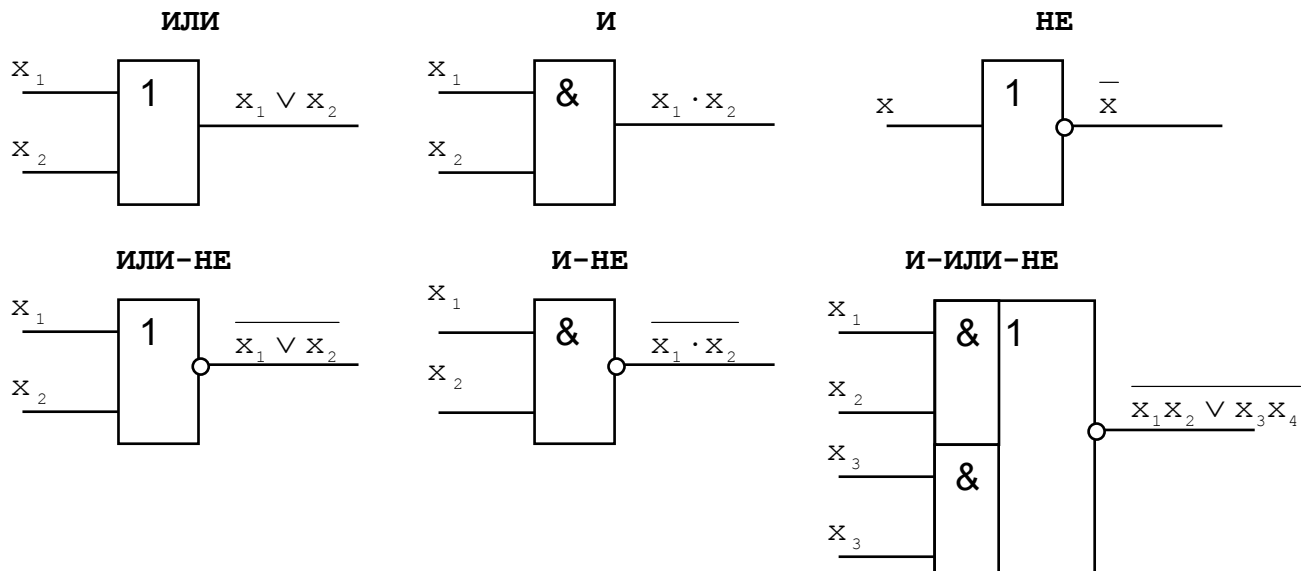


Рис.11 УГО логических элементов: ИЛИ, И, НЕ, ИЛИ-НЕ, И-НЕ, И-ИЛИ-НЕ.

Функциональная полнота системы элементов И-НЕ иллюстрируется на рис.12.

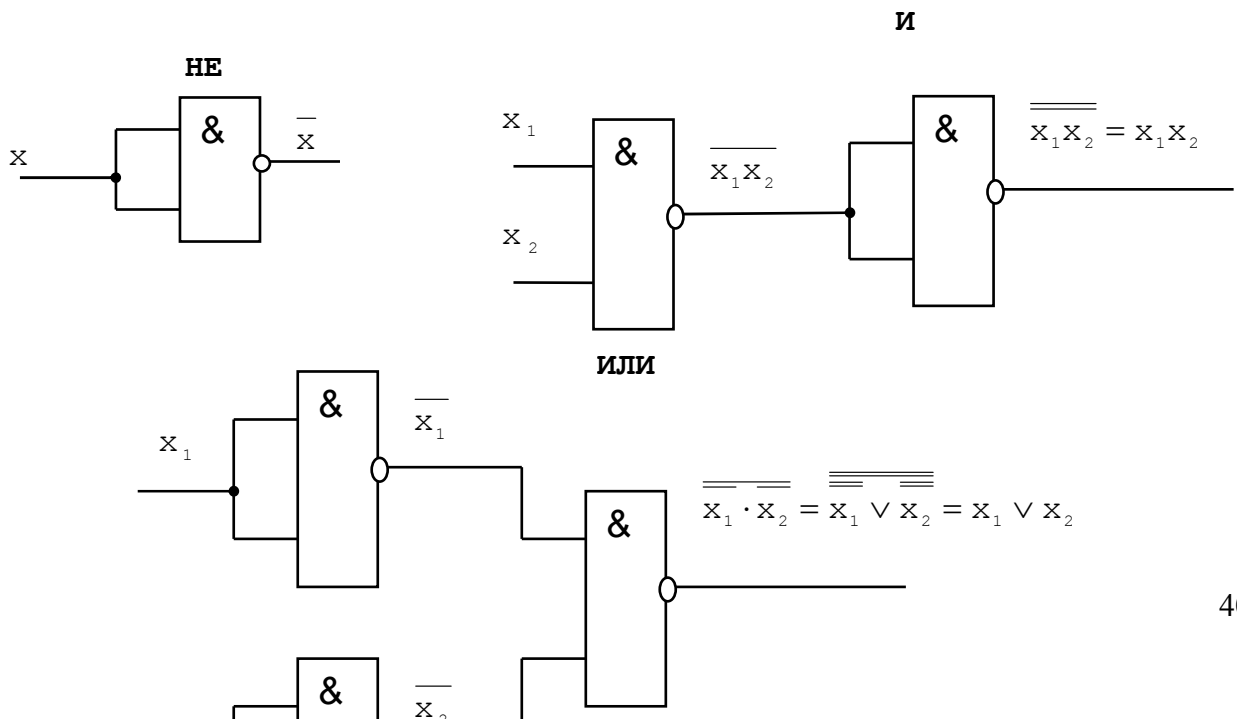


Рис.12 Схемы реализации элементов «НЕ», «И», «ИЛИ» на основе элементов «И-НЕ».

Аналогично можно показать функциональную полноту системы элементов ИЛИ-НЕ; И-ИЛИ-НЕ.

Синтез комбинационных схем.

Существуют различные способы задания или представления булевых функций:

1. Словесное представление функций.

Например: функция от трех аргументов принимает значение 1, если два любых аргумента или все три равны 1. Во всех других случаях функция равна 0.

Этим высказыванием значения выходной функции соответствующей схемы полностью задано.

2. Табличный способ.

При этом способе функция представляется в виде таблицы истинности, в которой записываются все возможные наборы аргументов и для каждого набора устанавливается значение функции 0 и 1.

3. Алгебраический способ.

От таблицы истинности можно перейти к алгебраической форме представления функции. В такой форме удобно производить различные преобразования функций, например, с целью их минимизации.

Дизъюнктивная нормальная форма (ДНФ) представляет собой логическую сумму элементарных логических произведений, в каждое из которых аргумент или его отрицание входят не более одного раза.

$$\text{Например: } f(x_1, x_2, x_3) = \bar{x}_1 \bar{x}_2 + x_2 \bar{x}_3 + \bar{x}_1 x_2 \bar{x}_3 \quad (8)$$

Если каждое слагаемое содержит все переменные или их отрицания, то в этом случае логическая функция представлена в совершенной дизъюнктивной нормальной форме (СДНФ).

Конъюнктивная нормальная форма (КНФ) представляет собой логическое произведение элементарных логических сумм, в каждую из которых аргумент или его отрицание входят не более одного раза.

$$\text{Например: } f(x_1, x_2, x_3) = (\bar{x}_1 + \bar{x}_2)(x_2 + x_3)(\bar{x}_1 + x_2 + \bar{x}_3) \quad (9)$$

Переход от таблицы истинности к СДНФ можно осуществить следующим путем. Для каждого набора, на котором функция равна единице, записывается произведение всех аргументов, причем, если аргумент в этом наборе принимает значение "0", то пишется его отрицание. Затем производится логическое сложение этих элементарных произведений.

Для перехода от таблицы истинности к СКНФ логической функции, по каждому набору двоичных переменных, на котором функция принимает значение "0", записывается дизъюнкция всех переменных, и полученные дизъюнкции логически перемножаются. При записи логических сумм инвертируются те переменные, которые в таблице истинности имеют значение единицы.

Пример написания СДНФ и СКНФ логической функции. Пусть логические функции y_1 и y_2 заданы в виде таблицы истинности, табл.4.

Таблица. 4. Таблица функций трёх переменных.

x_1	x_2	x_3	y_1	y_2
-------	-------	-------	-------	-------

0	0	0	0	0
0	0	1	1	1
0	1	0	0	1
0	1	1	1	1
1	0	0	0	1
1	0	1	1	1
1	1	0	0	1
1	1	1	1	0

Тогда СДНФ и СКНФ логических функций y_1 и y_2 запишутся следующим образом:

$$Y_1^{СДНФ} = \overline{x_1}\overline{x_2}x_3 + \overline{x_1}x_2x_3 + x_1\overline{x_2}x_3 + x_1x_2x_3 \quad (10)$$

$$Y_1^{СКНФ} = (x_1 + x_2 + x_3)(x_1 + \overline{x_2} + x_3)(\overline{x_1} + x_2 + x_3)(\overline{x_1} + \overline{x_2} + x_3) \quad (11)$$

$$Y_2^{СДНФ} = \overline{x_1}\overline{x_2}x_3 + \overline{x_1}x_2\overline{x_3} + \overline{x_1}x_2x_3 + x_1x_2\overline{x_3} \quad (12)$$

$$Y_2^{СКНФ} = (x_1 + x_2 + x_3)(\overline{x_1} + \overline{x_2} + \overline{x_3}) \quad (13)$$

Комбинационные схемы, реализующие вышеприведенные СДНФ и СКНФ логических функций, должны содержать, соответственно (рис. 13-16):

$Y_1^{сднф}$ —четыре трехвходовые схемы И и одна четырехвходовая схема ИЛИ,

$Y_1^{скнф}$ —четыре трехвходовые схемы ИЛИ и одна четырехвходовая схема И,

$Y_2^{сднф}$ —шесть трехвходовых схем И и одна шестивходовая схема ИЛИ,

$Y_2^{скнф}$ —две трехвходовые схемы ИЛИ и одна двухвходовая схема И.

Минимизация булевых функций.

Основная задача состоит в получении такой формы, которой соответствует логическая функция с минимальным числом элементов. Различают несколько методов минимизации булевых функций.

При эвристических методах преобразования логических функций, использующих законы алгебры логики. Конечный вид минимизируемой функции в значительной степени зависит от квалификации и опыта разработчика цифровых устройств.

Методы Квайна и Мак-Класки используются, вследствие четко сформулированных правил проведения отдельных операций, для минимизации сложных функций по разработанным алгоритмам с использованием ЭВМ.

Метод карт Карно или карт Вейча, отличающихся способом обозначения строк и столбцов таблицы истинности, нашел применение при минимизации логических функций с числом двоичных переменных не более 5-6.

Метод карт Карно.

Карту Карно можно рассматривать как графическое представление совокупности всех наборов переменных для данного числа переменных. Каждый набор переменных изображается на карте в виде клетки. Таким образом, при $n=3$ карта имеет 8 клеток, а при $n=6$ – 64 клетки, рис. 17 и рис. 18. соответственно.

x_1x_2 x_3	00	01	11	10
0				
1				

Рис.17. Карта Карно для функции трех переменных.

$x_1x_2x_3$ $x_4x_5x_5$	000	001	011	010	110	111	101	100
000								
001								
011								
010								
110								
111								
101								
100								

Рис.18. Карта Карно для функции четырех переменных.

Карта Карно образуется путем такого расположения клеток, при котором наборы переменных, находящиеся в соседних клетках, отличаются значением одной переменной. В картах Карно соседними считаются также крайние клетки каждого столбца или строки. Расположенные в них наборы переменных отличаются значением одной переменной.

Минтермы логической функции, т.е. наборы двоичных переменных, при которых эта функция равна 1, отмечаются единицами в соответствующих клетках. Для наборов переменных не входящих в логическую функцию соответствующие им клетки остаются пустыми.

Логическая функция, записанная в СДНФ или заданная в виде таблицы истинности, переносится на карту Карно. Затем карта покрывается контурами. В контур может входить 2^n рядом расположенных клеток, содержащих единичное значение логической функции, т.е. 2,4,8 и т.д. точек. Допускается пересечение контуров.

Два минтерма, находящиеся в соседних клетках, т.е. в одном контуре, могут быть заменены одним логическим произведением, содержащим на одну переменную меньше. Исключается та переменная, которая меняет своё значение при переходе из одной клетки в другую. Если соседними являются две пары минтермов, то такая группа из четырех минтермов может быть

заменена конъюнкцией двоичных переменных, содержащих на две переменных меньше. В общем случае, наличие единиц в 2^n соседних клетках позволяет исключить n переменных.

При минимизации с помощью карт Карно рекомендуется следовать следующему правилу:

Необходимо образовывать контура в которые входило бы максимально возможное количество клеток с минтермами - произведение будет наиболее простым. Контуров должно быть как можно меньше, чтобы было меньше слагаемых.

После покрытия карты контурами производится их анализ с точки зрения уменьшения числа переменных. На основе анализа контуров записывается минимизированная ДНФ (МДНФ) логической функции в виде логической суммы логических произведений двоичных переменных. При этом двоичные переменные, имеющие единичное значение записываются без инверсии, а имеющие нулевое значение с инверсией.

Минимизацию с помощью карт Карно можно использовать и для логических функций представленных в СКНФ. В этом случае, наборы двоичных переменных, при которых логическая функция равна 0 (макстермы), отмечаются нулями в соответствующих клетках карты. Аналогично образуются контура, охватывающие клетки с макстермами, далее контура анализируются, и записывается минимальная КНФ (МКНФ) логической функции в виде логического произведения логических сумм двоичных переменных, в которых двоичные переменные, имеющие нулевое значение, записываются без инверсии, а имеющие единичное значение с инверсией.

В качестве примера минимизации с помощью карт Карно взяты логические функции, приведенные в табл.4.

Карта Карно для функции Y_1 приведена на рис.19.

$X_3 \backslash X_1X_2$	00	01	11	10
0	0	1	0	0
1	1	1	1	1

Рис.19. Карта Карно для функции Y_1

Карта Карно для функции y_2 приведена на рис.20.

$X_3 \backslash X_1X_2$	00	01	11	10
0	0	1	1	1
1	1	1	1	1

Рис.20. Карта Карно для функции y_2 .

Карты Карно для функций y_1 и y_2 приведены на рис 19 и рис.20 соответственно. После минимизации с помощью карт Карно получают следующие минимальные дизъюнктивная и конъюнктивная нормальные формы логических функций y_1 и y_2 :

$$y_1^{\text{днф}} = x_3 + \bar{x}_1x_2, \quad (14)$$

$$y_1^{\text{мкнф}} = (\bar{x}_1 + x_3)(x_2 + x_3), \quad (15)$$

$$y_2^{\text{днф}} = x_1 + x_2 + x_3, \quad (16)$$

$$y_2^{\text{мкнф}} = x_1 + x_2 + x_3. \quad (17)$$

При реализации логических функций на элементах Шеффера (И-НЕ) необходимо дважды проинвертировать МДНФ функций y_1 и y_2 :

$$y_1^{шеф} = \overline{\overline{x_3 x_1 x_2}}, \quad (18)$$

$$y_2^{шеф} = \overline{\overline{x_1 x_2 x_3}} \quad (19)$$

Схемы реализации функций y_1 и y_2 на элементах Шеффера приведены на рис.21 и рис.22.

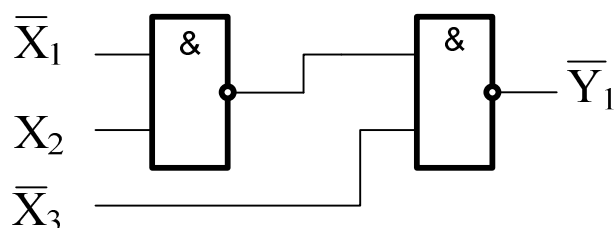


Рис.21. Схема функции Y_1 .

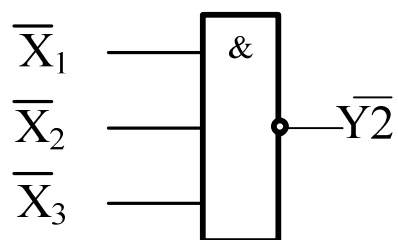


Рис.22. Схема функции Y_2 .

2. Порядок исследования комбинационных схем с помощью программы Electronic Workbench.

2.1. По заданному преподавателем варианту ($Y_1 \div Y_{10}$) из таблицы истинности (табл. 4), записать СДНФ, и по данному уравнению булевой функции построить комбинационную схему из логических элементов библиотеки EWB.

2.2. Проверить ее работоспособность, задавая все комбинации переменных, указанные в таблице 5.

Таблица 5. Таблица 11-ти вариантов булевых функций.

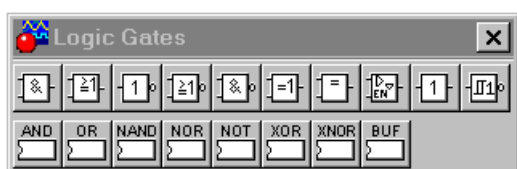
X ₁	X ₂	X ₃	Y ₁	Y ₂	Y ₃	Y ₄	Y ₅	Y ₆	Y ₇	Y ₈	Y ₉	Y ₁₀	Y ₁₁
0	0	0	1	1	0	0	1	0	1	0	0	0	0
0	0	1	1	1	1	1	0	0	1	0	0	0	0
0	1	0	1	0	0	1	1	1	0	0	0	0	0
0	1	1	0	0	1	0	0	1	1	0	1	0	1
1	0	0	0	0	1	0	0	1	0	1	0	1	0
1	0	1	0	0	0	1	1	1	0	1	0	0	1
1	1	0	0	1	1	1	0	0	0	1	1	1	1
1	1	1	0	1	0	0	1	0	0	0	1	1	1

2.3. Провести минимизацию СДНФ с помощью карт Карно и записать минимизированное выражение булевой функции. В соответствии с полученным выражением собрать комбинационную схему (в базисе И-ИЛИ) и проверить её работоспособность по таблице 5.

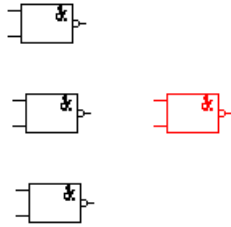
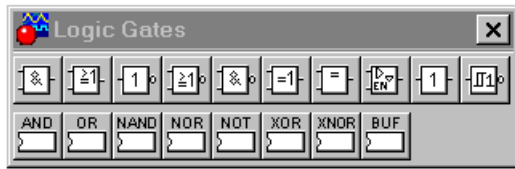
2.4. С помощью формулы Де Моргана выразить минимизированное выражение в базисе элементов Шеффера (И-НЕ) и проверить её работоспособность по таблице 5.

Для построения комбинационной схемы необходимо использовать четыре двухвходовых логических элемента И-НЕ.

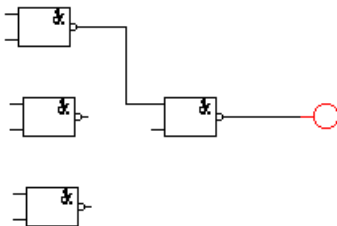
Открываем закладку Logic Gates:



При нажатой левой клавише мыши перетаскиваем нужный логический элемент на рабочее поле EWB



Для индикации значения функции используется светодиод из закладки Indicators и подсоединяется к выходу комбинационной схемы.

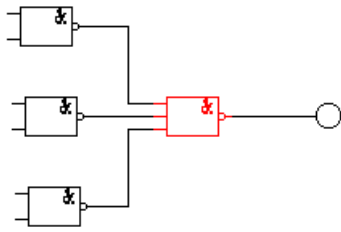


Последний логический элемент И-НЕ должен иметь три входа.

Для этого необходимо курсор мыши установить на этот логический элемент и двойным щелчком левой клавиши мыши вызвать панель настройки собственных параметров.

Выбрать функцию Number of Inpout и указать точкой нужное количество входов в правой колонку кружков.

Соединить выходы первой группы элементов И-НЕ с входами последнего элемента И-НЕ.



Для задания комбинаций значений входных переменных удобно использовать Генератор двоичных слов Word Generator из закладки Instruments



На пиктограмме генератора слова изображено 01X. Курсором при нажатой левой клавише перетаскиваем его на рабочее поле.

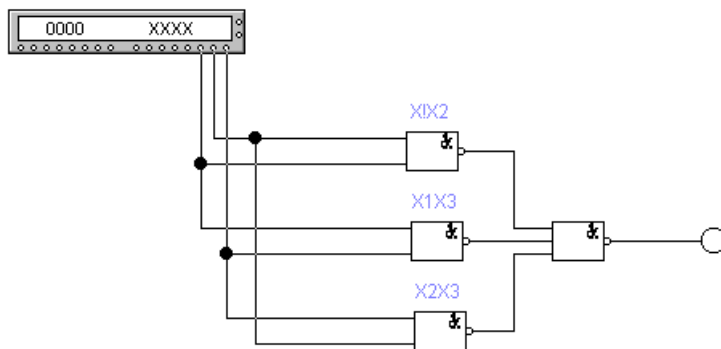


Рис.23 Исследуемая комбинационная схема.

Нижний горизонтальный ряд точек это выходные клеммы шестнадцатиразрядного слова генератора. В данном примере используются три переменных, поэтому используем три правых (младших) «клеммы» и соединяем их с входами логических элементов И-НЕ согласно полученному выражению для функции Y . Далее необходимо настроить генератор слова. Для этого необходимо установить курсор на его изображении и дважды щёлкнуть левой клавишей мыши. Появится его изображение в развёрнутом виде:

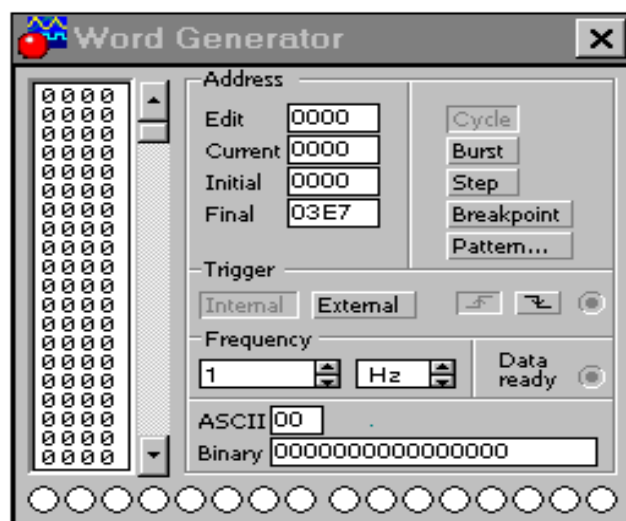


Рис.24. Главное меню генератора слов (кодов).

Генератор предназначен для генерации 16-разрядных двоичных слов, которые набираются пользователем на экране, расположенном в левой части лицевой панели. Для набора двоичных комбинаций необходимо щелкнуть мышью на соответствующем разряде и затем ввести с клавиатуры 0 или 1. Дальнейшие перемещения по полю экрана удобнее проводить не с помощью мыши, а клавишами управления курсором. Содержимое экрана можно стереть, загрузить новое значение или записать в файл соответствующими кнопками. При записи в полученном текстовом файле с расширением *.dp будет записано в виде таблицы содержимое экрана с указанием номеров строк (слов). При необходимости его можно отредактировать и загрузить снова.

Номер редактируемой ячейки фиксируется в окошке "Edit" блока "Adress". Всего таких ячеек и, следовательно, комбинации - 2048. В процессе работы генератора в отсеке "Adress" индицируется номер текущей ячейки "Current", ячейки инициализации или начала работы "Initial" и конечной ячейки "Final". Выдаваемые на 16 выходов кодовые комбинации индицируются в текстовом "ASCII" и двоичном коде "Binary".

Сформированные слова выдаются на 16 расположенных в нижней части прибора выходных клемм-индикаторов.

Внешний запуск (нажата кнопка "External") по готовности данных (клемма "Data ready"). Сигнал с этого выхода сопровождает каждую выдаваемую на выход кодовую комбинацию и используется в этом случае, когда исследуемое устройство обладает свойством квитирования (подтверждения). В этом случае после получения очередной кодовой комбинации и сопровождающего его сигнала "Data ready" исследуемое устройство должно выдать сигнал подтверждения получения данных, который подается на вход синхронизации генератора (клемма в блоке "Trigger") и производит очередной запуск генератора.

Органы управления:

Breakpoint - прерывание работы генератора в указанной ячейке. При этом требуемая ячейка выбирается на дисплее генератора курсором, а затем нажимается кнопка "Breakpoint". После нажатия на кнопку "Pattern" появится меню:

Clear buffer - стереть содержимое всех ячеек.

Open - открыть (загрузить) кодовые комбинации из файла.

Save - записать все комбинации в файл.

Up counter - заполнить буфер экрана кодовыми комбинациями, начиная с 0 в нулевой ячейке и далее с прибавлением 1 в каждой последующей ячейке.

Down counter - заполнить буфер экрана комбинациями, начиная с FFFF в нулевой ячейке и далее с уменьшением на 1.

Shift right - заполнить каждые 4 ячейки комбинациями 1-2-4-8 со смещением их в следующих четырех ячейках вправо.

Shift left - то же самое, но со смещением влево.

Для удобства анализа таблицы устанавливаем приемлемую частоту выдачи слов в 1 Гц.

Нажав кнопку Pattern получаем подменю Presaved pattern:

Отмечаем точкой опцию Up counter для создания последовательности значений переменных, соответствующей приведённой таблице. Для подтверждения затем нажимается кнопка «Асепт».

Для запуска теста включаем электронный макет (выключатель в правой стороне панели инструментов).

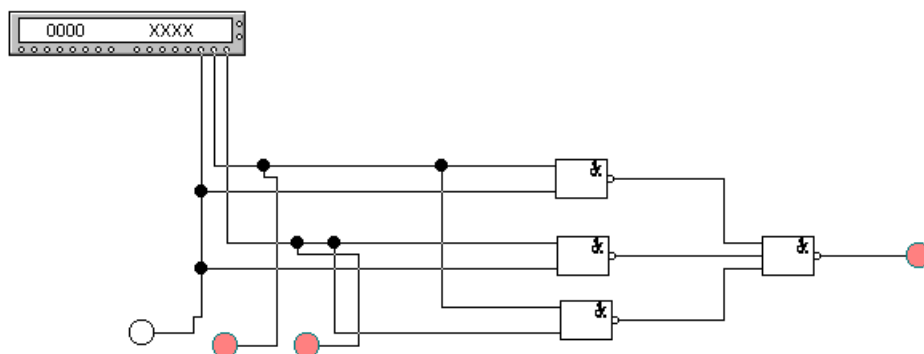


Рис.25. Итоговая схема для проверки правильной работы комбинационной схемы.

3. Задание на выполнение лабораторной работы с помощью программы Electronics Workbench.

3.1. Для заданного варианта в пункте А1 составить СКНФ.

3.2. Собрать общую часть схемы (рис.8) для подключения к ней четырёх комбинационных схем. Синтезированную комбинационную схему подключить к общей части схемы (рис.25).

3.3. Проверить ее работоспособность, задавая все комбинации переменных, указанные в таблице 5.

3.4. Провести минимизацию СКНФ с помощью карт Карно и записать минимизированное выражение булевой функции. В соответствии с полученным выражением собрать комбинационную схему (в базисе ИЛИ-НЕ), подключить её к общей схеме и проверить её работоспособность по таблице 5.

4. Содержание отчёта.

- 4.1. Таблица с вариантом истинности булевой функции, выданная преподавателем.
- 4.2. Запись булевой функции в совершенной дизъюнктивной нормальной форме (СДНФ).
- 4.3. Материалы по минимизации заданной логической функции (СДНФ): изображение карты Карно с выделенными контурами..
- 4.4. Запись минимизированного выражения в базисах И-ИЛИ-НЕ и И-НЕ.
- 4.5. Запись булевой функции в совершенной конъюнктивной нормальной форме (СКНФ).
- 4.6. Материалы по минимизации заданной логической функции (СКНФ): изображение карты Карно с выделенными контурами.
- 4.7. Запись минимизированного выражения в базисах И-ИЛИ-НЕ и ИЛИ-НЕ.
- 4.8. Схема исследования поведения функций в программе EWB, включающая неминимизированные комбинационные схемы по СДНФ и СКНФ, минимизированные комбинационные схемы в базисах И-ИЛИ-НЕ, И-НЕ и ИЛИ-НЕ.

5. Контрольные вопросы.

- 5.1. Каким свойством обладает функционально полный набор логических элементов?
- 5.2. Перечислите три функционально-полных набора логических функций.
- 5.3. С помощью какого закона можно сделать преобразование булевой функции, из одного функционально-полного набора в другой?
- 5.4. Перечислите известные вам методы минимизации булевых функций.
- 5.5. Какая цель достигается при возможности минимизации булевой функции?
- 5.6. Сформулируйте правило обозначений последовательностей кодов переменных в карте Карно.

- 5.7. Какое количество переменных можно объединять в контур на карте Карно?
- 5.8. Считаются ли соседними диагональные клетки в прямоугольной Карте Карно?
- 5.9. В чём состоит отличие комбинационной схемы от цифрового автомата?
- 5.10. В чём состоит отличие записи дизъюнктивной и конъюнктивной формы булевой функции, заданной табличным способом?

6. Рекомендуемые источники информации.

- 8.1. В.И. Карлащук. Электронная лаборатория на IBM PC. М., "СОЛОН-Р", 2001.
- 8.2. Электротехника и электроника в экспериментах и упражнениях: Практикум на Electronics Workbench: В 2-х томах /Под общей редакцией Д.И.Панфилова. М.: ДОДЭКА, 2000.
- 8.3. Потёмкин И.С. Функциональные узлы цифровой автоматики. - М.: Энергоатомиздат, 1988. - 320 с.
- 8.4. Пухальский Г.И., Новосельцева Т.Я. Цифровые устройства: Учебное пособие для втузов. - СПб.: Политехника, 1996. - 885 с.
- 8.5. Савельев А.Я. Арифметические и логические основы цифровых автоматов: Учебник. - М.: Высшая школа, 1980.-255 с.
- 8.6. Угрюмов Е.П. Цифровая схемотехника. - СПб.: БХВ - Санкт-Петербург, 2000 - 528 с.: ил.

Лабораторная работа № 2.

**«Исследование узлов на
основе логических
элементов»**

Часть 1. Исследование дешифраторов, шифраторов, мультиплексоров, демультиплексоров. (Обозначение в журнале: Л 2.1)

Цель работы - исследование работы дешифраторов, шифраторов, мультиплексоров и демультиплексоров. Изучение возможности использования различного базиса для построения альтернативных комбинационных схем данных устройств. В результате проведения лабораторной работы студент должен уметь применять исследованные функциональные устройства для формирования более сложных узлов вычислительной техники, входящих в программу курса. Приобретение практических навыков для выполнения домашнего задания.

Продолжительность лабораторной работы: 4 часа.

1. Краткая характеристика объектов исследования.

1.1 Дешифраторы.

Дешифратором называется комбинационная схема с несколькими входами и выходами, преобразующая код, подаваемый на входы, в сигнал на одном из выходов (так называемый унарный код). Если на входы дешифратора подаются двоичные переменные, то на одном из выходов дешифратора вырабатывается сигнал 1, а на остальных выходах сохраняются нули.

В общем случае дешифратор с n входами имеет 2^n выходов рис.26, так как n -разрядный код входного слова может принимать 2^n различных значений и каждому из этих значений соответствует сигнал единицы на одном из выходов дешифратора. Число входов и выходов в так называемом полном дешифраторе связано соотношением $m=2^n$, где n — число входов, а m — число выходов. Если в работе дешифратора используется неполное число выходов, то такой дешифратор называется неполным. Так, например, дешифратор, имеющий 4 входа и 16 выходов,

будет полным, а если бы выходов было только 10, то он являлся бы неполным.

На выходах дешифратора вырабатываются значения булевых функций соответственно:

$$F_0 = !X_n * !X_{n-1} * \dots * !X_2 * !X_1 * !X_0 ; \quad (20)$$

$$F_1 = !X_n * !X_{n-1} * \dots * !X_2 * !X_1 * X_0 ; \quad (21)$$

$$F_2 = !X_n * !X_{n-1} * \dots * !X_2 * X_1 * !X_0 ; \quad (22)$$

$$F_3 = !X_n * !X_{n-1} * \dots * !X_2 * X_1 * X_0 ; \quad (23)$$

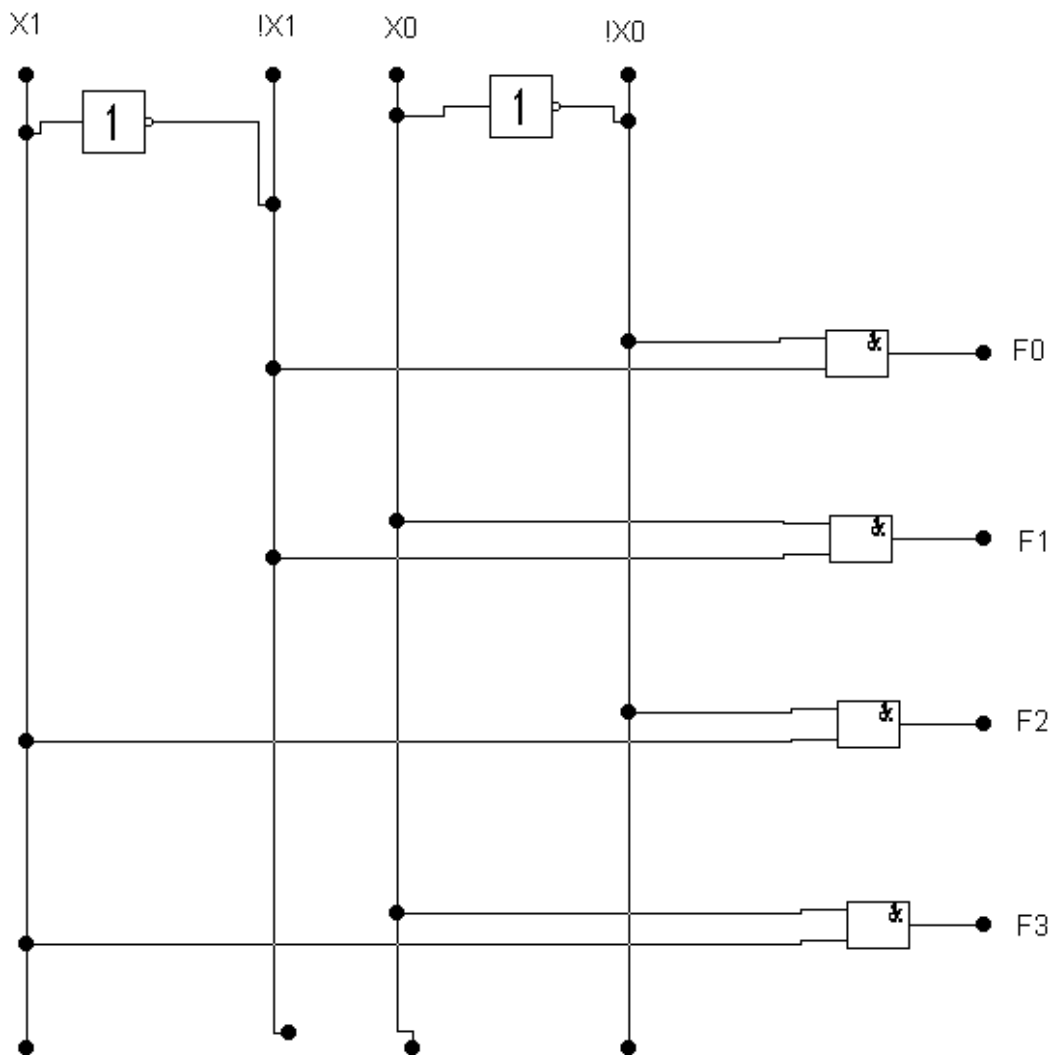


Рис.26. Линейный дешифратор на два входа и четыре выхода.

Дешифраторы устанавливаются в схемах ЭВМ на выходах регистров или счётчиков и служат для преобразования кода слова, находящегося в регистре (в счётчике), в управляющий сигнал на одном из выходов дешифратора.

На рис. 26. показан способ построения дешифратора на примере схемы дешифратора на два входа и четыре выхода. Схема представляет собой набор из четырёх двухвходовых элементов

И, на входы которых поданы все возможные комбинации прямых и инверсных разрядов слова.

На рис.27. представлено условно-графическое отображение (УГО) дешифратора рис.26.

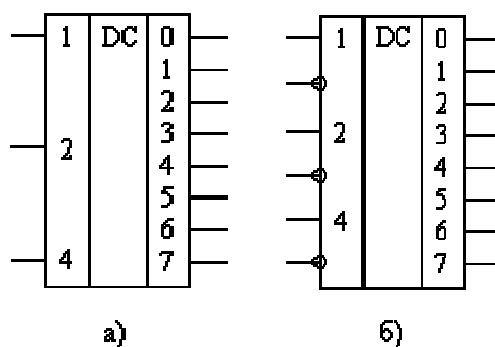


Рис.27. Условно-графическое отображение (УГО) дешифратора.

В схеме дешифратора может быть организован дополнительный вход для сигнала разрешения E . При $E=0$ дешифратор не работает даже при наличии кода на его входах, а при $E=1$ работает как обычный линейный дешифратор. Такого вида схемы выпускаются в составе комплексов интегральных логических элементов.

Из логических элементов, являющихся дешифраторами, можно строить дешифраторы на большее число входов, при этом, как правило, используются дешифраторы с дополнительными входами сигнала разрешения. Каскадное включение таких схем позволяет легко наращивать число дешифрируемых переменных. Принцип построения схемы каскадного дешифратора нетрудно понять, обратившись к рис.28. Здесь показан дешифратор на четыре входа, построенный из дешифраторов на два входа с дополнительным входом разрешения. Вход разрешения обозначен на рис.28 символом «С».

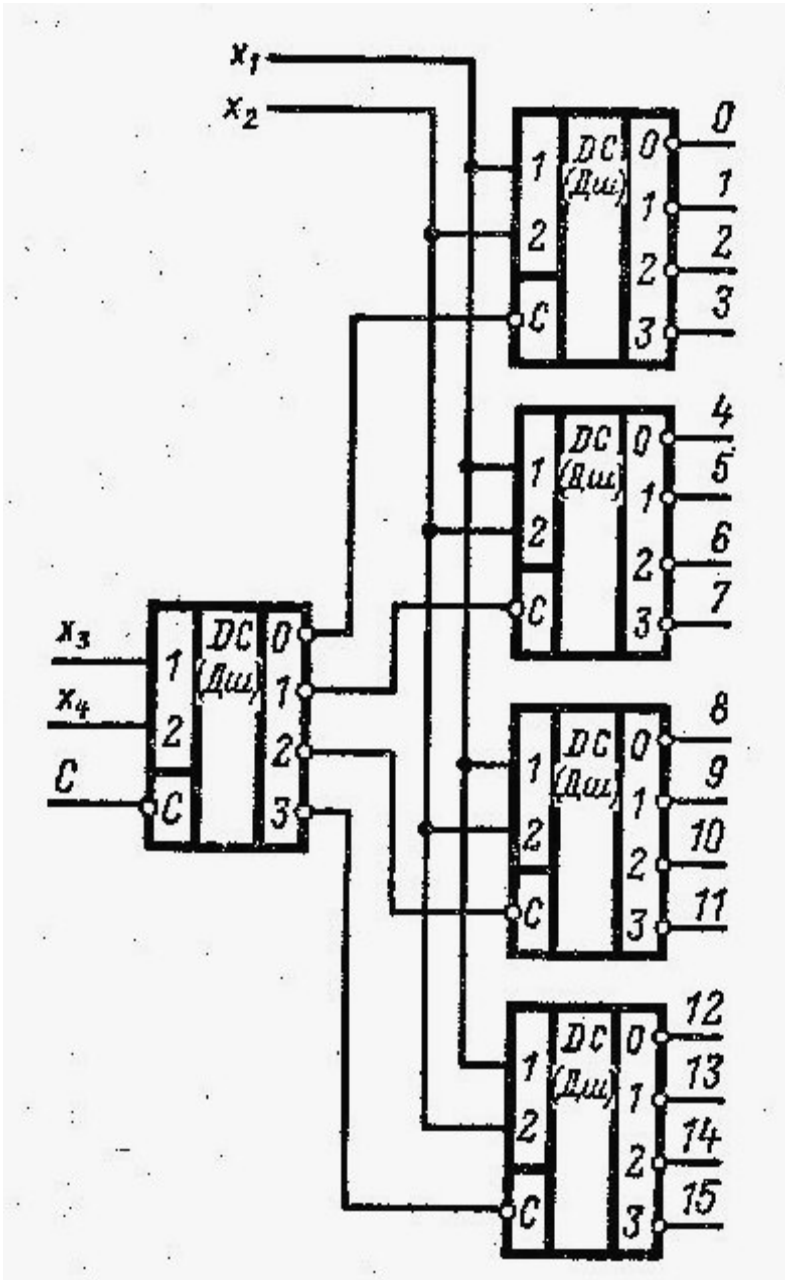


Рис. 28 Каскадный дешифратор на 4 входа и 16 выходов.

Второй принцип использования схем дешифраторов с недостаточным количеством входов это построение матричных дешифраторов рис.29.

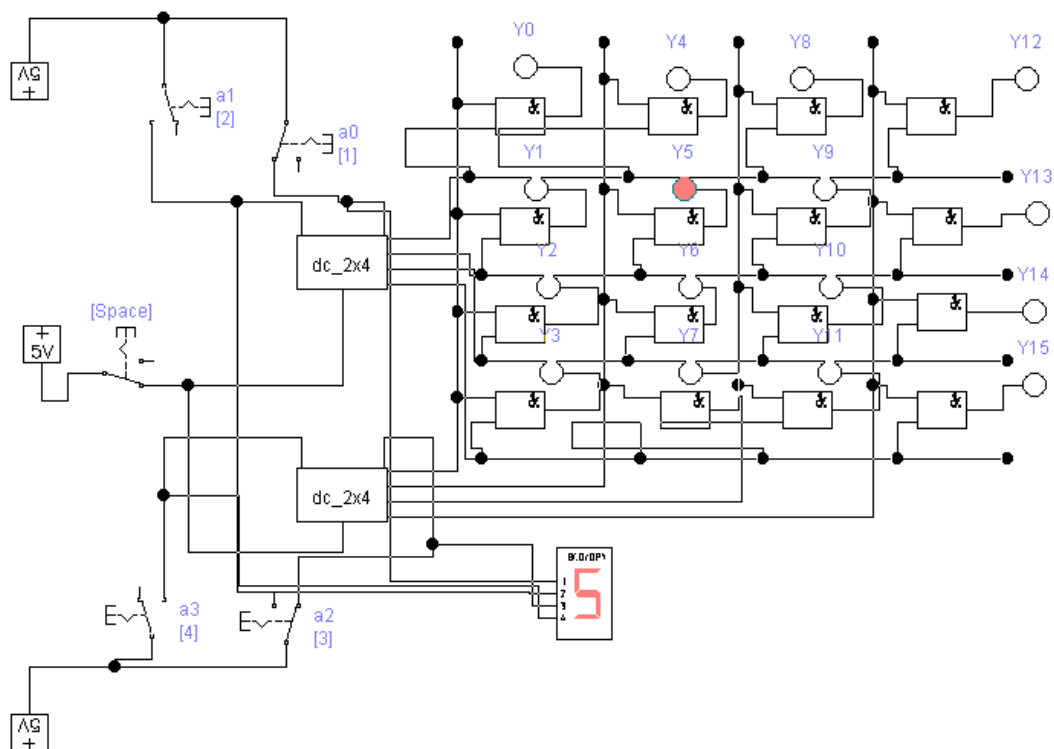


Рис.29. Матричный дешифратор 4x16.

В матричной схеме используются два идентичных по размерности дешифратора, выходы одного образуют горизонтальные линии, выходы другого - вертикальные линии. Эти линии составляют матрицу, но не соединяются между собой. В ячейках этой сетки матрицы устанавливаются логические элементы «И» или «И-НЕ», один из входов которых соединяется с горизонтальной линией (выход), другой с вертикальной линией. Выходы этих логических элементов и будут выходами построенного дешифратора большей размерности.

1.2 Шифраторы.

Шифратор — это комбинационное устройство, преобразующее унарный код (например, десятичные числа) в двоичную систему счисления, причем каждому входу может быть поставлено в соответствие десятичное число, а набор выходных логических сигналов соответствует определенному двоичному коду.

Шифратор иногда называют «кодером» (от англ. coder) и используют, например, для перевода десятичных чисел, набранных на клавиатуре кнопочного пульта управления, в двоичные числа.

Если количество входов настолько велико, что в шифраторе используются все возможные комбинации сигналов на выходе, то такой шифратор называется полным, если не все, то неполным. Число входов и выходов в полном шифраторе связано соотношением $n = 2m$, где n — число входов, m — число выходов. Так, для преобразования кода кнопочного пульта в четырехразрядное двоичное число достаточно использовать лишь 10 входов, в то время как полное число возможных входов будет равно 16, поэтому шифратор 10x4 (из 10 в 4) будет неполным.

Рассмотрим пример построения шифратора для преобразования десятиразрядного единичного кода (десятичных чисел от 0 до 9) в двоичный код. При этом предполагается, что сигнал, соответствующий логической единице, в каждый момент времени подается только на один вход. Для этого построим таблицу соответствия унарного кода на входе шифратора ($K_0 \dots K_9$) двоичным значениям его четырех выходов $Y_0 \dots Y_3$ табл.7.

Таблица 7. Соответствия унарного кода на входе шифратора (K0.....K9) двоичным значениям его четырех выходов Y0...Y3 .

Унарный код на входе шифратора	Двоичный код на выходах шифратора			
	Y3	Y2	Y1	Y0
K0	0	0	0	0
K1	0	0	0	1
K2	0	0	1	0
K3	0	0	1	1
K4	0	1	0	0
K5	0	1	0	1
K6	0	1	1	0
K7	0	1	1	1
K8	1	0	0	0
K9	1	0	0	1

Используя данную таблицу соответствия, запишем логические выражения, включая в логическую сумму те входные переменные, которые соответствуют единице некоторой выходной переменной. Так, на выходе Y0, будет логическая «1» тогда, когда логическая «1» будет или на входе K1, или K3, или K5, или K7, или K9, т. е.:

$$Y0 = K1 + K3 + K5 + K7 + K9. \quad (24)$$

$$Y1 = K2 + K3 + K6 + K7. \quad (25)$$

$$Y2 = K4 + K5 + K6 + K7, \quad (26)$$

$$Y3 = K8 + K9. \quad (27)$$

По данным выражениям строится схема шифратора 10x4 рис.30.

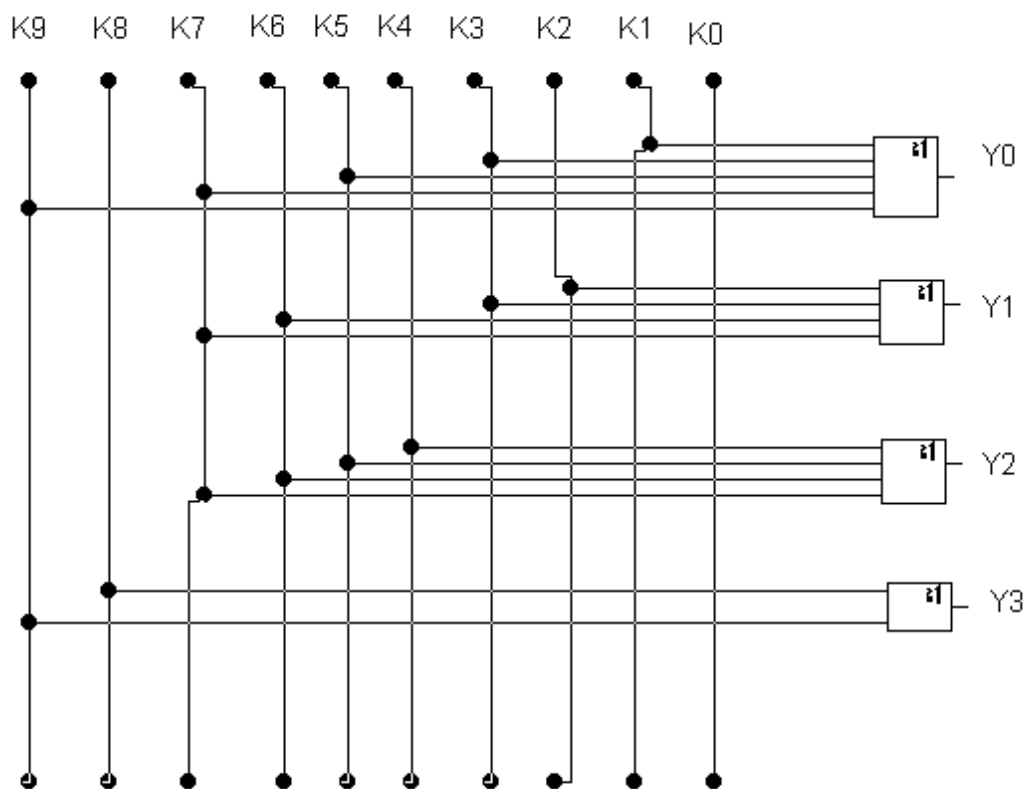


Рис.30. Схема шифратора 4x10 на элементах ИЛИ.

Шифратор может быть реализован на элементах И-НЕ. Для этого надо преобразовать выражения (24-27) в базис Шеффера, используя теорему Шеннона:

$$\begin{aligned}
 \bar{Y}_0 &= \overline{(K_1 + K_3 + K_5 + K_7 + K_9)}; \\
 \bar{Y}_1 &= \overline{(K_2 + K_3 + K_6 + K_7)}; \\
 \bar{Y}_2 &= \overline{(K_4 + K_5 + K_6 + K_7)}; \\
 \bar{Y}_3 &= \overline{(K_8 + K_9)}
 \end{aligned}
 \tag{28}$$

1.3. Мультиплексоры.

Мультиплексоры осуществляют подключение одного из входных каналов к единственному выходному каналу под управлением управляющего (адресующего) слова. Разрядности каналов могут быть различными,

мультиплексоры для коммутации многоразрядных слов состояются из одnorазрядных.

В цифровой технике *мультиплексор* имеет m информационных входов данных $X_1, X_2, X_3, \dots, X_m$, n адресных входов и один выход данных. Зависимость количества информационных входов от количества разрядов адреса определяется соотношением $m=2^n$. Двоичный код на *входах адреса* определяет *номер* того *входа* данных, с которого информация проходит на выход мультиплексора в этот момент.

Упрощенное представление мультиплексора многопозиционным ключом (рис. 31.)

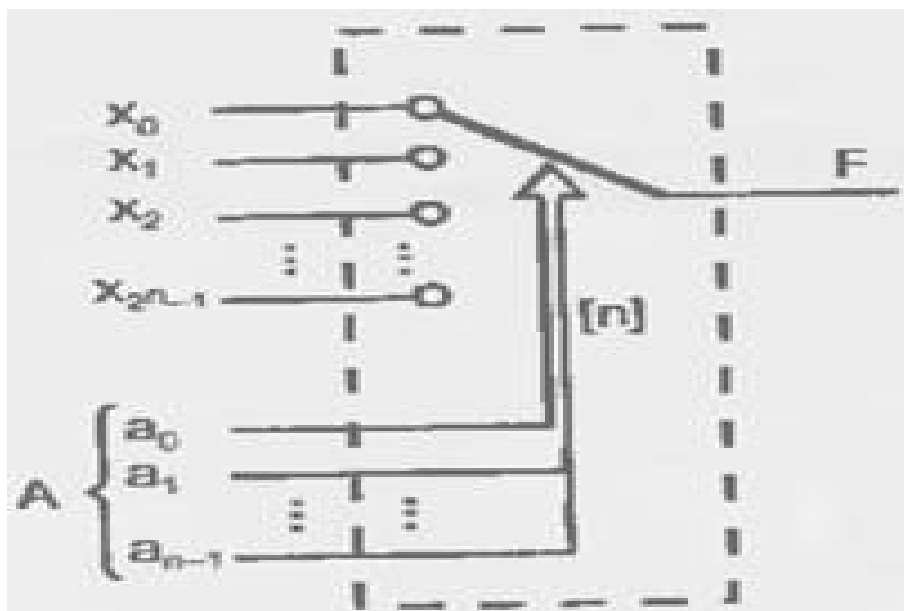


Рис.31. Схема многопозиционного ключа.

Таблица истинности мультиплексора табл.8.

Таблица 8. Таблица истинности мультиплексора

E	A1	A0	Y
1	0	0	X0
1	0	1	X1
1	1	0	X2
1	1	1	X3
0	x	x	0

Выражение для сигнала на выходе мультиплексора:

$$Y = E * \overline{a_1} * \overline{a_0} * x_0 + E * \overline{a_1} * a_0 * x_1 + E * a_1 * \overline{a_0} * x_2 + E * a_1 * a_0 * x_3 \quad (29)$$

При любом значении адресующего кода все слагаемые, кроме одного, равны нулю. Ненулевое слагаемое равно x_i , где i — значение текущего адресного кода.

Схема мультиплексора, реализованная на элементах «И» и «ИЛИ» рис.31.

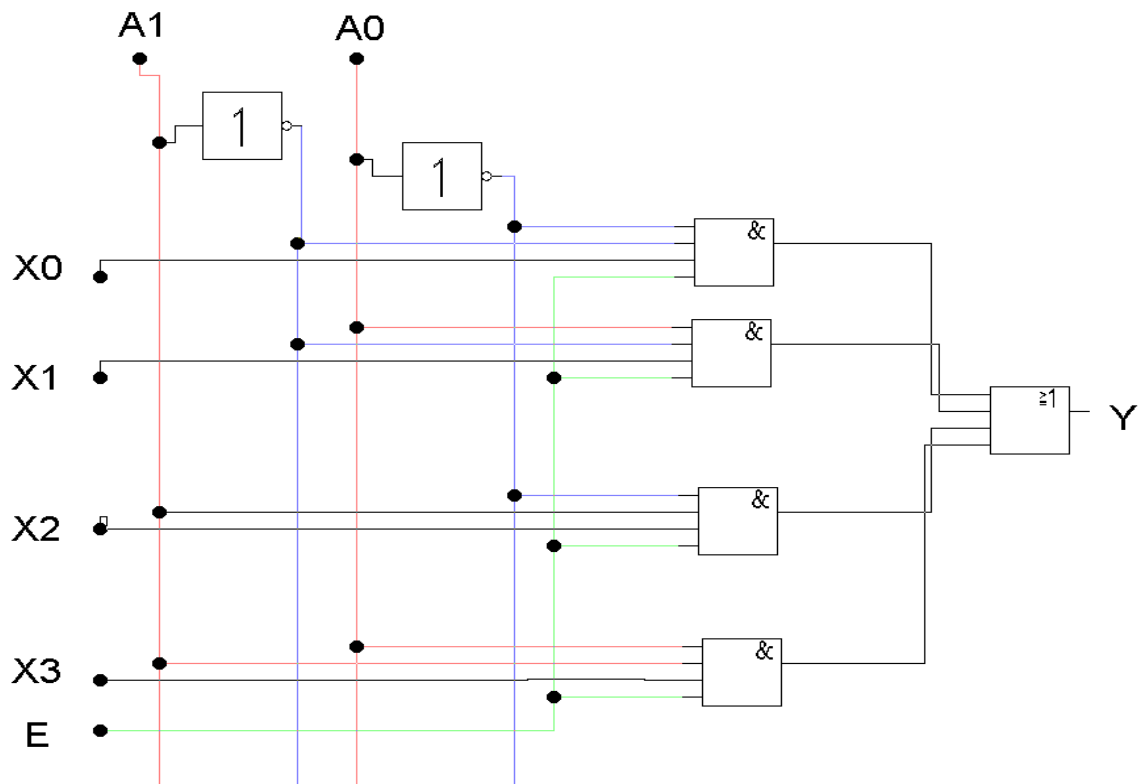


Рис.31. Схема мультиплексора на элементах «И» и «ИЛИ».

Преобразование выражения для сигнала на выходе мультиплексора в базис «И-НЕ»:

$$Y = \overline{\overline{E * a_1 * a_0 * x_0} * \overline{E * a_1 * a_0 * x_1} * \overline{E * a_1 * a_0 * x_2} * \overline{E * a_1 * a_0 * x_3}} \quad (30)$$

Схема мультиплексора на элементах «И-НЕ» рис. 32.

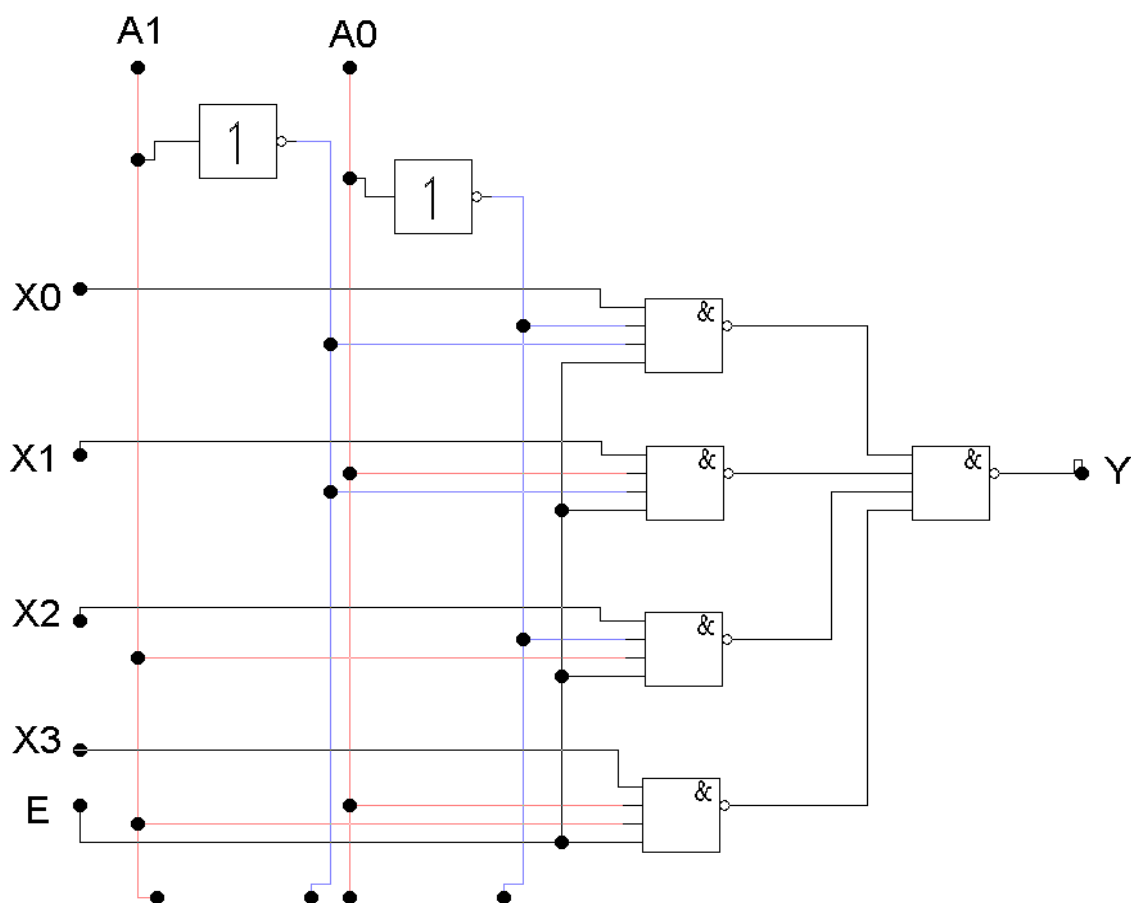


Рис.32. Схема мультиплексора на элементах «И-НЕ».

Каскадное включение мультиплексоров.

При недостаточной размерности имеющихся микросхем мультиплексоров для решения задачи мультиплексирования большого числа входных каналов применяют каскадную схему подключения мультиплексоров.

Пространство адресного кода делятся на две группы по имеющейся размерности микросхем мультиплексоров.

По количеству необходимых информационных входов набирают нужное количество мультиплексоров входной ступени, подавая на все мультиплексоры этой ступени разряды адресов младшей группы.

Выходная ступень организуется мультиплексором с количеством информационных входов соответствующим количеству мультиплексоров, применённых во входной ступени. Их выходы соединяются с каждым информационным входом мультиплексора выходной ступени. На мультиплексор выходной ступени подаются разряды старшей адресной группы.

Универсальные логические модули на основе мультиплексоров.

Универсальные логические модули (УЛМ) на основе мультиплексоров относятся к устройствам, настраиваемым на решение той или иной задачи. Универсальность их состоит в том, что для заданного числа аргументов можно настроить УЛМ на любую функцию.

Известно, что общее число функций n аргументов выражается как 2^n . С ростом n число функций растёт чрезвычайно быстро. Хотя практический интерес представляют не все существующие функции, возможность получить любую из огромного числа функций свидетельствует о больших перспективах применения УЛМ.

Первым способом настройки, используемым в УЛМ, является фиксация некоторых входов. Для этого способа справедливо следующее соотношение между числом аргументов и числом настроечных входов. Пусть число аргументов n и требуется настройка на любую из функций. Тогда число комбинаций для кода настройки, равное числу функций, есть 2^n . Для двоичного кода число комбинаций связано с разрядностью кода выражением 2^m , где m — разрядность кода. Приравнивая число воспроизводимых функций к числу комбинаций кода настройки, имеем для числа настроечных входов соотношение $m = 2^n$.

На адресные входы мультиплексора подаются переменные булевой функции: $X_0, X_1, X_2, \dots, X_n$. Информационные входы соединяются с источниками

потенциала логической единицы, либо нуля, смотря по наборам переменных, обращающих функцию в 0 либо 1.

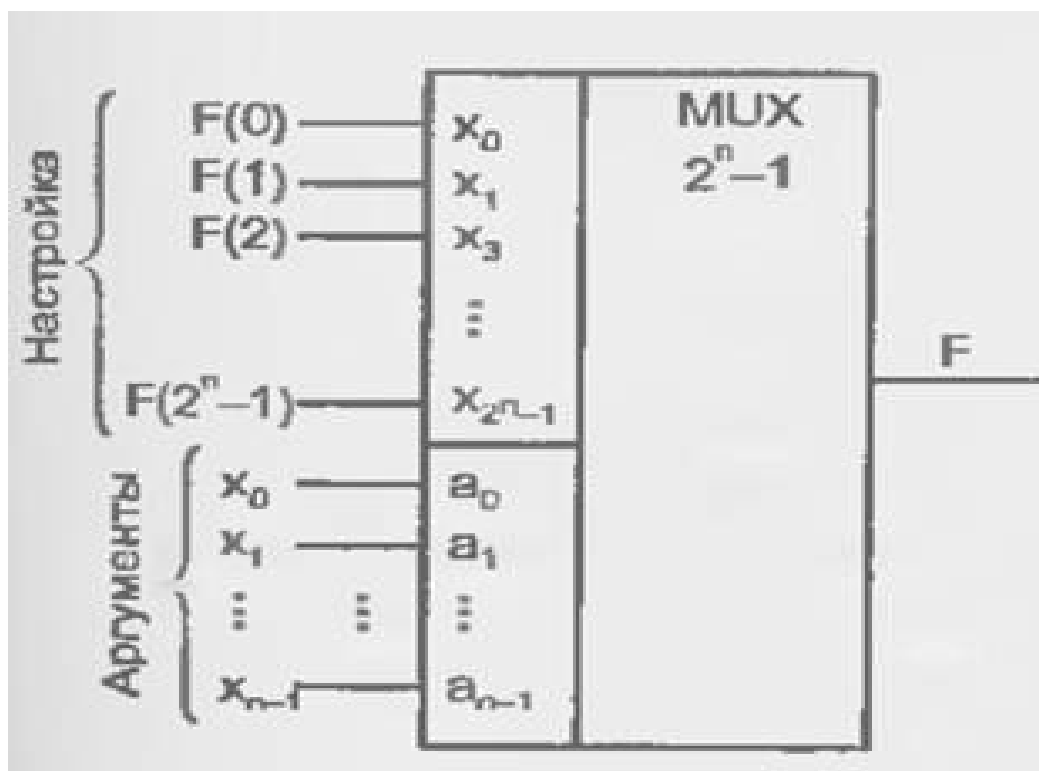


Рис.33. Использование мультиплексора вместо комбинационной схемы.

1.4. Демультимплексоры.

Демультимплексорами называются устройства, которые позволяют подключать один информационный вход к нескольким выходам. Демультимплексор можно построить на основе точно таких же схем логического "И", как и при построении мультиплексора.

Существенным отличием от мультиплексора является возможность объединения нескольких входов в один без дополнительных схем. Однако для увеличения нагрузочной способности микросхемы, на входе демультимплексора для усиления входного сигнала лучше поставить инвертор.

Тогда работа демультимплексора будет соответствовать таблице истинности (табл.9).

Таблица 9. Таблица истинности демультиплексора.

X	a_1	a_0	E	Y_0	Y_1	Y_2	Y_3
x	0	0	1	x	0	0	0
x	0	0	1	0	x	0	0
x	1	0	1	0	0	x	0
x	1	1	1	0	0	0	x
x	*	*	0	0	0	0	0

Значения сигналов на выходе демультиплексора будет определяться из следующих выражений:

$$\begin{aligned}
 Y_0 &= x * \overline{a_1} * \overline{a_0} * E; \\
 Y_1 &= x * \overline{a_1} * a_0 * E; \\
 Y_2 &= x * a_1 * \overline{a_0} * E; \\
 Y_3 &= x * a_1 * a_0 * E
 \end{aligned}
 \tag{30}$$

Исходя из выведенных выражений, синтезируется схема демультиплексора (рис. 34.)

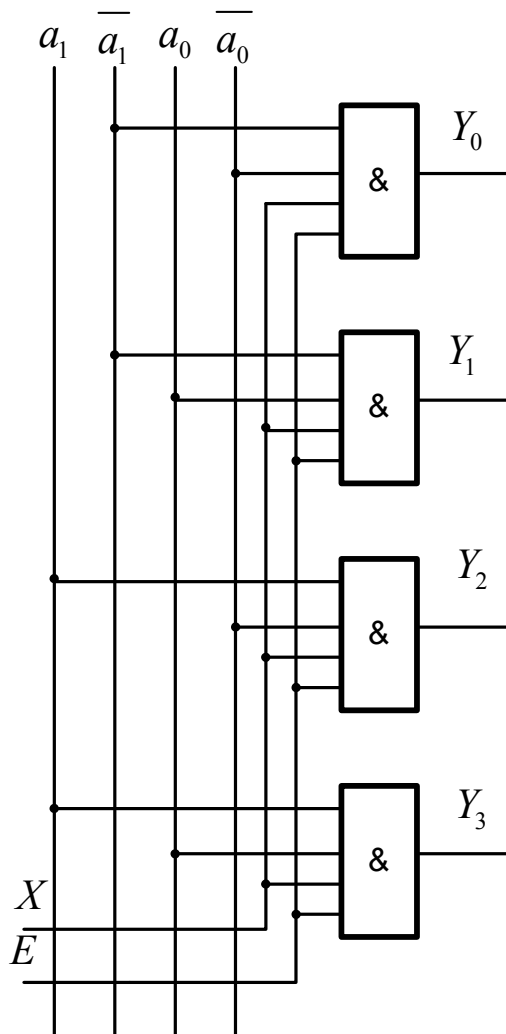


Рис.34 . Схема демультиплексора с четырьмя выходами и двумя разрядами адреса и одним информационным входом.

Демультиплексор можно реализовать, применив готовый дешифратор рис.35.

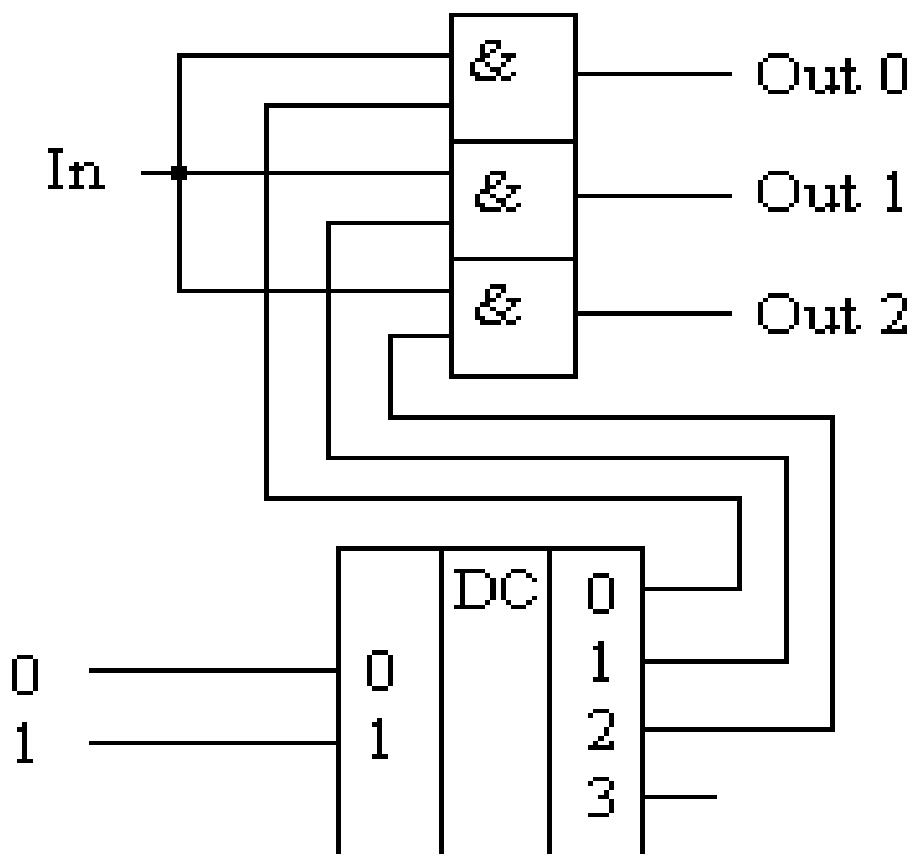
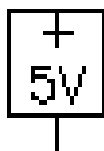


Рис. 35. Демультимплексор, построенный с помощью дешифратора.

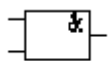
2. Описание используемых элементов программы EWB для выполнения лабораторной работы.



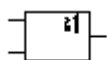
Voltage Source. С помощью этого источника на вход триггеров и логических элементов подается логическая единица.



Переключатель (Basic->Switch). Переключение производится нажатием на клавишу, указанную в скобках над этим элементом.



Логический элемент "И" (Logic gates->2-Input AND gate).



Логический элемент "ИЛИ" (Logic gates->2-Input OR gate).

Светоиндикатор (Indicators->red Prob). При подаче на этот элемент логической единицы светодиод загорается красным цветом.



Семисегментный цифровой индикатор.

3. Задание на выполнение лабораторной работы с помощью программы Electronics Workbench.

3.1 Порядок проведения исследования работы дешифраторов.

3.1.1 Собрать схему линейного дешифратора на 4 адресных входа и 16 выходов с помощью логических элементов «И». Проанализировать его работу. Добавить в данную схему вход разрешения и проанализировать его влияние на работу дешифратора.

3.1.2 Собрать схему дешифратора на два адресных входа и четыре выхода. Отлаженную схему данного дешифратора оформить как субблок и сохранить в библиотеке субблоков.

3.1.3 С помощью двух субблоков дешифраторов собрать матричный дешифратор и проанализировать его работу.

3.2 Порядок проведения исследования работы шифраторов.

3.2.1. Собрать шифратор на десять входов и четыре выходных двоичных разряда на элементах «ИЛИ».

3.2.2. Собрать шифратор на десять входов и четыре выходных двоичных разряда на элементах «И-НЕ».

3.3. Порядок проведения исследования работы мультиплексоров.

3.3.1. Собрать мультиплексоры на 8 информационных входов на элементах И и ИЛИ и на элементах И-НЕ. Сравнить особенности их функционирования.

3.3.2. По выданной преподавателем таблично заданной булевой функции использовать мультиплексор взамен комбинационной схемы, воспроизводящей поведение данной функции.

3.4. Порядок проведения исследования работы демultipлексоров.

3.4.1. Продемонстрировать, что схема дешифратора с входом разрешения является и схемой демultipлексора, если вход разрешения считать за информационный единственный вход.

4. Содержание отчета о выполнении лабораторной работы.

4.1. Отчёт должен содержать все собранные и промоделированные на лабораторной работе схемы.

4.2. Выражения, описывающие выходные сигналы исследованных схем устройств.

5. Контрольные вопросы.

5.1. Назначение дешифратора, шифратора, мультиплексора и демultipлексора.

5.2. Чем отличается полный дешифратор от неполного дешифратора?

5.3. К какому типу (полного или неполного) относится десятичный шифратор?

5.4. Какие методы применяются для увеличения разрешающей способности дешифраторов и мультиплексоров?

- 5.5. К какому классу устройств относятся шифраторы: к комбинационным схемам или цифровым автоматам?
- 5.6. Для какой цели в дешифраторах применяется «вход разрешения»?
- 5.7. Поясните принцип работы матричного дешифратора. Что даёт применения матричного дешифратора?

Часть 2. Исследование триггеров. (Обозначение в журнале: Л 2.2)

Цель работы - изучение и исследование основных типов триггеров и их свойств. Получение навыков применения триггеров.

Продолжительность работы: 6 часов.

1. Характеристика объекта изучения.

Функциональные узлы и устройства вычислительной техники синтезируются на основе двух типов логических схем: комбинационных схем (КС) и элементов памяти (ЭП), в которых хранятся результаты этих операций для использования в последующих операциях. В качестве ЭП в узлах и устройствах вычислительной техники наибольшее распространение получили триггеры.

Триггеры как цифровые автоматы.

Триггером называют логическую схему с положительной обратной связью, имеющую два устойчивых состояния. Триггер содержит элемент памяти (собственно триггер) и схему управления, выполненную, как правило, с помощью КС. Схема управления преобразует поступающую на ее входы информацию (x_1, x_2, \dots, x_m) в комбинацию сигналов, действующих непосредственно на входы собственно триггера. При этом информационные входы триггера отождествляются с входными переменными и имеют следующие обозначения:

S (от английского Set - установка) - вход для асинхронной установки триггера в состояние «1» (S - вход);

R (от английского Reset - сброс) - вход для асинхронной установки триггера в состояние «0» (R - вход);

D (от английского Delay - задержка) - информационный вход для установки триггера в состояние «1» или «0» (D - вход);

T (от английского Toggle - кувырнуться) - счетный вход (T - вход);

J - вход для синхронной установки состояния «1» в универсальном J-K - триггере (J - вход);

K - вход для синхронной установки состояния «0» в универсальном J-K - триггере (K - вход);

C - вход синхронизации (C - вход).

Асинхронные входы R и S могут быть прямыми и инверсными. Инверсные входы обозначаются знаком инверсии. Для инверсных входов активным сигналом является уровень логического "0" (низкий уровень). На уровень логической "1" (высокий уровень) триггер не реагирует. Для прямых входов наоборот активным сигналом является уровень логической "1".

Выход триггера принято отождествлять с его внутренним состоянием и обозначать символом Q . Подавляющее число схем триггеров имеет два выхода: прямой и инверсный \bar{Q} . В установившемся состоянии всегда, если $Q=1$, то $\bar{Q}=0$ и, если $Q=0$, то $\bar{Q}=1$. При этом считается, что триггер находится в состоянии "1", если на прямом выходе Q имеется высокий уровень напряжения ($Q=1, \bar{Q}=0$), и в состоянии "0", если на прямом выходе имеется низкий уровень напряжения ($Q=0, \bar{Q}=1$).

Обозначение триггеров на функциональных схемах.

Примеры условного обозначения триггеров на функциональных схемах в соответствии с ГОСТ 2.743-91 (ЕСКД) показаны на рис.36.

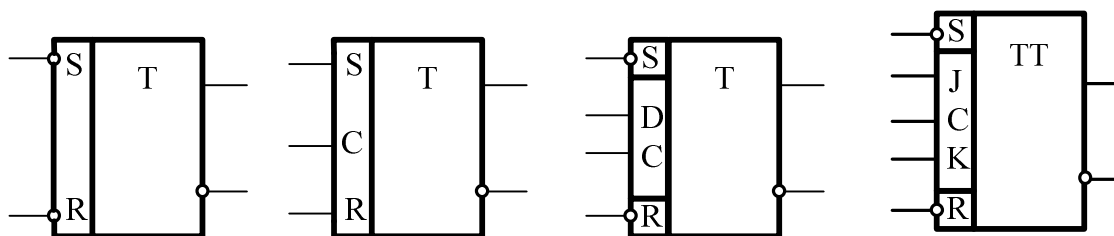


Рис.36. Условные обозначения триггеров.

Если триггер содержит входную логику, управляющую процессом занесения в него информации, то в прямоугольнике, условно изображающем триггер, отделяется чертой левее дополнительное поле, а в нем показывается

вход "С" синхронизирующего сигнала и отмечаются функциональные назначения информационных входных сигналов x_1, x_2, \dots, x_m .

В основном поле прямоугольника ставится символ T для обозначения триггера. Дополнительное поле может быть разделено на две части: асинхронную и синхронную. В первой проставляются символы S и R входов асинхронной установки триггеров в «1» и «0», во второй на местах x_1, x_2, \dots, x_m - символы, относящие данный триггер к тому или иному функциональному типу.

Задание законов функционирования триггеров.

Законы функционирования конечных автоматов вообще, и в частности, триггеров могут быть заданы различными способами. Часто такой закон задают таблицей истинности. Таблица истинности отражает процесс перехода триггера из одного устойчивого состояния в другое, и поэтому ее чаще называют таблицей переходов. В таблице переходов содержатся значения информационных и синхронизирующих сигналов на входе триггера, а также значения выходных сигналов (внутренних состояний триггера) после окончания действия синхронизирующего сигнала. Закон функционирования триггера может быть задан и в виде характеристического уравнения логической функции вида

$$Q^{t+1} = f(Q^t, X_i^t), \quad i = 1, 2, \dots, m \quad (31)$$

где Q^{t+1} - состояние триггера после окончания действия синхронизирующего сигнала,

Q^t - состояние триггера до прихода синхронизирующего сигнала,

X^t - значение сигнала на информационном входе в момент времени "t".

Характеристическое уравнение связывает логические переменные на входах и выходах триггера до и после его перехода из одного состояния в другое.

Между таблицей переходов и характеристическим уравнением существует взаимно однозначное соответствие, т.е. от таблицы переходов всегда можно перейти к характеристическому уравнению и наоборот.

Классификация триггеров.

В настоящее время в интегральной микросхемотехнике наиболее распространенными являются триггеры и логические элементы потенциального типа. В основу классификации этих триггеров положены два основных признака:

1) *Функциональный* - этот признак определяет назначение триггера и в ряде случаев является решающим при выборе типа триггера для проектируемого вычислительного устройства или узла. По указанному признаку различают триггеры RS-, D-, T-, JK- и др. типов.

2) *Способ записи информации в триггер* - этот признак характеризует способ записи информации и временную диаграмму работы триггера, т.е. определяет ход процесса записи информации в триггер. По этому признаку триггеры подразделяются на две группы:

- а) асинхронные;
- б) синхронные;

Запись информации в асинхронный триггер осуществляется в произвольный момент времени непосредственно с поступлением информационного сигнала на вход триггера.

Синхронные триггеры помимо информационных входов содержат один или несколько синхронизирующих входов (вход «С» на рис.1). Запись информации в такие триггеры осуществляется только при подаче синхронизирующего импульса (СИ). В свою очередь, синхронные триггеры подразделяются на триггеры, работающие по уровню СИ (без задержки) и на триггеры с внутренней задержкой. В первых срабатывание происходит одновременно с поступлением СИ, а во-вторых - после окончания действия СИ.

ТРИГГЕРЫ RS – типа.

Асинхронный RS -триггер.

Асинхронным триггером RS-типа (RS -триггером) называется логическое устройство с двумя устойчивыми состояниями, имеющее два информационных входа R и S , такие что, при $S = 1$ и $R = 0$ триггер принимает состояние 1 ($Q = 1$), а при $R = 1$ и $S = 0$ триггер принимает состояние 0 ($Q = 0$). Закон функционирования RS – триггера с прямыми входами отображен в таблице переходов, табл.10.

Таблица 10. Таблица истинности RS-триггера.

R^t	S^t	Q^t	Q^{t+1}
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	*
1	1	1	*

При значениях $R^t=S^t=1$ состояние триггера является неопределенным. Перенеся на карту Карно (рис.37.) таблицу переходов RS-триггера и доопределив значения Q^{t+1} единицами можно получить минимизированную дизъюнктивную нормальную форму (МДНФ) характеристического уравнения RS-триггера.

$Q^t \backslash R^t S^t$	00	01	11	10
0		1	*	
1	1	1	*	

Рис. 37. Карта Карно асинхронного RS – триггера.

$$Q^{t+1} = S^t + \bar{R}^t Q^t \quad (32)$$

Исходя из характеристического уравнения триггера, его можно построить на логических элементах «И-НЕ», «ИЛИ-НЕ» и других. Чтобы получить структурное уравнение триггера, необходимо произвести двойное инвертирование характеристического уравнения.

$$Q^{t+1} = \overline{\overline{S^t * R^t Q^t}} \quad (33)$$

Реализация этого уравнения на элементах «И-НЕ» представлена на рис.38., а условное графическое обозначение (УГО) на рис.39.

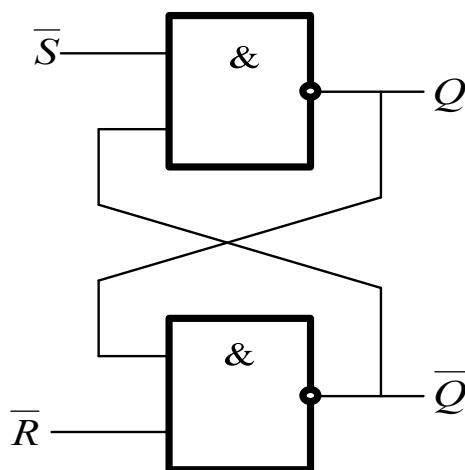


Рис.38. Асинхронный R-S триггер с инверсными входами на элементах «И-НЕ».

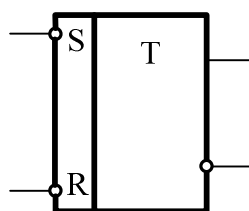


Рис.39. Условно-графическое обозначение асинхронного R-S триггера с инверсными входами.

Для такого триггера активным сигналом является уровень логического 0, а запрещенной комбинацией $R^t = S^t = 0$, при которой состояние триггера будет неопределенным.

МКНФ характеристического уравнения RS-триггера в соответствии с картой Карно (рис.40.) имеет следующий вид

	$R^t S^t$	00	01	11	10
Q^t		0		*	0
				*	0

Рис.40. Карта Карно для RS – триггера с прямыми входами.

$$Q^{t+1} = \overline{R^t} * (S^t + Q^t) \quad (34)$$

После инвертирования уравнения (4) получится структурное уравнение для реализации RS-триггера с прямыми входами на элементах «ИЛИ-НЕ».

$$Q^{t+1} = \overline{\overline{R^t + (S^t + Q^t)}} \quad (35)$$

Реализация уравнения (5) на элементах «ИЛИ-НЕ» показана на рис.41, а УГО асинхронного RS-триггера с инверсными входами на рис.42.

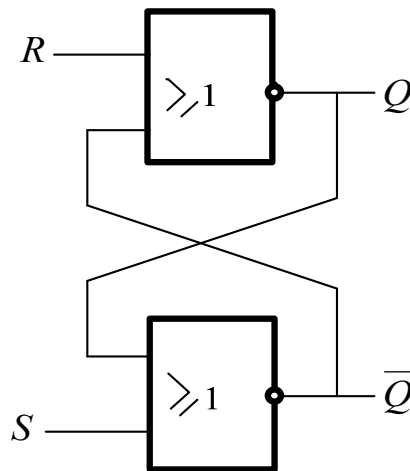


Рис.41. RS-триггер с прямыми входами на элементах «ИЛИ-НЕ».

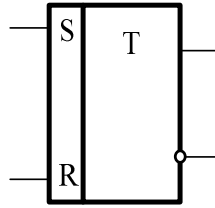


Рис.42. Условно-графическое обозначение асинхронного R-S триггера с прямыми входами.

Синхронный R-S -триггер с прямыми входами.

В отличие от асинхронного этот триггер на каждом информационном входе имеет дополнительные схемы совпадения, первые входы которых объединены и на них подаются синхронизирующие сигналы. Вторые входы схем совпадения являются информационными. Таким образом, наличие схем совпадения определяет то обстоятельство, что триггер будет срабатывать от сигналов R и S только при наличии синхронизирующего импульса.

При добавлении синхросигнала таблица переходов синхронного RS-триггера имеет следующий вид (таблица 11).

Таблица 11. Таблица истинности синхронного RS-триггера.

C^t	S^t	R^t	Q^t	Q^{t+1}
0	0	0	0	0
0	0	0	1	1
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	0	1	1	0

1	1	0	0	1
1	1	0	1	1
1	1	1	0	*
1	1	1	1	*

Карта Карно для логической функции Q^{t+1} имеет следующий вид, рис.43.

$R^t S^t$				
$C^t Q^t$	00	01	11	10
00				
01	1	1	1	1
11	1	1	*	
10		1	*	

Рис.43. Карта Карно синхронного RS- триггера для логической функции Q^{t+1}

Доопределяя функцию Q^{t+1} единицами, МДНФ характеристического уравнения синхронного RS-триггера примет вид:

$$Q^{t+1} = \overline{C^t} + Q^t \overline{R^t} + C^t S^t \quad (36)$$

При построении схемы синхронного RS-триггера на элементах «И-НЕ» МДНФ его характеристического уравнения преобразуется в структурное (37).

$$Q^{t+1} = \overline{\overline{S^t C^t} * \overline{Q^t} * \overline{R^t C^t}} \quad (37)$$

Реализация структурного уравнения синхронного RS-триггера с прямыми входами на элементах «И-НЕ» представлена на рис.44, а его УГО на рис. 45.

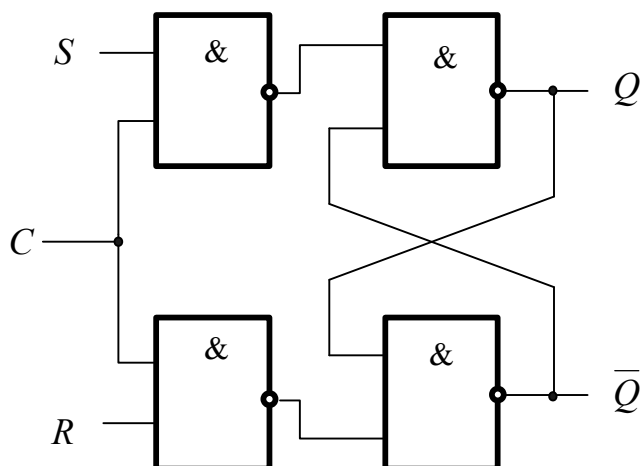


Рис. 44. Синхронный RS-триггер с прямыми входами на элементах «И-НЕ».

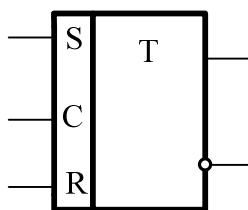


Рис. 45. Условно-графическое изображение синхронного RS-триггера.

Двухступенчатый (типа MS) синхронный RS-триггер.

Устойчивая работа одноступенчатых RS-триггеров в произвольной схеме возможна только в случае, если занесение в триггер информации осуществляется после завершения передачи информации о прежнем его состоянии в другой триггер. Такую работу триггера можно обеспечить при использовании двух серий находящихся в противофазе сигналов, используя свойство внутренней задержки. В триггерах с внутренней задержкой новая информация на выходе устанавливается только после окончания действия синхронизирующего импульса.

Подобный принцип обмена информацией реализован в двухступенчатых RS-триггерах. Такой тип триггеров получил ещё

альтернативное наименование: – триггер с задержкой. Простейшая схема двухступенчатого RS-триггера с управляющим инвертором показана на рис.46, а его УГО на рис.47.

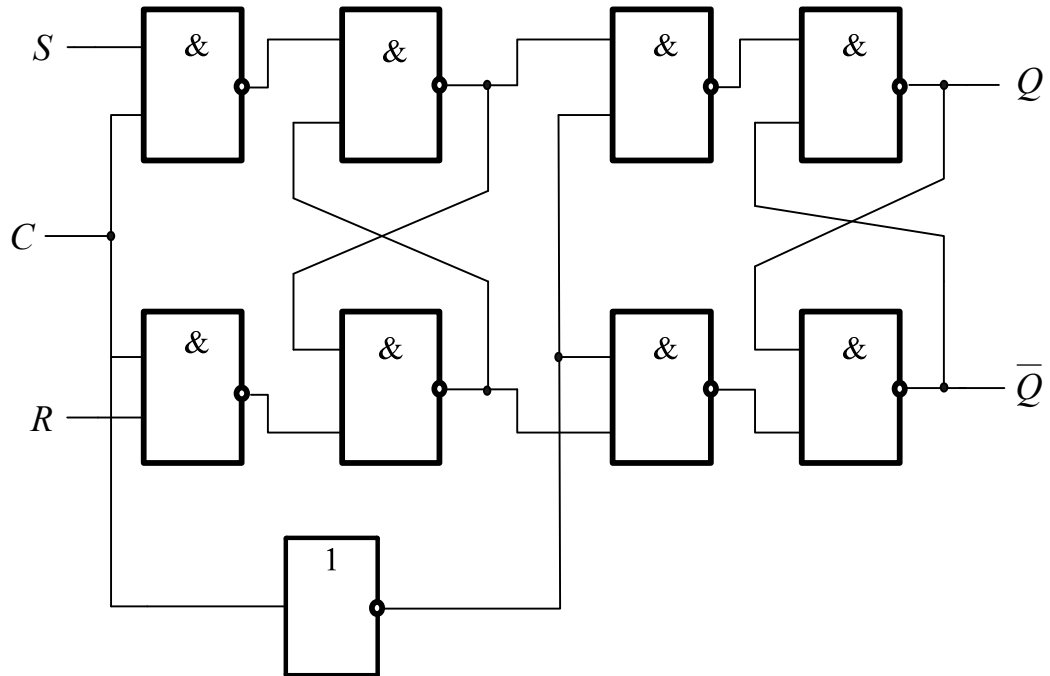


Рис.46. Схема двухступенчатого синхронного RS-триггера.

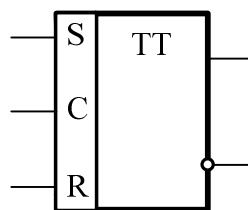


Рис.47. Условно-графическое изображение двухступенчатого RS-триггера.

Схема двухступенчатого RS-триггера состоит из двух одноступенчатых RS-триггеров и инвертора в цепи синхронизации. При поступлении единичного синхросигнала входная информация заносится в первый одноступенчатый

RS-триггер. Второй RS-триггер при этом будет хранить информацию, относящуюся к предыдущему такту.

По окончании действия синхросигнала, когда $C=0$, а $\bar{C}=1$, первый триггер перейдет в режим хранения, а второй переписет из него новое значение выходного сигнала.

Двухступенчатый триггер изменяет свои состояния только после окончания действия сигнала синхронизации. Поэтому из двухступенчатых триггеров можно строить произвольные схемы, в том числе подавать сигналы с выхода триггера на его вход.

На схеме показаны асинхронные R-, S- входы. Они являются приоритетными, т.е. при подаче на них активных информационных сигналов - синхронные R-, S- входы блокируются. Для работы триггера в синхронизируемом режиме на асинхронные входы должны быть поданы единичные сигналы.

Схема RS-триггеров составляет основу для построения других триггерных схем, таких как D-, T- и JK-триггеры.

Синхронный D-триггер.

Триггером D-типа называется логическое устройство с двумя устойчивыми состояниями и одним информационным входом D и входом синхроимпульса C.

Таблица переходов синхронного D-триггера имеет вид, табл.11.

Таблица 11. Таблица истинности синхронного D-триггера.

C^t	D^t	Q^t	Q^{t+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

Характеристическое уравнение синхронного D-триггера после несложных преобразований примет вид (8).

$$Q^{t+1} = C^t Q^t + C^t D^t \quad (36)$$

Из уравнения следует, что при наличии синхросигнала ($C=1$) триггер переходит в состояние, предписанное D-входом, т.е. $Q^{t+1} = D^t$. При отсутствии синхросигнала ($C=0$) триггер сохраняет предыдущее состояние. Таким образом, триггер задерживает прохождение поступившего по D-входу информационного сигнала до появления синхросигнала. Отсюда название D-триггера (delay-задержка).

Характеристическое уравнение, преобразованное в структурное для его реализации на элементах И-НЕ, примет вид (37).

$$Q^{t+1} = \overline{\overline{C^t D^t} * Q^t * C^t D^t} \quad (37)$$

Реализация этого структурного уравнения синхронного D-триггера на элементах «И-НЕ» приведена на рис.48, а УГО D –триггера на рис.49.

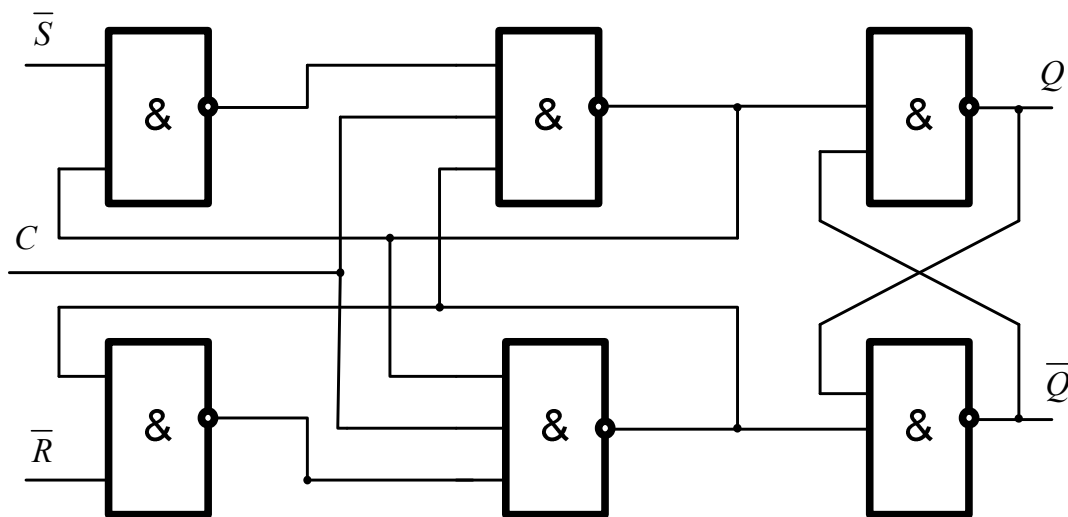


Рис. 50. Схема синхронного динамического RS-триггера.

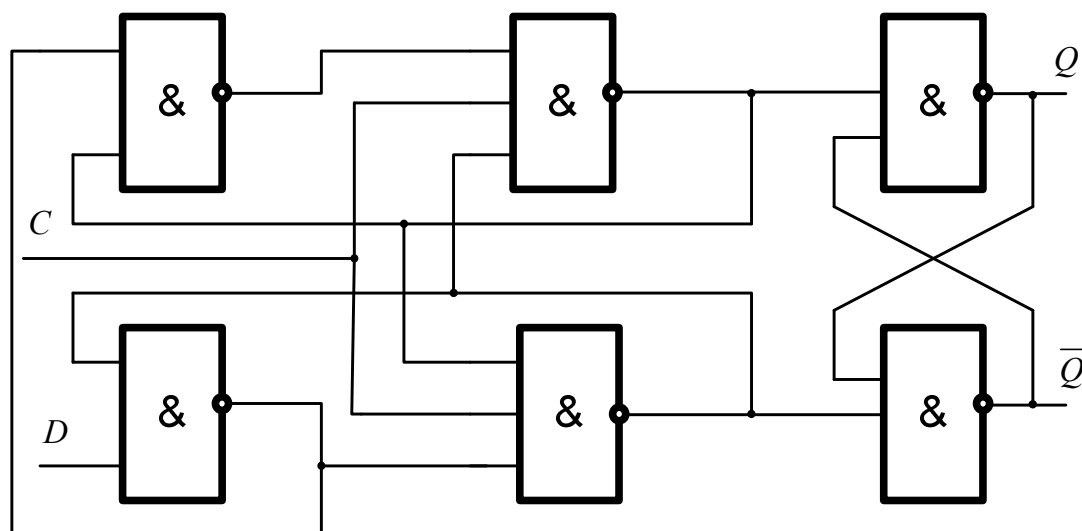


Рис. 51. Схема синхронного динамического D-триггера.

Условно-графические обозначения динамических RS и D триггеров приведены на рис. 52. Признаком динамического типа триггера является наличие обозначения стрелочки на входе синхроимпульса C . Если в обозначении динамического триггера стрелочка на входе синхроимпульса направлена к триггеру, то установка триггера в новое состояние происходит по фронту синхроимпульса, а, если стрелочка направлена от обозначения триггера, то установка триггера в новое состояние происходит по спаду синхроимпульса. Для перевода динамического триггера в противоположное состояние обязательно необходимо подать следующий синхроимпульс.

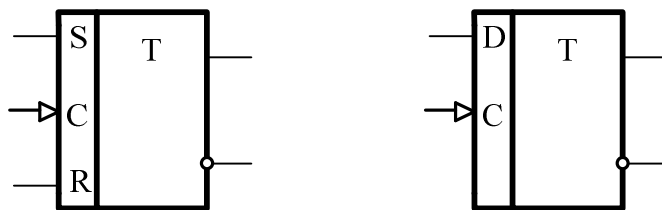


Рис. 52. Условно-графические обозначения динамических RS и D- триггеров.

Универсальный JK-триггер.

Триггером JK-типа называется логическое устройство с двумя устойчивыми состояниями и двумя информационными входами. Триггер функционирует в соответствии со следующей таблицей переходов, табл. 12.

Таблица 12. Таблица истинности JK-триггера.

C^t	J^t	K^t	Q^t	Q^{t+1}
0	0	0	0	0
0	0	0	1	1
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	0

Карта Карно с перенесенной на неё таблицей переходов JK-триггера изображена на рис.53.

$J^t K^t \backslash C^t Q^t$	00	01	11	10
00		1	1	
01		1		
11		1		1
10		1	1	1

Рис.53. Карта Карно для уравнения J-K триггера.

Из карты Карно следует, что МДНФ характеристического уравнения JK-триггера имеет вид (10).

$$Q^{t+1} = \overline{C^t} Q^t + C^t Q^t \overline{K^t} + C^t \overline{Q^t} J^t \quad (38)$$

При $C = 0$, $Q^{t+1} = Q^t$, а при $C=1$,

$$Q^{t+1} = Q^t \overline{K^t} + \overline{Q^t} J^t \quad (39)$$

Если принять, что $K = R$, а $J = S$, то при $C = 1$ JK-триггер ведёт себя как RS-триггер, за исключением комбинации $J = K = 1$, при которой триггер меняет своё состояние на обратное по отрицательному фронту (спаду) синхросигнала.

Построить JK-триггер можно на основе двухступенчатого RS-триггера с входом синхронизации, соединив перекрёстным образом инвертирующими обратными связями входы и выходы триггера, рис.54.

УГО JK-триггера представлено на рис.55.

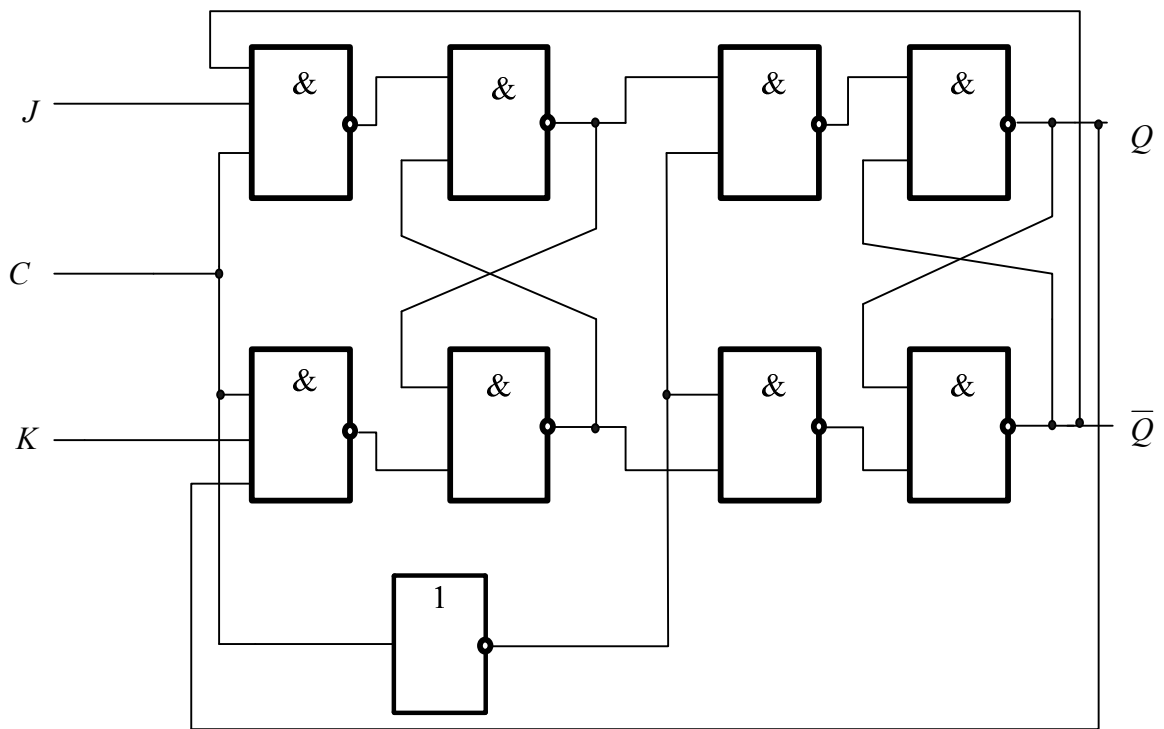


Рис.54 Схема двухступенчатого JK-триггера.

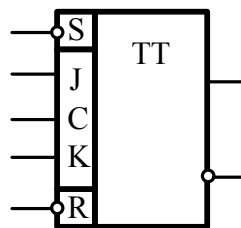


Рис.55 Условно-графическое изображение универсального J-K-триггера.

Триггер JK-типа относится к разряду универсальных триггеров, поскольку на его основе путем несложных внешних коммутаций входов триггера можно получить схемы, выполняющие функции асинхронного RS-триггера, синхронного RS-триггера, синхронного D-триггера и T-триггера.

Триггеры со счетным входом (T-триггер).

Триггером T-типа называют логическое устройство с двумя устойчивыми состояниями и с одним информационным T-входом. T-триггер меняет своё состояние на противоположное всякий раз, когда на T-вход

поступает управляющий (счетный) сигнал. Асинхронный Т-триггер функционирует в соответствии со следующей таблицей переходов, табл.13.

Таблица 13. Таблица истинности Т-триггера.

T^t	Q^t	Q^{t+1}
0	0	0
0	1	1
1	0	1
1	1	0

Характеристическое уравнение Т-триггера, исходя из таблицы переходов, будет иметь вид (40).

$$Q^{t+1} = \overline{Q^t}T^t + Q^t\overline{T^t} \quad (40)$$

Это уравнение отображает операцию суммирования по модулю 2 сигнала состояния триггера Q и входного сигнала T.

Синхронный Т-триггер функционирует в соответствии со следующей таблицей переходов, табл.56.

Таблица 56. Таблица истинности синхронного Т-триггера.

C^t	T^t	Q^t	Q^{t+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	0

Из таблицы переходов вытекает следующее характеристическое уравнение Т-триггера (40).

$$Q^{t+1} = \overline{C^t}Q^t\overline{T^t} + \overline{C^t}Q^tT^t + C^t\overline{Q^t}T^t + C^tQ^t\overline{T^t} \quad (40)$$

или

$$Q^{t+1} = \overline{C^t}(Q^t\overline{T^t} + Q^tT^t) + C^t(\overline{Q^t}T^t + Q^t\overline{T^t}) \quad (41)$$

Из (41) следует, что при $C^t = 1$ триггер работает как асинхронный Т-триггер, а при $C^t = 0$, $Q^{t+1} = Q^t$, т.е. триггер сохраняет предыдущее состояние.

Построить Т-триггер можно на основе JK-триггера и синхронного динамического D-триггера. Два варианта счётного триггера, преобразованного из JK-триггера представлены на рис.56 и рис.57 соответственно. На рис.56 и 57 изображены схемы синхронных Т-триггеров на основе D-триггера. Схема на рис.58 работает по положительному (переднему) фронту синхросигнала, а схема на рис.59 по отрицательному (заднему) фронту синхросигнала.

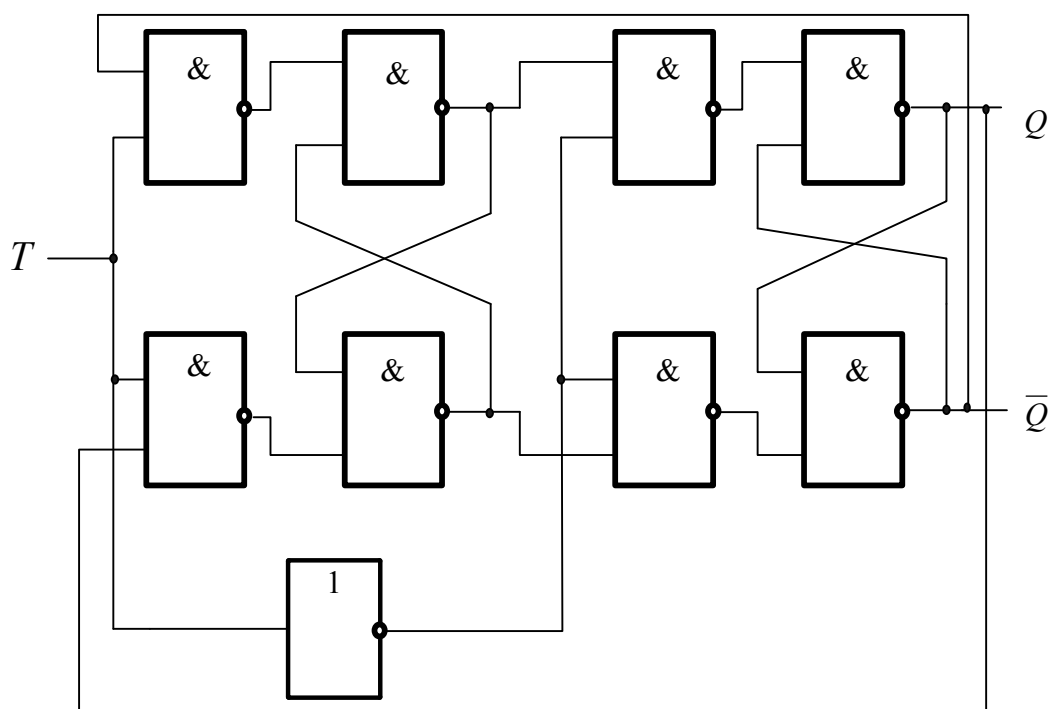


Рис.56. Асинхронный двухступенчатый Т-триггер.

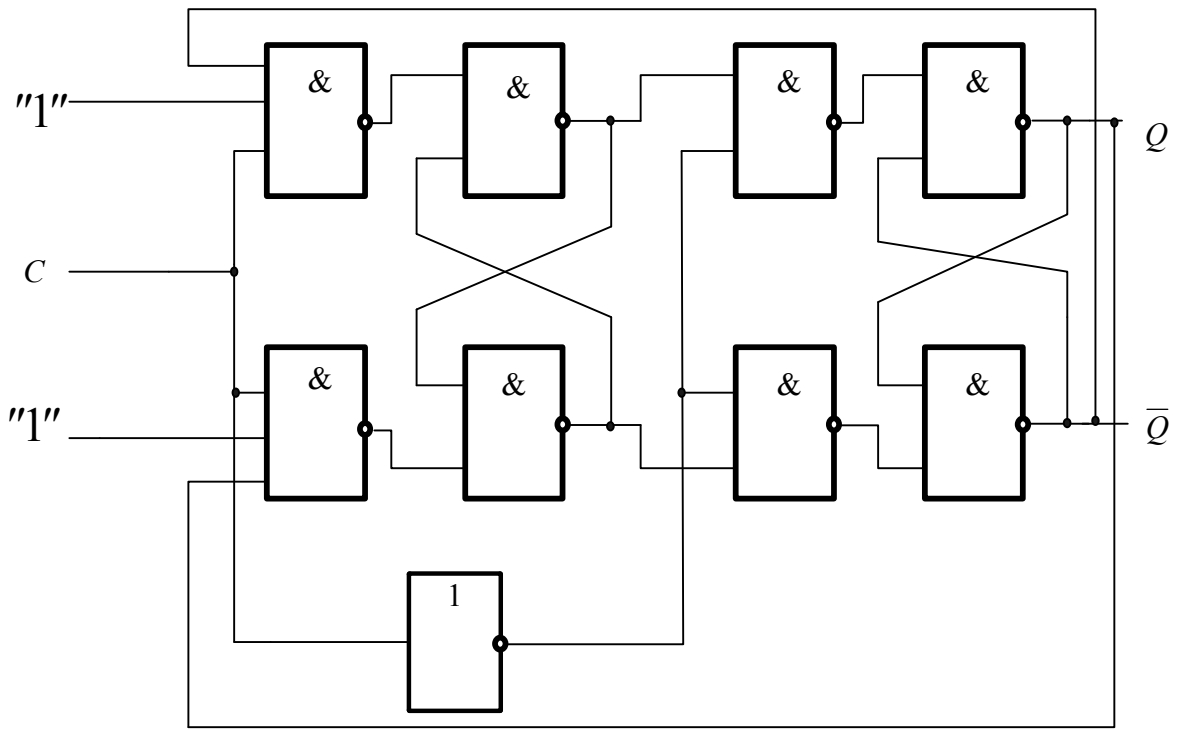


Рис.57. Синхронный двухступенчатый Т-триггер.

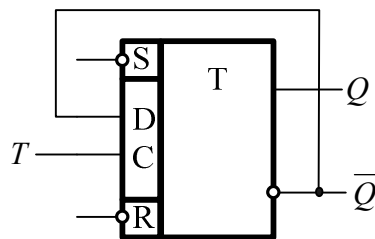


Рис.58. Т-триггер на основе синхронного D-триггера.

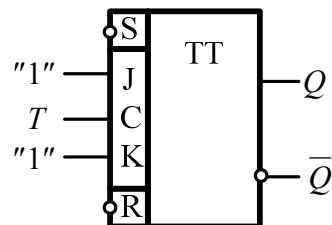


Рис.59. Т-триггер на основе универсального JK-триггера.

На УГО триггеров две буквы ТТ в основном поле обозначения триггера указывают, что триггер двухступенчатый и, следовательно, он работает по заднему фронту синхросигнала.

Как видно из рис.58 для получения счетного триггера из D-триггера необходимо соединить инверсный выход D-триггера с его D-входом.

2. Описание технологии и приёмов исследования триггеров с помощью программы Electronics Workbench .

При моделировании используются следующие элементы программы Electronics Workbench (EWB) (рис.58):

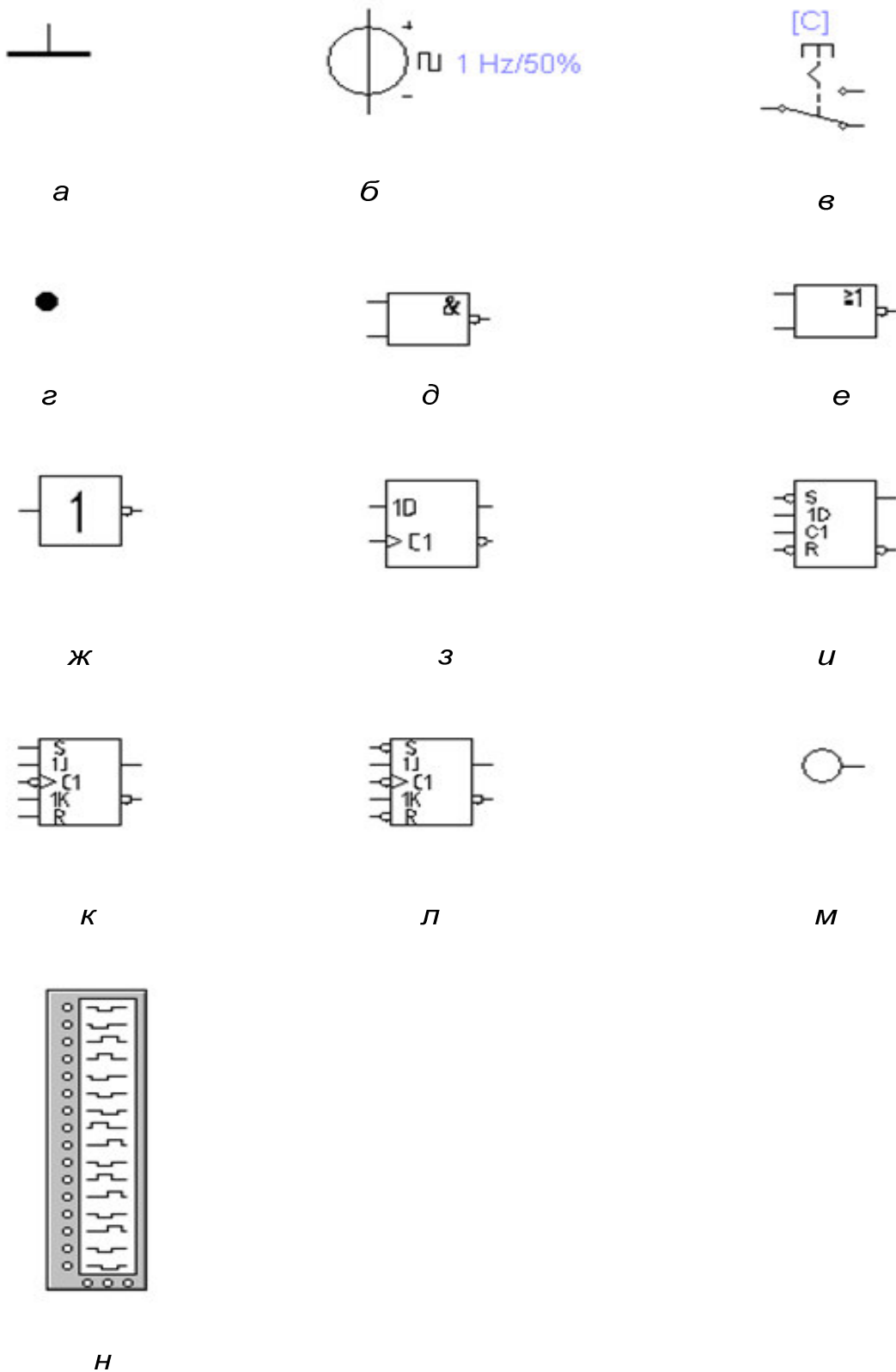


Рис. 58. Основные элементы программы Electronics Workbench, необходимые для моделирования.

a – заземление (точка нулевого потенциала);

б – источник прямоугольных сигналов (Sources -> Clock);
в – переключатель (Basic -> Switch); переключение осуществляется нажатием на клавишу, указанную в скобках над этим элементом;
г – соединитель (connector), используемый для организации точки соединения, при отсутствии автоматического соединения;
д – логический элемент «И-НЕ» (Logic gates -> 2-Input NAND Gate);
е - логический элемент «ИЛИ-НЕ» (Logic gates -> 2-Input NOR Gate);
ж - логический элемент «ИЛИ-НЕ» (Logic gates -> 2-Input NOR Gate);
з – триггер типа D (Digital -> D Flip-Flop);
и - триггер типа D (Digital -> D Flip-Flop with Active Low Asynch Inputs);
к - триггер типа JK с прямыми установочными входами (Digital -> JK Flip-Flop with Active High Asynch Inputs);
л - триггер типа JK с инверсными установочными входами (Digital -> JK Flip-Flop with Active Low Asynch Inputs);
м – световой индикатор (Indicators -> red probe);
н – графический осциллограф (Logic Analyzer);

3. Задание на выполнение лабораторной работы с помощью программы Electronics Workbench.

3.1. Исследование асинхронных и синхронных R-S триггеров.

Простейшие схемы асинхронных R-S триггеров составить с использованием логических элементов "И-НЕ", "ИЛИ-НЕ" согласно схем на рис.38. и рис.41.

Для подачи на входы триггеров значений логического "0" и "1" воспользоваться 5-вольтовым источником и переключателями.

Для контроля значений на прямом выходе триггера воспользоваться светоиндикатором.

Проконтролировать работу триггера по таблице состояний. Найти и объяснить отличия в управлении асинхронного триггера на элементах "ИЛИ-НЕ".

Составить временные диаграммы работы триггеров, применив логический анализатор.

3.2. Собрать схемы синхронного RS-триггера.

Для построения синхронного R-S триггера необходимо добавить логические схемы "И-НЕ" для анализа синхросигнала и добавить источник синхросигнала. В качестве синхросигнала можно взять 5-вольтовый источник и переключатель.

Составить таблицу состояний синхронного R-S триггера и снять с помощью логического анализатора временную диаграмму работы.

3.3. Составить модель двухступенчатого синхронного R-S (M-S типа) триггера с задержками рис.59.

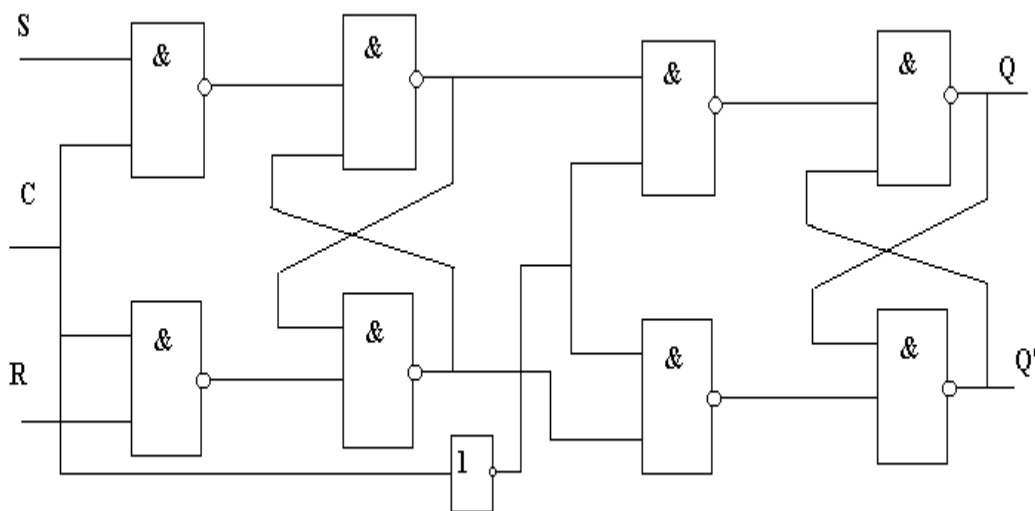


Рис.59. Синхронный R-S триггер (MS-типа) с задержками.

Для анализа временной диаграммы работы данного триггера использовать подключение светодиодов на первой ступени триггера и на выходе триггера.

3.4. Собрать и исследовать схему динамического RS-триггера, согласно схеме рис.50.

3.4.. Исследовать работу D-триггера.

Собрать и исследовать синхронный D-триггер потенциального типа на элементах «И-НЕ» согласно схеме рис.13. Составить таблицу состояний синхронного D триггера и снять с помощью логического анализатора временную диаграмму его работы.

Собрать схему, моделирующую работу D-триггера из состава готовых триггеров Digital.

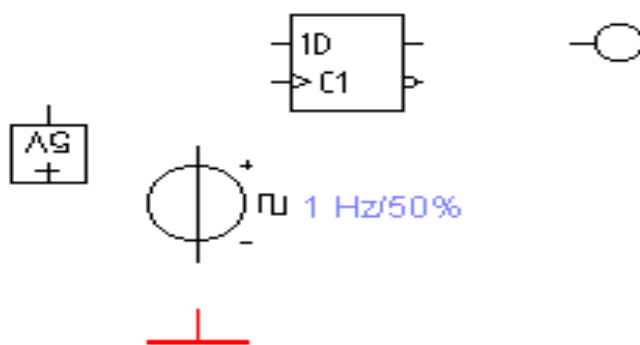
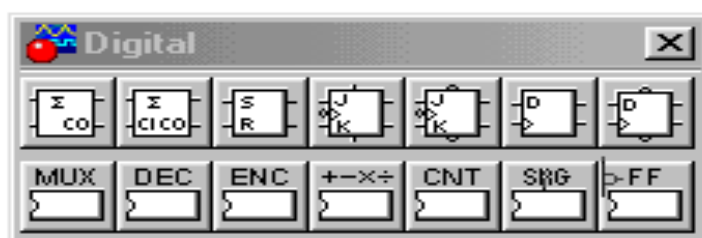


Рис.28. Набор элементов схемы на рабочем столе.

Из данного набора элементов собирается схема проверки работы D-триггера. Схема исследования D-триггера выглядит следующим образом рис.29 .

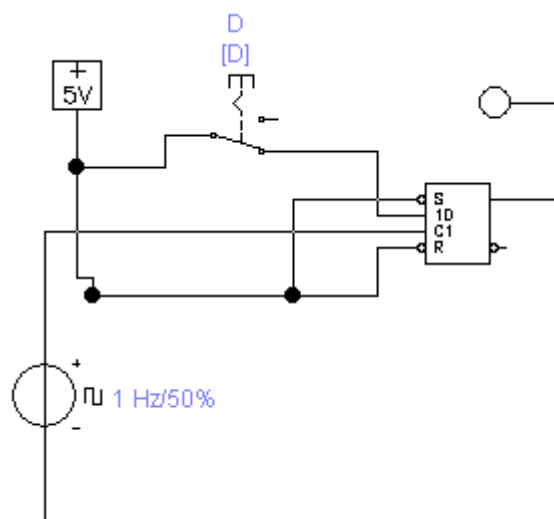


Рис. 29 . Схема исследования D- триггера.

Составить таблицу переходов и снять временную диаграмму работы D-триггера. По снятой временной диаграмме определить принадлежность исследованного D-триггера к потенциальному либо динамическому типу.

5.3 Исследование работы универсального J-K триггера.

Использовать два вида библиотечных J-K триггеров: с прямыми и инверсными установочными входами.

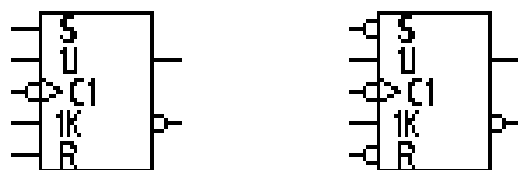
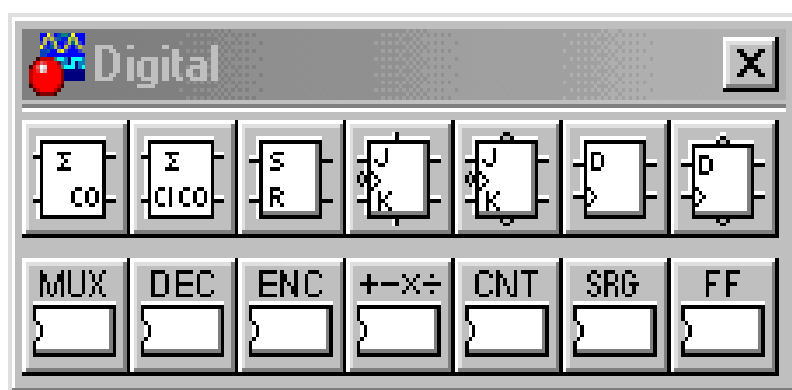


Рис.30. JK- триггеры из состава библиотечного набора Digital.

JK - триггеры различаются прямыми и инверсными установочными входами.

Снять временную диаграмму работы одного из J-K триггеров по указанию преподавателя.

4. Содержание отчета.

6.1. Схемы, моделирующие работу триггеров по всем пунктам задания.

6.2. Таблицы переходов, временные диаграммы, поясняющие работу триггеров.

5. Контрольные вопросы

- 7.1. Определение триггера.
- 7.2. Отличие триггеров от комбинационных схем.
- 7.3. Активные сигналы для инверсных входов триггеров.
- 7.4. Определение состояния триггера.
- 7.5. Задание законов функционирования триггеров.
- 7.6. Определение таблицы переходов триггера.
- 7.7. Определение характеристического уравнения триггера.
- 7.8. Признаки классификации триггеров.
- 7.9. Определение асинхронного триггера.
- 7.10. Определение синхронного триггера.
- 7.11. Определение асинхронного RS-триггера, таблица переходов, характеристическое уравнение триггера.
- 7.12. Определение структурного уравнения триггера.
- 7.13. Отличие RS-триггеров с прямыми и инверсными входами.
- 7.14. Определение синхронного RS-триггера, таблица переходов, характеристическое уравнение триггера.
- 7.15. Условие устойчивой работы одноступенчатых RS-триггеров в произвольной схеме.
- 7.16. Определение двухступенчатого RS-триггера.

7.17. Определение D-триггера, таблица переходов, характеристическое уравнение.

7.18. Определение JK-триггера, таблица переходов, характеристическое уравнение.

7.19. В чём состоит универсальность JK-триггера.

7.20. Определение T-триггера, таблица переходов, характеристическое уравнение.

7.21. К какому классу устройств относятся триггеры: к комбинационными схемам или цифровым автоматам и в чём основное отличие?

7.22. Назовите способ задания законов функционирования триггеров.

7.23. По каким признакам классифицируются триггерные устройства?

7.24. Функции каких триггеров может выполнять универсальный J-K триггер?

6. Рекомендуемые источники информации.

1. *Бойт К.* Цифровая электроника: пер. с англ. М.: Техносфера, 2007.
2. *Карлащук В.И.* Электронная лаборатория на IBM PC. М.: СОЛОН-Р, 2001.
3. *Потёмкин И.С.* Функциональные узлы цифровой автоматики. М.: Энергоатомиздат, 1988.
4. *Пухальский Г.И., Новосельцева Т.Я.* Цифровые устройства: Учебное пособие для втузов. - СПб.: Политехника, 1996.
5. *Савельев А.Я.* Арифметические и логические основы цифровых автоматов: Учебник. - М.: Высшая школа, 1980.
6. *Угрюмов Е.П.* Цифровая схемотехника. - СПб.: БХВ - Санкт-Петербург, 2000.
7. Электротехника и электроника в экспериментах и упражнениях: Практикум на Electronics Workbench: В 2-х томах / Под общей редакцией Д.И.Панфилова. М.: ДОДЭКА, 2000.

Лабораторная работа № 3.

**«Исследование устройств на
основе триггеров»**

Часть 1. Исследование регистров.

(Обозначение в журнале Л.3.1.)

Цель работы - ознакомление с принципами работы регистров различных типов. Получение навыков построения регистров с применением различных триггеров. Моделирование режимов работы регистров при подаче параллельного и последовательного кода. Получение навыков построения схем управления направлением сдвига в реверсивных регистрах. Освоение построения управления режимами в регистре универсального типа. Ознакомление с различными схемами управления в универсальных регистрах.

Продолжительность работы: – 4 ч.

1. Сведения об объекте исследования.

Регистром называется устройство, предназначенное для приема, кратковременного хранения и выдачи кодов слова, а также выполняющее логические преобразования над кодом слова.

Регистр представляет собой совокупность триггеров и вспомогательных логических схем, количество и схема соединений которых зависит от количества разрядов в коде и набора операций, выполняемых регистром.

Помимо хранения кода слова регистры, в общем случае, обеспечивают выполнение следующих операций:

- установка регистра в нулевое состояние «сброс»;
- прием кода слова из другого устройства;
- передача кода слова в другое устройство;
- преобразование кода числа: преобразование прямого кода в обратный код и наоборот;

- преобразование последовательного кода слова в параллельный код и наоборот;

- сдвиг кода слова вправо или влево на требуемое число разрядов.

Регистры, как правило, строятся на D-триггерах, т.к. эти триггеры позволяют производить запись информации однофазным кодом без предварительного "обнуления" по входу D.

Приём информации в регистр и выдача может осуществляться параллельно и последовательно. В первом случае слово представляется в виде параллельного кода. При записи и при считывании все разряды кода слова передаются одновременно, каждый разряд по своей кодовой шине. При последовательной передаче кода слова, все разряды кода слова передаются последовательно во времени один за другим и строго в определенные дискретные моменты времени, совпадающие с управляющими сигналами.

Различают, сдвигающие регистры, в которых возможен сдвиг хранимого кода и регистры без сдвига с приемом информации параллельным кодом.

Принцип работы регистров различного назначения.

Регистр с приёмом информации параллельным кодом. Эти регистры предназначены для приёма, хранения и выдачи информации кода одного m -разрядного слова. Приём и выдача информации в регистре осуществляется в параллельном коде.

Такой, m -разрядный, регистр можно представить как совокупность одноразрядных регистров, имеющих общие шины управления. На рис. 1 представлен фрагмент схемы (3 разряда) регистра с приёмом информации параллельным однофазным кодом.

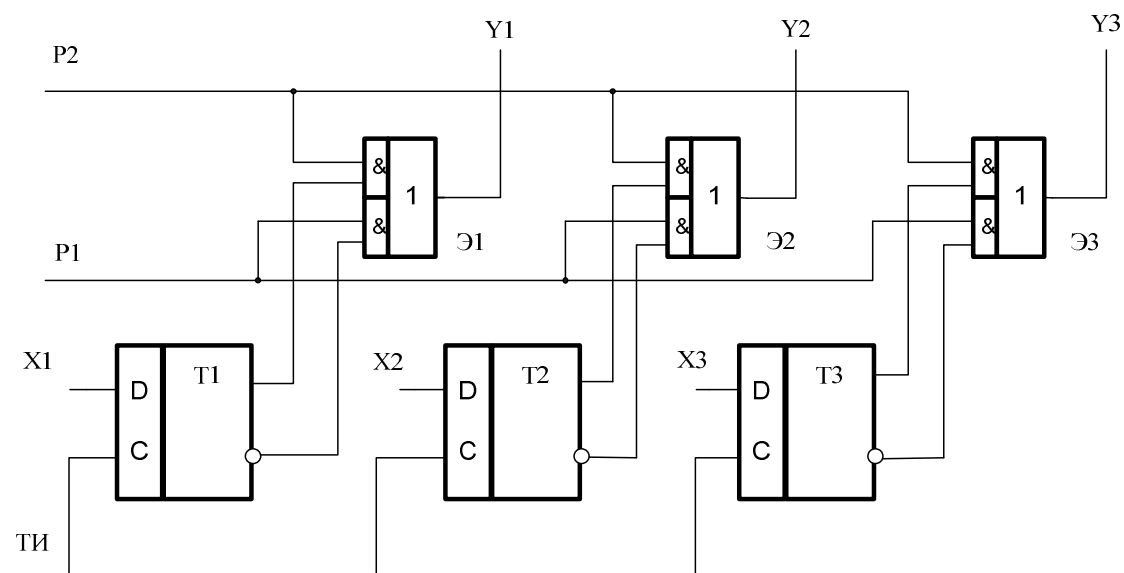


Рис. 1. Регистр для приёма информации параллельным кодом.

Схема данного регистра имеет выходную логику на элементах Э₁-Э₃, которая позволяет считывать информацию из регистра как в прямом, так и обратном коде в зависимости от значений разрешающего сигнала P2 и P1.

Регистр (рис.1.) выполнен на D-триггерах (Т₁-Т₃). Запись информации осуществляется по входам D в соответствии с уравнением D-триггера:

$$Q^{t+1} = \overline{C^t} Q^t + C^t D^t \quad (1)$$

Входное слово $X=x_3x_2x_1$ поступает на входы D триггеров и при $TI=1$ записывается в регистр.

Считывание выходного слова $Y=y_3y_2y_1$ производится через логические элементы 2И-НЕ - с прямых выходов $Q_3Q_2Q_1$ или с инверсных выходов $\overline{Q_3}, \overline{Q_2}, \overline{Q_1}$. При $P_{np}=1, P_{обр}=0, Y=X$ т.е. считывание происходит в прямом коде, а при $P_{np}=0, P_{обр}=1 Y=\overline{X}$, т.е. считывание происходит в обратном коде.

Сдвигающие регистры. В регистрах этого типа осуществляется сдвиг слова влево или вправо на заданное число разрядов. За один такт происходит сдвиг на один разряд. Применяются эти регистры в основном для преобразования параллельного кода в последовательный и наоборот, а также

в арифметических устройствах при выполнении операций над специальными кодами. Сдвигающие регистры выполняются на D-триггерах.

На рис.2 представлена схема сдвигающего регистра, выполняющего операцию преобразования последовательного кода в параллельный.

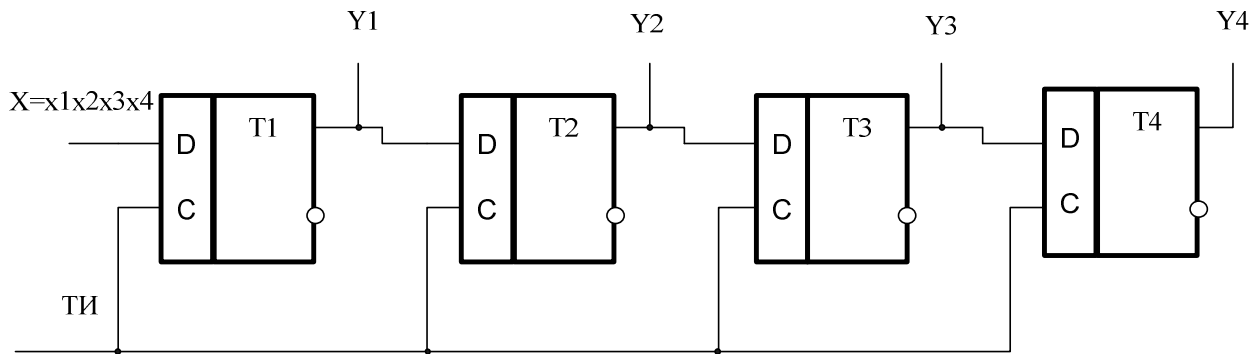


Рис. 2. Сдвигающий регистр.

Число $X = x_3x_2x_1$ в последовательном коде поступает на вход D-триггера T_3 младшим разрядом вперёд. При поступлении 1-го ТИ x_1 записывается в T_3 . По второму ТИ x_1 переписывается в T_2 , а в T_3 записывается x_2 и т.д.

Таким образом, после трёх тактирующих импульсов всё число окажется записанным в регистр и может быть считано в параллельном коде с выходов Q_3, Q_2, Q_1 ($Y = X$) или $\bar{Q}_3, \bar{Q}_2, \bar{Q}_1$ ($Y = \bar{X}$). Процесс считывания организуется точно также как и в схеме на рис. 1.

На рис.3 изображена схема сдвигающего регистра, выполняющего преобразование параллельного кода в последовательный.

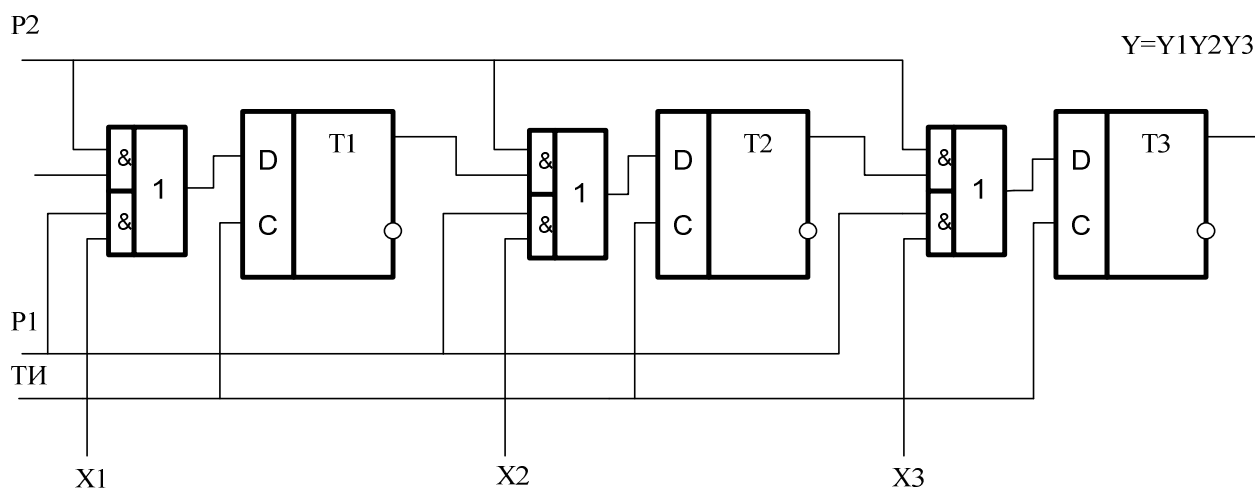


Рис. 3 Сдвигающий регистр для преобразования параллельного кода в последовательный код.

Входное слово $X=x_3x_2x_1$ при $P_1=[ТИ]=1$ и $P_2=0$ записывается в $T_3T_2T_1$ точно также как и в схеме на рис. 3.1. Затем при $P_2=[ТИ]=1$ и $P_1=0$ происходит перезапись информации из T_3 в T_2 , из T_2 в T_1 и т.д. Из младшего разряда в старший разряд по каждому тактирующему импульсу. Таким образом, на выходе последнего разряда Q_1 будут последовательно появляться x_3, x_2, x_1 , т.е. входное слово X , представленное в параллельном коде будет преобразовано в выходное слово Y , представленное последовательным кодом.

В регистрах на схемах 3.1, 3.2, 3.3 количество триггеров в регистре зависит от разрядности преобразуемого машинного слова. Процесс записи, считывания и преобразования остаётся таким же, как было описано выше.

2. Выполнение лабораторной работы с помощью программы Electronic Workbench.

2.1. Описание необходимых приборов и инструментария программы EWB.

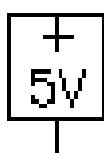


Рис.6. Voltage Source – источник постоянного напряжения +5 вольт.

С помощью этого источника на вход триггеров и логических элементов подается логическая единица.



Рис.7. Переключатель (Basic->Switch).

Переключение производится нажатием на клавишу, указанную в скобках над этим элементом.

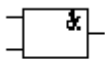


Рис.8. Логический элемент "И" (Logic gates->2-Input AND gate).

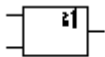


Рис.9 Логический элемент "ИЛИ" (Logic gates->2-Input OR gate).

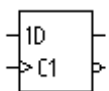


Рис.10. Триггер типа D (Digital->D Flip-Flop)



Рис.11. Светоиндикатор (Indicators->red Prob).

При подаче на этот элемент логической единицы светодиод загорается красным цветом.

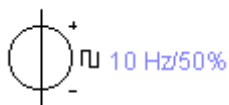


Рис.12. Источник прямоугольных сигналов (Sources->Clock).

Выполняет функцию синхронизатора, который обеспечивает одновременность подачи сигналов на входы триггеров.

3. Задание на выполнение лабораторной работы

1. Составить схему трехразрядного регистра для занесения слова параллельным кодом и возможностью вывода в прямом и обратном кодах и контролем по индикаторам.

Порядок построения схемы регистра.

3.1.1 Сборка переключающих схем для управления считыванием в прямом и обратном кодах :

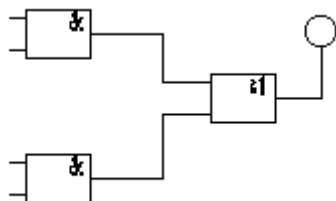


Рис.13. Элементарный мультиплексор.

Для реализации схемы переключения прямого кода на обратный на выходе регистра необходимо три таких соединения.

3.1.2 К входу С1 каждого из трёх D-триггеров подключим источник прямоугольных импульсов с частотой 10 Гц, заземлив его на выходе минусового сигнала:

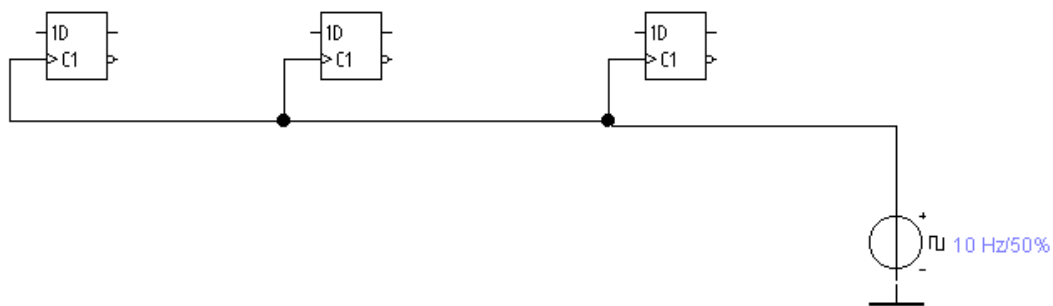


Рис.14. Промежуточная схема регистра.

3.1.3. Три пятивольтовых источника напряжения подсоединяются через переключатели к входам D1 триггеров каждого разряда.

Для настройки управлением переключателя необходимо назначить клавишу для переключения данного переключателя. Для этого нужно двойным щелчком мыши кликнуть на изображении переключателя и меню настройки в форме КЕУ указать эту клавишу.

3.1.4 Инверсный выход триггера подключить к входу нижнего логического элемента логического элемента "И". Прodelать эту процедуру с каждым триггером и соответствующим соединением.

3.1.5 Пятивольтовый источник напряжения подключить к входу переключателя, выбирающего прямое или инверсное считывание. Верхний вывод переключателя подключить к верхнему входу верхнего логического элемента "И" каждой схемы.

3.1.6. Итоговая схема регистра, готовая к проведению проверки работы выглядит следующим образом:

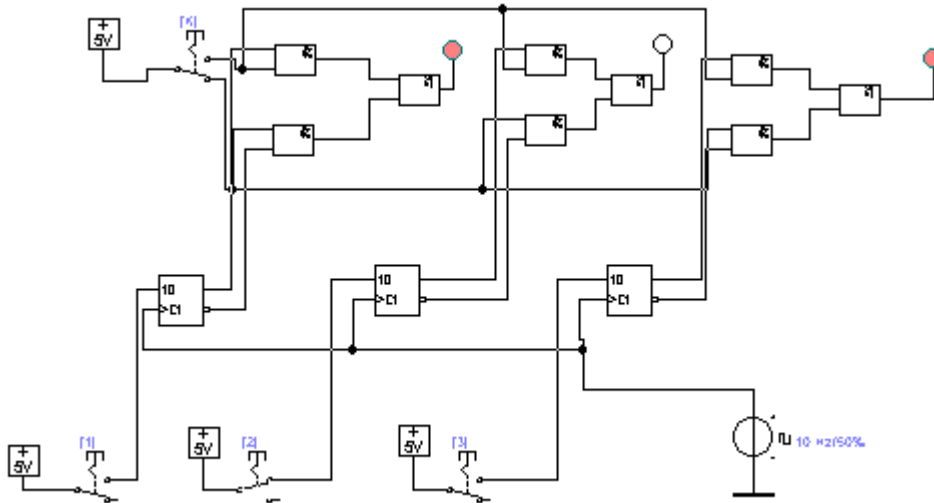


Рис.15. Триггер параллельного занесения с выходными мультиплексорами.

3.2. Порядок проведения исследования работы регистра параллельного занесения.

При исходном положении ключа К (верхнее положение) индикация подключается к прямым выходам регистра.

Положение нижних переключателей 1,2,3 определяет код, подаваемый на вход регистра.

Включение 1-го и 3-го выключателей (нажатие клавиш 1 и 3) соответствует заносимому коду 101.

В результате загораются соответствующие светоиндикаторы.

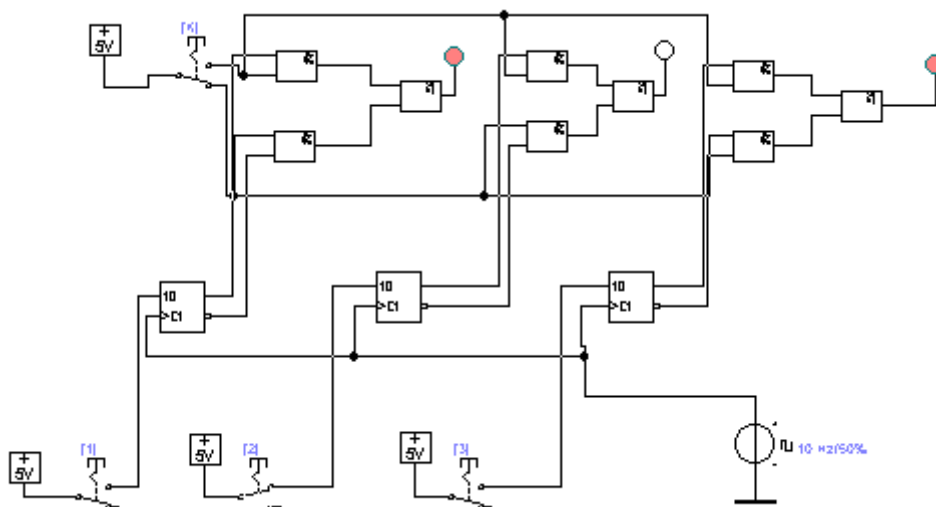


Рис.16. Регистр параллельного занесения с установленным кодом 101.

При изменении положения переключателя К на индикаторах отображается инверсный код.

Составить временную диаграмму работы регистра параллельного занесения.

3.3 Составить схему сдвигающего регистра.

3.3.1. В основе схемы сдвигающего регистра используется та же элементная база, что и в п. 3.1.

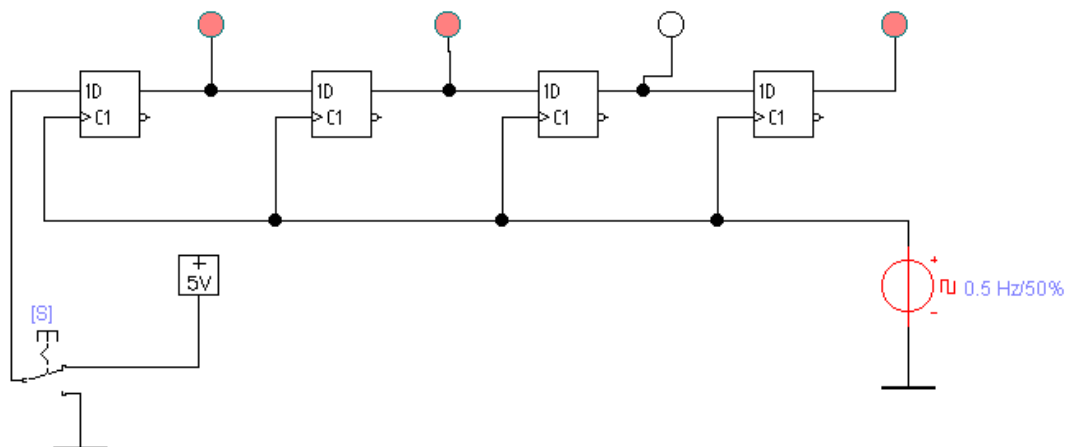


Рис.17. Сдвигающий регистр на 4 разряда.

Изменяя частоту генератора синхроимпульсов в пределах 0.1 до 1 Гц, с помощью переключателя S (клавиша S) можно заносить последовательный код.

3.3.2. Получить у преподавателя значение кода для занесения последовательным кодом при сдвиге регистра вправо. Составить временную диаграмму занесения полученного кода.

3.4. Моделирование работы счетчика Джонсона.

Для получения схемы счетчика Джонсона необходимо соединить инверсный выход старшего разряда регистра с входом младшего.

Изменяя частоту синхроимпульсов, можно добиться разной скорости изменения состояний.

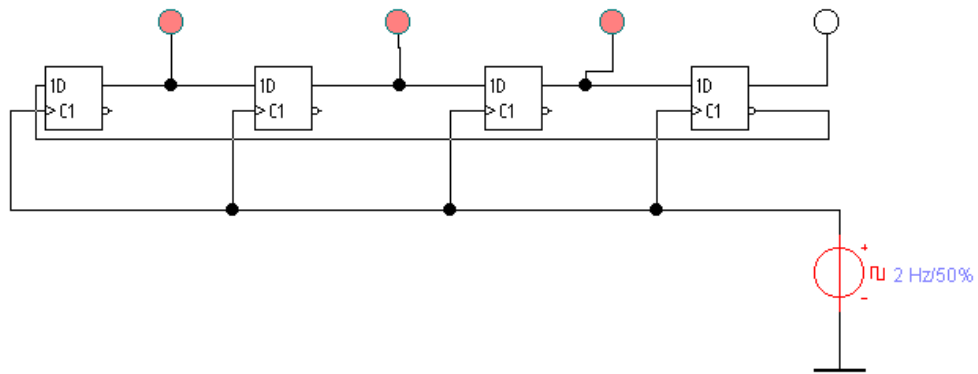


Рис. 18. Схема счётчика Джонсона.

3.5. Собрать схему реверсивного сдвигающего регистра. Организовать управление направлением сдвига с помощью переключателя и обеспечить индикацию выполнения операций сдвига.

переключателю и обеспечить индикацию выполнения операций сдвига.

3.6. Собрать схему универсального регистра, выполняющего операции сдвигов в обе стороны и параллельное занесение (рис.19).

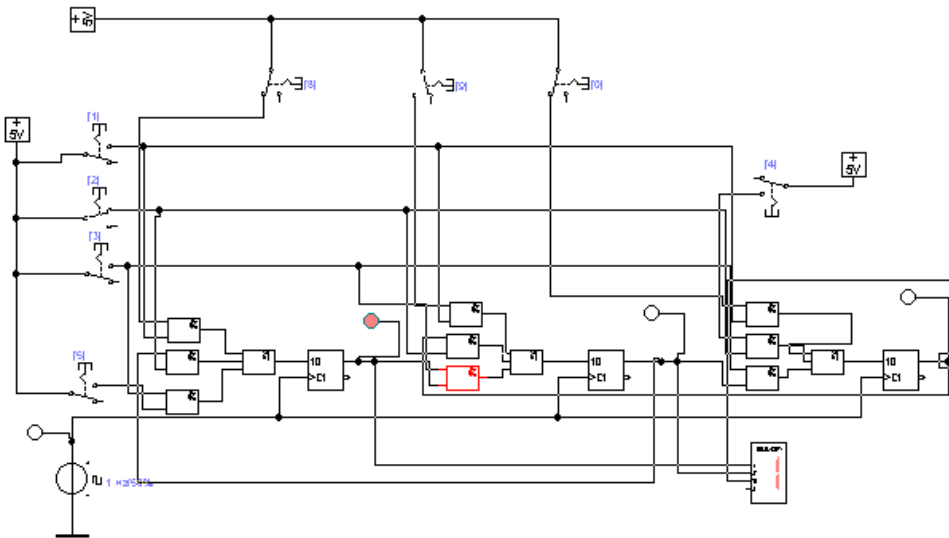


Рис.19. Универсальный регистр на 3 разряда.

3.7. Собрать схему универсального регистра, построенного с применением готовых мультиплексоров согласно рис.20.

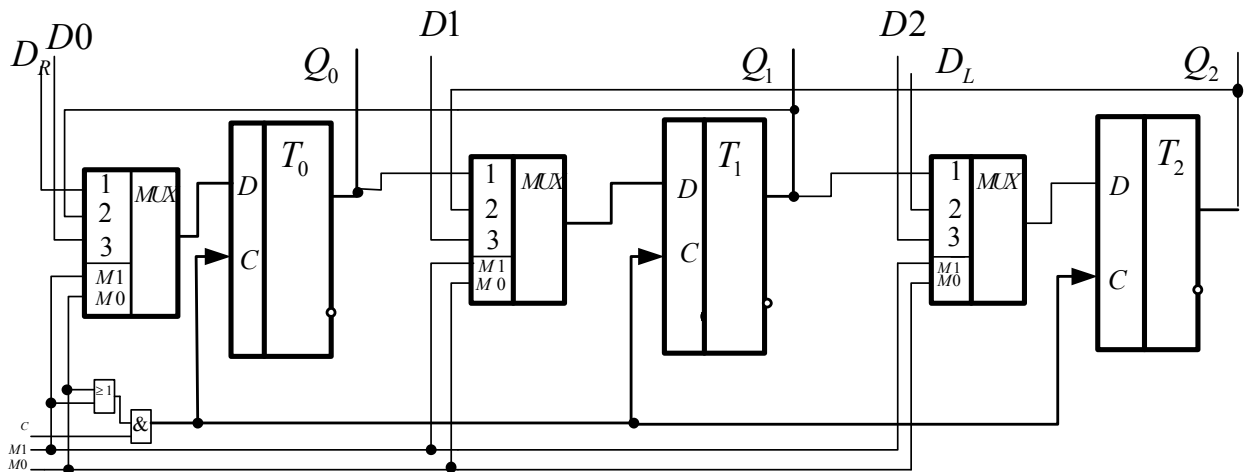


Рис.20. Универсальный регистр на 3 разряда с готовыми мультиплексорами.

4. Содержание отчета.

- 4.1. Схемы, моделирующие работу регистров по всем пунктам задания.
- 4.2. Временные диаграммы, поясняющие работу регистров.
- 4.3. Порядок переключения режимов универсального регистра.

5. Контрольные вопросы

- 5.1. Определение регистра.
- 5.2. Какие действия выполняются при “сбросе” регистра?
- 5.3. Перечислите операции, выполняемые регистрами.
- 5.4. Почему регистры преимущественно строятся на D-триггерах?
- 5.5. В каком режиме работы регистра осуществляется запись информации в последовательном коде.
- 5.6. Как производится считывание информации из регистра в прямом коде?
- 5.7. Как производится считывание информации из регистра в обратном коде?
- 5.8. Назначение различных типов регистров в вычислительных устройствах.
- 5.9. Какие типы триггеров могут быть использованы для построения регистров?
- 5.10. Назначение синхросигнала в работе регистров.
- 5.11. Какие дополнительные устройства необходимы для построения универсального регистра.

5.12. Последовательность действий, выполняемых на регистрах с целью преобразования параллельного кода в последовательный код и обратно.

Часть 2. Исследование счётчиков. (Обозначение в журнале Л.3.2)

Цель работы - изучение принципов построения счетчиков и пересчетных схем, выполненных на динамических счётных триггерах. Получение навыков создания схем счётчиков, имеющих различное (заданное) количество состояний, применяя различные методы построения связей в счётчиках.

Продолжительность работы: - 4 часа.

1. Характеристика объекта исследования

Одной из наиболее распространенных операций, выполняемых в вычислительных устройствах цифровой обработки информации является подсчет числа сигналов импульсного или потенциального вида.

Узел вычислительных устройств, предназначенный для подсчета числа входных сигналов, называется *счетчиком*. Счетчики широко применяются почти во всех цифровых устройствах автоматики и вычислительной техники. В цифровых вычислительных машинах счетчики используются: для подсчета шагов программы, для подсчета циклов сложения и вычитания при выполнении арифметических операций, для преобразования кодов, в делителях частоты и распределителях сигналов и т.п.

По *системе счисления* счетчики делятся на двоичные, двоично-десятичные, десятичные, счетчики с основанием системы счисления не равным 2 и 10 (пересчетные схемы).

По *реализуемой операции* счетчики подразделяются на суммирующие, вычитающие и реверсивные.

К основным параметрам счетчиков относятся:

- модуль счета или коэффициент пересчета счетчика $K_{сч}$, характеризующий число устойчивых состояний, в которых может находиться n - разрядный счетчик, т. е. предельное число входных сигналов, которое может быть подсчитано счетчиком.

Двоичный n - разрядный счетчик имеет 2^n различных состояний.

Число разрядов двоичного счетчика можно определить по выражению:

$$n \geq \log_2 K_{сч} \quad (1)$$

где n – число разрядов, определяемое ближайшим целым числом, удовлетворяющим данному неравенству; $K_{сч}$ - коэффициент пересчета;

- максимальная частота поступления входных сигналов $f_{сч\ max}$
- частота, при которой счетчик еще сохраняет работоспособность; эта частота определяется, как правило, максимально допустимой частотой переключения триггера младшего разряда счетчика.

Синтез счетчиков и пересчетных схем на универсальных D- и JK – триггерах.

Простейшим счетчиком является триггер со счетным входом, регистрирующий сигналы по модулю 2, т.е. осуществляющий подсчет и хранение результата подсчета не более двух сигналов. Соединив несколько счетных триггеров определенным образом, можно получить схему многоразрядного счетчика.

В настоящее время в состав большинства современных серий логических микросхем (133, К133, 155, К155 и др./ входят широко используемые **D** и **J-K** -триггеры.

При использовании **D** - триггеров в качестве счетного триггера его инверсный выход соединяют со своим входом **D**. Работать в счётном режиме могут триггеры только динамического типа.

Представление счётчика цепочкой счётных триггеров возможно как для суммирующего, так и для вычитающего вариантов, поскольку закономерность по соотношению частот переключения разрядов сохраняется как при просмотре таблицы сверху, так и снизу. Различия при этом состоят в направлении переключения предыдущего разряда, вызывающего переключение следующего.

При прямом счёте (суммирование) следующий разряд переключается при переходе предыдущего в направлении из 1 в 0, а при обратном счёте – при переключении из 0 в 1.

Асинхронный суммирующий счетчик на **D** - триггерах можно получить, соединив инверсный выход предыдущего триггера \bar{Q} со входом **C** последующего триггера.

Схема асинхронного четырёхразрядного суммирующего счетчика на **D** - триггерах приведена на рис.1.

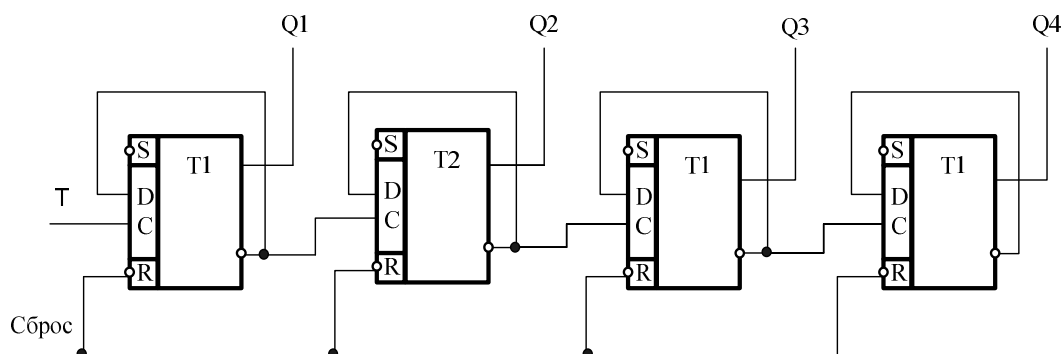


Рис. 1. Схема асинхронного суммирующего счётчика на D-триггерах.

Для построения вычитающего счетчика на **D** - триггерах прямой выход предыдущего триггера соединяют со входом **C** последующего триггера.

Схема асинхронного четырёхразрядного вычитающего счетчика на **D** - триггерах приведена на рис.2.

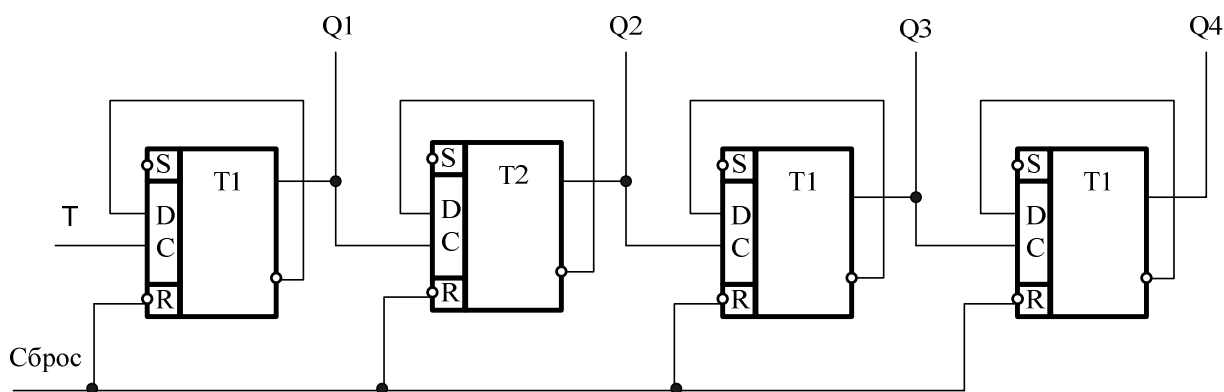


Рис. 2. Схема асинхронного вычитающего счётчика на D-триггерах.

Для построения суммирующего асинхронного счетчика на **JK**-триггерах необходимо соединить прямые выходы предыдущих триггеров со входом **C** последующих триггеров.

JK триггер должен находиться в счётном режиме, при котором входные сигналы $J=K=1$.

Все выводы триггеров на макете УМ-11 находятся под потенциалом логической единицы. Поэтому достаточно организовать только межразрядные связи в счётчике.

Схема асинхронного 4-х разрядного суммирующего счетчика на **JK**-триггерах приведена на рис.3.

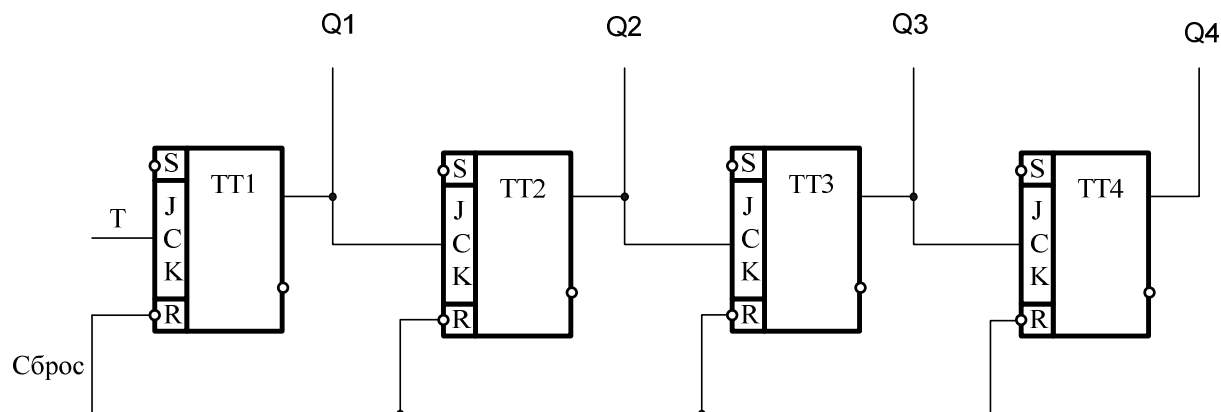


Рис. 3. Схема асинхронного суммирующего счётчика на JK – триггерах.

Асинхронный вычитающий счетчик на **JK**-триггерах можно получить, соединив инверсный выход предыдущего триггера с входом **C** последующего триггера (рис.4).

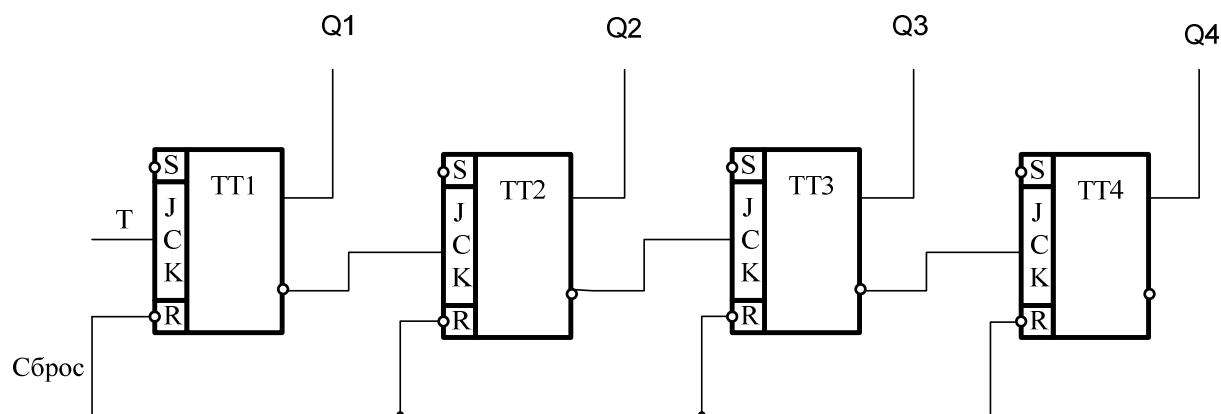


Рис. 4. Схема асинхронного вычитающего счётчика на JK – триггерах.

Следует отметить, что в изображениях JK триггеров на рис. 3 и 4 не показаны единичные потенциалы, которые необходимо подавать на входы J и K каждого триггера, чтобы данный триггер работал в счётном режиме. Данное изображение соответствует триггеру макета УМ-11, в котором все незадействованные входы всех схем находятся под потенциалом логической единицы.

Реверсивные счетчики осуществляют подсчет сигналов как в прямом, так и в обратном направлении, т.е. они могут работать в режиме сложения и в режиме вычитания сигналов.

Для построения реверсивных счетчиков необходимо предусмотреть схемы, пропускающие сигналы на вход следующих триггеров либо с инверсного (при суммировании), либо с прямого (при вычитании) выходов предыдущего триггера.

Схема асинхронного реверсивного счетчика на D-триггерах со схемой управления прямым и обратным счетом приведена на рис.5.

Асинхронные реверсивные счетчики на JK-триггерах строятся аналогично реверсивным счетчикам на D - триггерах.

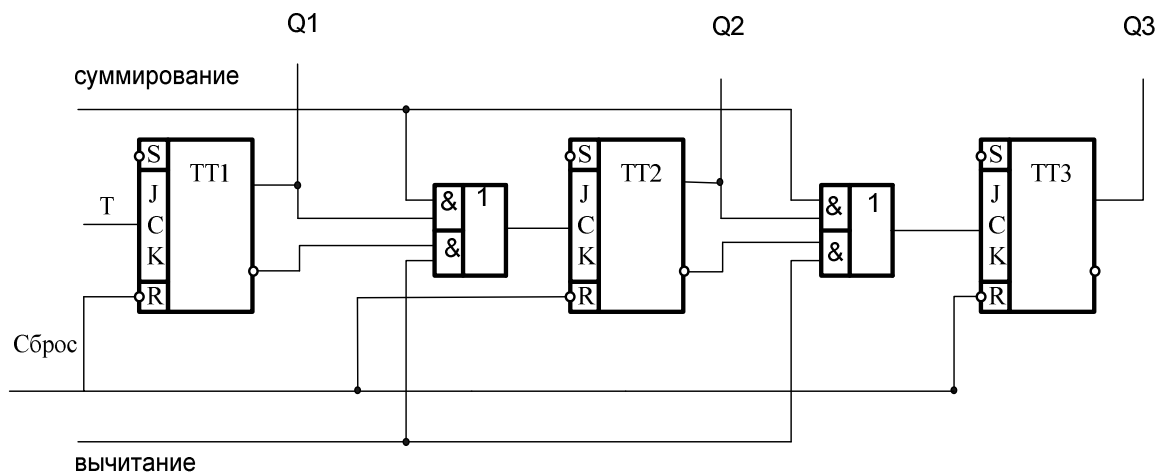


Рис. 5. Схема асинхронного реверсивного счётчика на JK триггерах.

Рассмотренные выше счетчики имели коэффициент пересчета 2^n . Однако на практике возникает необходимость в счетчиках, коэффициент пересчета которых отличен от 2^n . Очень часто, например, применяются счетчики с $K_{сч} = 3, 10$ и т.д., т.е. счетчики, имеющие число устойчивых состояний соответственно 3, 10 и т.д. Принцип построения таких счетчиков заключается в исключении “лишних” устойчивых состояний счетчика с $K_{сч} = 2^n$, т.е. в организации схем, запрещающих некоторые состояния.

Число запрещенных состояний для любого счетчика можно определить по следующему выражению:

$$m = 2^n - K_{сч} \quad (2)$$

где m - число запрещенных состояний;

2^n - число устойчивых состояний двоичного счетчика; $K_{сч}$ - требуемый коэффициент пересчета.

Например, для счетчика с $K_{сч} = 3$, который строится на двух счетных триггерах, и для счетчика с $K_{сч} = 10$, который строится на четырех счетных триггерах, число избыточных состояний согласно формуле (2) равно 1 и 6 соответственно.

Рассмотрим способ построения счетчика с естественным порядком счета, у которого уменьшение числа устойчивых состояний достигается за

счет сбрасывания счетчика в нулевое состояние при записи в него заданного числа сигналов.

В соответствии с этим способом к счетчику добавляется логическая схема, проверяющая условие: «Код на счетчике изображает число, равное $K_{сч}$ и в зависимости от результата проверки направляет входной сигнал либо на шину "установка 0", либо на суммирование к записанному коду.

Это условие можно проверить с помощью n -входовой схемой И, связанной с прямыми выходами тех триггеров, которые при записи в счетчике коэффициента $K_{сч}$ должны находиться в состоянии «1», и с инверсными выходами триггеров, которые в этом случае должны находиться в состоянии «0».

Практически число входов элемента "И" можно сократить, связав его с прямыми выходами, т.к. сочетание единиц в записи кода числа $K_{сч}$ может повториться только в недопозволенных кодах больших $K_{сч}$.

Рассмотрим синтез схемы подобного счетчика на примере $K_{сч}=10$, т.е. счетчик должен иметь 10 состояний - от 0 до 9 в десятичной системе и от 0000 до 1001 в двоичной системе. Сначала определим разрядность счетчика

$$n \geq \log_2 K_{сч} = \log_2 10 \cong 3.35 \quad (3)$$

Полученное значение n округляется до ближайшего целого числа, т.е. $n=4$. Затем определим, какие разряды счетчика будут находиться в единичном состоянии при записи в счетчик коэффициента $K_{сч}$.

$$K_{сч} = 10_{10} = 1010 = Q_4 \overline{Q_3} Q_2 \overline{Q_1}$$

Прямые выходы этих разрядов заводятся на входы логической схемы "И" и далее в цепь установки "0". Таким образом, при достижении счетчиком значения $K_{сч}$ он автоматически возвращается в состояние 0000 и счет начинается снова.

Схемы суммирующих счётчиков с $K_{сч}=10$, построенных на D – триггерах и JK – триггерах, приведены на рис. 6 и 7.

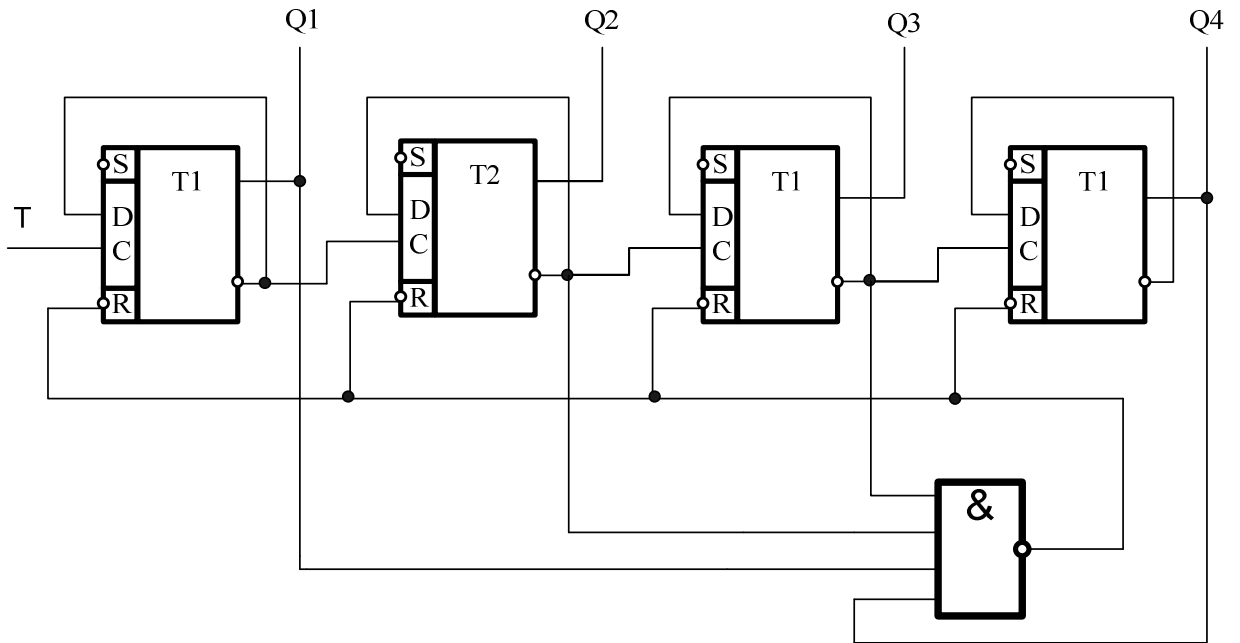


Рис. 6. Суммирующий счетчик с $K_{сч}=10$ на D-триггерах.

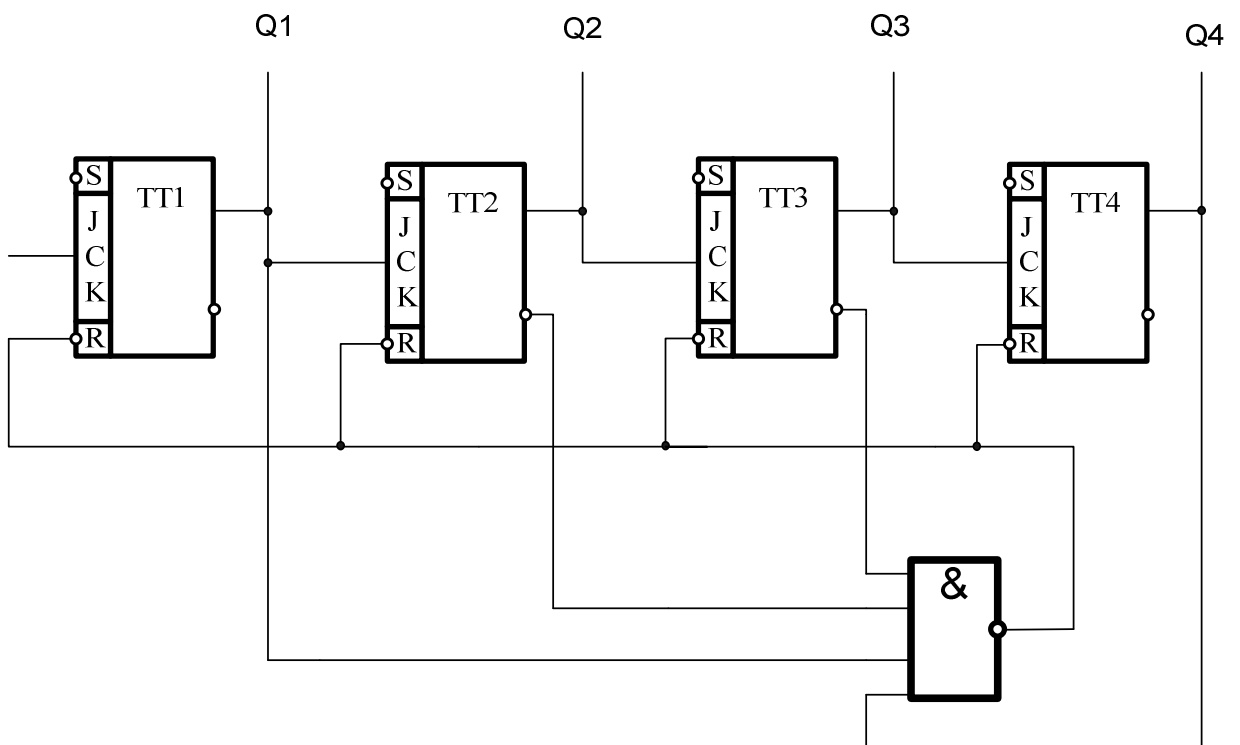


Рис. 7. Суммирующий счетчик с $K_{сч}=10$ на JK-триггерах.

Синтез синхронных счетчиков на основе JK-триггера

Особенностью синхронного счётчика является то, что счётный сигнал

подаётся по шине одновременно на синхровходы триггеров всех разрядов. Логика переключения счётчика управляется переводом триггера данного разряда в счётное состояние (логические единицы на входах J и K), либо в иное состояние, когда изменение состояния триггера не меняется при наличии счётного сигнала.

Во многих схемах JK триггер реализуется с наличием нескольких входов J и входов K, объединённых конъюнкторами (логический элемент “И”).

Проанализировав последовательность двоичных состояний счётчика, можно сделать вывод о том, что i -тый разряд счётчика должен поменять своё состояние при приходе очередного счётного импульса только тогда, когда все разряды более младшие разряды находятся в состоянии логических единиц.

Самый младший разряд счётчика должен менять своё состояние при каждом счётном импульсе. Счётное состояние первого разряда обеспечивают логические единицы на всех трёх входах J и K.

Схема трёхразрядного синхронного суммирующего счётчика показана на рис.8.

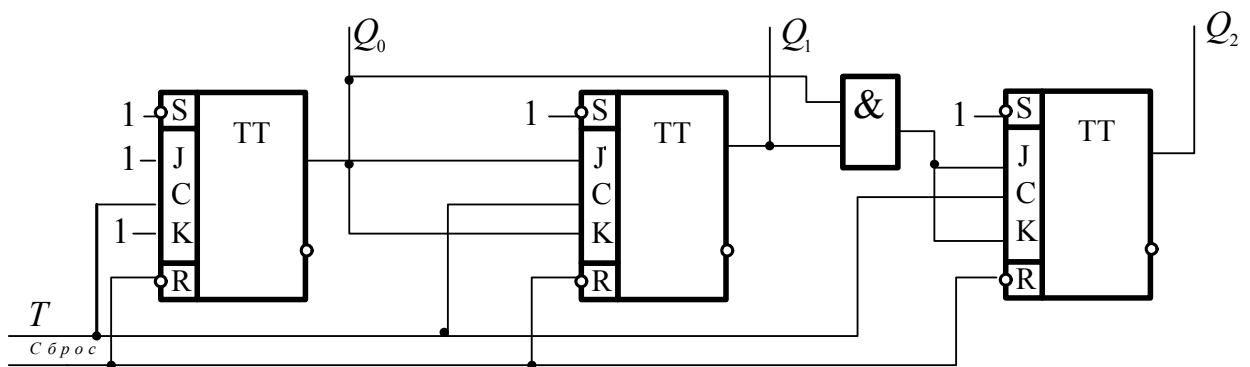


Рис. 8. Синхронный суммирующий счетчик на JK-триггерах.

Моделирование работы счётчиков с помощью Electronic Workbench.

2. Задание на выполнение лабораторной работы.

2.1. Исследование схемы асинхронного суммирующего и вычитающего счётчиков на D-триггерах.

На рис. 9 представлена схема асинхронного суммирующего счётчика на D-триггерах, преобразованных в счётные, собранная в среде Electronic Workbench.

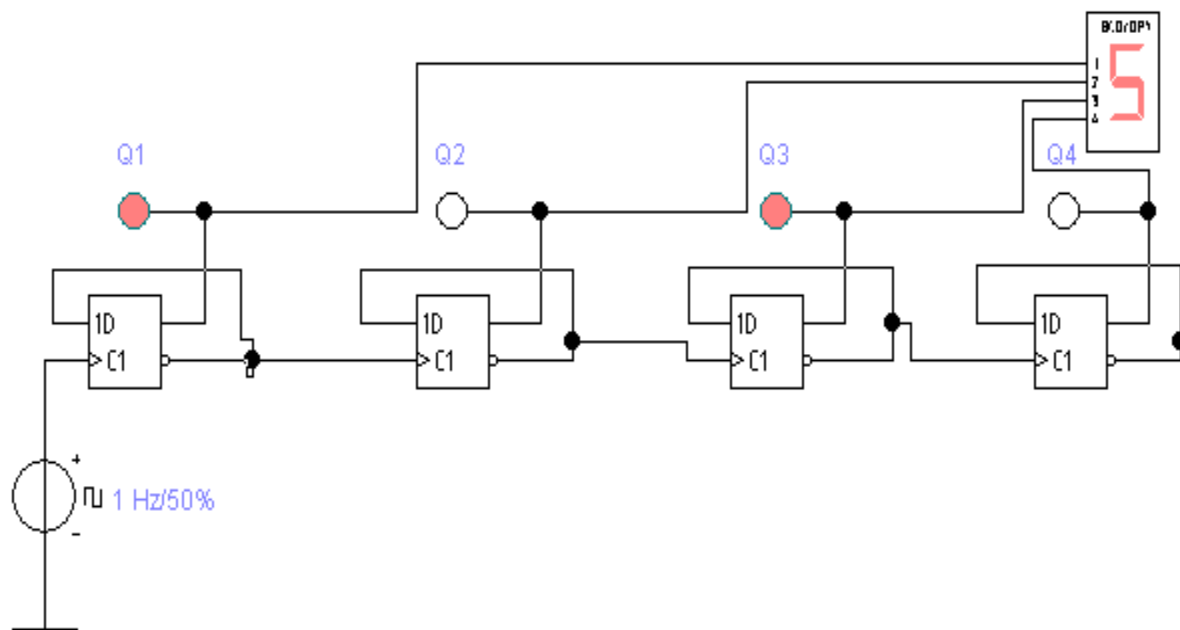


Рис. 10. Асинхронный суммирующий счётчик на счётных триггерах без задержки.

2.1.1. Подготовить четыре счётных триггера путём преобразования D-триггеров: для этого воспользоваться соединителем (connector из инструментов basic), через него соединить инверсный выход D-триггера с входом D, без соединителя такое соединение получить нельзя.

2.1.2. К прямым выходам разрядов подключить семисегментный индикатор с дешифратором.

2.1.3. Аналогичным образом на тех же триггерах построить вычитающий счетчик.

2.2. Исследование асинхронных суммирующих, вычитающих и реверсивных счётчиков на JK-триггерах.

2.2.1. Собрать четырёхразрядный асинхронный суммирующий счётчик на

JK триггерах (триггерах с задержкой). К прямым выходам триггеров подсоединить семисегментный индикатор и светодиодные индикаторы (рис.10). Исследовать и зарисовать временную диаграмму работы счётчика.

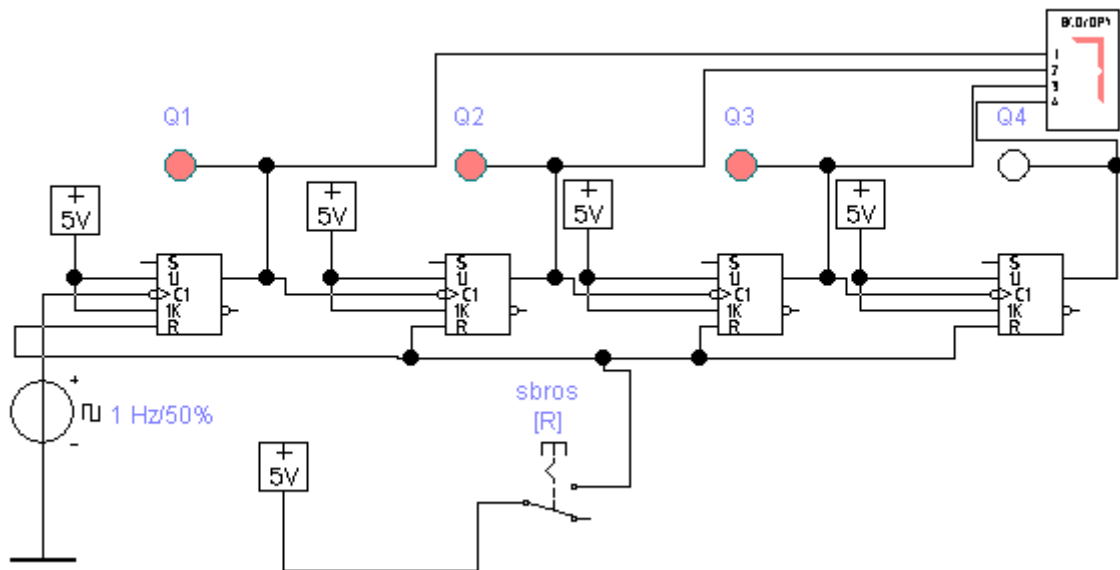


Рис. 10. Асинхронный суммирующий счётчик на счётных триггерах с задержкой.

2.2.2. Переделать схему в вычитающий счётчик. Зарисовать временную диаграмму работы.

2.2.3. Собрать схему реверсивного асинхронного счётчика на JK-триггерах (рис.11).

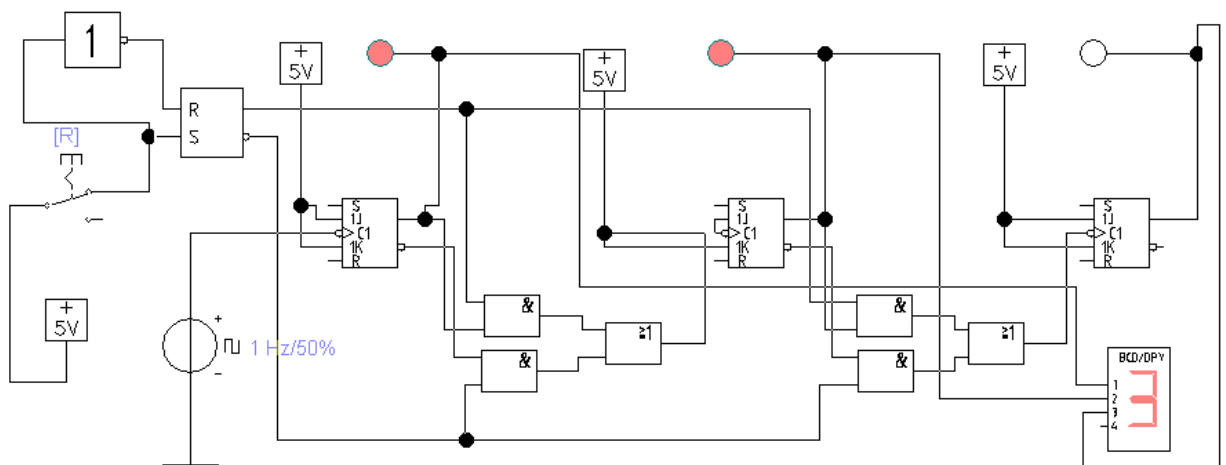


Рис. 11. Реверсивный счётчик.

2.2.4. Составить схему суммирующего синхронного счётчика на

JK-триггерах (рис.12).

В основе схемы используются JK триггеры. Из-за того, что в библиотечных триггерах JK типа есть только один J-вход и один K-вход, необходимо реализовать логику управления старшими разрядами на внешних логических элементах.

На синхровходы всех разрядов подать синхроимпульсы от генератора прямоугольных импульсов. На объединённые входы J и K младшего разряда подать счётным импульс от генератора прямоугольных импульсов.

Зарисовать временную диаграмму и пояснить с помощью светодиодов, в какой момент осуществляется передача счётного сигнала старшему разряду.

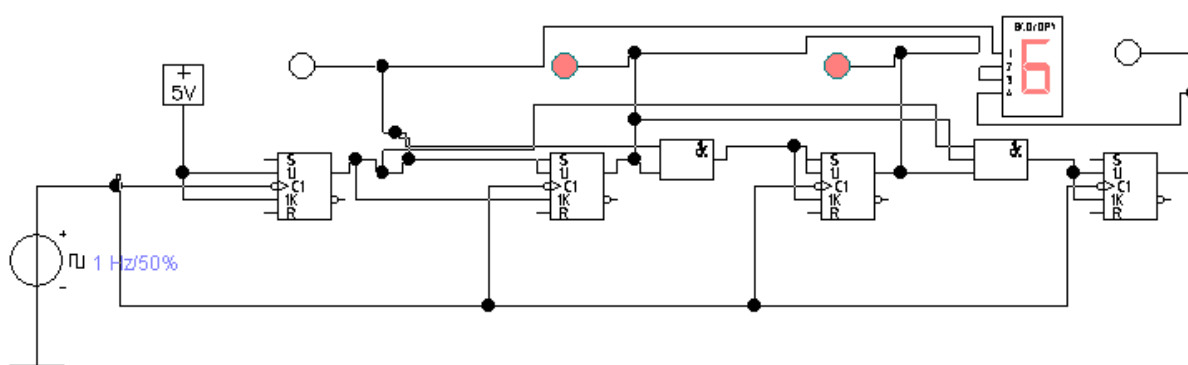


Рис.12 Синхронный суммирующий счётчик на универсальных J-K триггерах.

2.2.5. Составить схему вычитающего асинхронного счётчика на JK-триггерах.

2.2.6. Ограничить значение модуля счётчика (вычитающего или суммирующего) числом, назначенным преподавателем. Собрать схему анализа модуля счёта.

3. Содержание отчета.

3.1. Схемы, моделирующие работу счётчиков по всем пунктам.

задания.

- 3.2. Временные диаграммы, поясняющие работу счётчиков.
- 3.3. Анализ работы счётчика с помощью цифрового индикатора (по выбору).

4. Контрольные вопросы.

- 4.1. Каково назначение счетчиков в вычислительных устройствах?
- 4.2. Перечислите признаки классификации счетчиков.
- 4.3. Дайте определение коэффициента пересчета счетчика.
- 4.4. Чем определяется максимальная частота поступления входных сигналов на счетчик?
- 4.5. Как построить суммирующий двоичный счетчик на **D**-триггерах?
- 4.6. Как построить вычитающий двоичный счетчик на **D**-триггерах?
- 4.7. Как построить суммирующий двоичный счетчик на **JK**-триггерах?
- 4.8. Как построить вычитающий двоичный счетчик на **JK**-триггерах?
- 4.9. Дайте определение реверсивного счетчика.
- 4.10. Расскажите об общем принципе построения пересчетных схем.
- 4.11 Опишите методику построения пересчетных схем с естественным порядком счета.
- 4.12. За счет чего можно сократить число входов элемента “И” в пересчетных схемах?
- 4.13. В чём особенность работы синхронного счётчика?
- 4.14. Какое свойство JK триггеров позволяет построить на их основе синхронные счётчики?
- 4.15. Какое устройство позволяет построить реверсивный счётчик?

5. Рекомендуемые источники информации.

- 5.1. Бойт К. Цифровая электроника. Москва: Техносфера, 2007. -472 с.
- 5.2. В.И. Карлашук. Электронная лаборатория на IBM PC. М., "СОЛОН-Р", 2001.

- 5.3. Потёмкин И.С. Функциональные узлы цифровой автоматики. - М.: Энергоатомиздат, 1988. - 320 с.
- 5.4. Пухальский Г.И., Новосельцева Т.Я. Цифровые устройства: Учебное пособие для вузов. - СПб.: Политехника, 1996. - 885 с.
- 5.5. Савельев А.Я. Арифметические и логические основы цифровых автоматов: Учебник. - М.: Высшая школа, 1980. -255 с.
- 5.6. Угрюмов Е.П. Цифровая схемотехника. - СПб.: БХВ - Санкт-Петербург, 2000 - 528 с.: ил.
- 5.7. Электротехника и электроника в экспериментах и упражнениях: Практикум на Electronics Workbench: В 2-х томах /Под общей редакцией Д.И.Панфилова. М.: ДОДЭКА,2000.

Лабораторная работа № 4.

**«Исследование
арифметических устройств»**

Часть 1. Исследование сумматоров.

(Обозначение в журнале: Л.4.1.)

Цель работы: - ознакомление с возможностями моделирования работы схем сумматоров. Исследование одноразрядного и многоразрядного сумматоров, одноразрядного и многоразрядного вычитателей, универсального сумматора-вычитателя, инкрементора и декрементора. Исследование возможности применения сумматора для выполнения операции вычитания.

Продолжительность работы: - 4 часа.

1. Характеристика объекта изучения.

Сумматор- это электронное устройство, выполняющее арифметическое сложение кодов двух чисел. Сумматоры применяются и для выполнения операции вычитания, но для этого осуществляются дополнительные преобразования кодов чисел.

В зависимости от системы счисления различают:

- двоичные сумматоры;
- двоично-десятичные;
- десятичные;
- другие.

По количеству одновременно обрабатываемых разрядов складываемых чисел сумматоры бывают:

- одноразрядные;
- многоразрядные.

По числу входов и выходов одноразрядных двоичных сумматоров различают:

- четвертьсумматоры (элементы "сумма по модулю 2", то есть "исключающее ИЛИ"), имеют два входа для двух одноразрядных чисел и один выход, на котором реализуется их арифметическая сумма;

- полусумматоры, характеризующиеся наличием двух входов, на которые подаются одноимённые разряды двух чисел и двух выходов: на одном реализуется арифметическая сумма в данном разряде, а на другом - перенос в следующий (более старший разряд);

- полные одноразрядные двоичные сумматоры, характеризующиеся наличием трёх входов, на которые подаются одноимённые разряды двух складываемых чисел и перенос из предыдущего (более младшего) разряда и двумя выходами:

на одном реализуется арифметическая сумма в данном разряде, а на другом - перенос в следующий (более старший разряд).

По способу представления и обработки складываемых чисел многоразрядные сумматоры подразделяются на:

- последовательные, в которых обработка чисел ведётся поочерёдно, разряд за разрядом на одном и том же оборудовании;

- параллельные, в которых слагаемые складываются одновременно по всем разрядам, и для каждого разряда имеется своё оборудование.

Параллельный сумматор в простейшем случае представляет собой n одноразрядных сумматоров, последовательно соединённых цепями переноса.

По способу выполнения операции сложения выделяются два типа сумматоров:

- комбинационный сумматор, выполняющий микрооперацию " $S=A+B$ ", в котором результат выдаётся по мере его образования;

- накапливающий сумматор, на вход которого операнды подаются последовательно с некоторой задержкой.

2. Описание инструментария и элементов программы Electronics Workbench.

Voltage Source – источник постоянного напряжения +5 вольт.

С помощью этого источника на вход триггеров и логических элементов подается логическая единица.

Переключатель (Basic->Switch).

Переключение производится нажатием на клавишу, указанную в скобках над этим элементом.

Логический элемент "И" (Logic gates->2-Input AND gate).

Логический элемент "ИЛИ-Исключающее" (Logic gates->2-Input NOR gate).

Светоиндикатор (Indicators->red Prob). При подаче на этот элемент логической единицы светодиод загорается красным цветом.

Семисегментный цифровой индикатор.

Одноразрядный полусумматор (Half-Adder).

Одноразрядный полный сумматор (Full-adder).

3. Задание на выполнение лабораторной работы.

3.1. Исследовать работу одноразрядного полусумматора по таблице истинности (таблица 1), в которой:

a-первое одноразрядное слагаемое, b-второе одноразрядное слагаемое, p-перенос, s-сумма.

Таблица 1.

a	b	p	s
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

Собрать одноразрядный полусумматор на элементах "ИЛИ-исключающее" и "И".

Повторить исследование, используя библиотечный полусумматор (рис.1).

Для одновременной подачи двух чисел надо предусмотреть управление двумя группами выключателей: для установки кодов данного разряда и второго последовательного выключателя для подачи разрядов на вход полусумматора.

3.2. Исследовать работу полного одноразрядного сумматора
таблице истинности (таблица 2):

Таблица 2.

a	b	p	P	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

Собрать схему полного сумматора из двух полусумматоров.

Повторить исследование с библиотечным полным сумматором.

3.3. Собрать четырёхразрядный параллельный сумматор и исследовать его работу.

Для одновременной подачи кодов двух слагаемых использовать группы выключателей установки кода первого слагаемого и группы выключателей установки кода второго слагаемого.

Представить в отчёт по лабораторной работе собранные схемы сумматоров.

3.4. Собрать четырёхразрядный параллельный сумматор и исследовать его работу для вычитания чисел.

Для этого организовать подачу разрядов слагаемого в обратном коде и организовать цепь кругового переноса с выхода сумматора старшего разряда на вход младшего разряда.

3.5. Проверить работу сумматора при сложении и вычитании нескольких пар четырёхразрядных чисел.

3.6. Собрать трёхразрядную схему инкрементора и декрементора.

Продемонстрировать работу собранных схем.

На выходе инкрементора подаваемое число должно увеличиться на единицу.

3.7. Собрать схему универсального сумматора-вычитателя и исследовать его работу в режимах сложения и вычитания (рис.2). Объяснить назначение логических элементов "исключающее ИЛИ" схеме универсального сумматора-вычитателя.

4. Содержание отчета.

4.1. Схемы сумматоров, собранные на лабораторной работе.

4.2. Перечень кодов аргументов, подаваемых на входы сумматоров и полученный результат.

4.3. Схема многоразрядного вычитателя с последовательным заёмом.

4.4. Схема инкрементора и декрементора.

4.5. Пояснения по режимам работы универсального сумматора-вычитателя.

4.6. Сумматор дополнительного кода со знаком.

4.7. Сумматор модифицированного кода со знаком.

4.8. Сумматор обратного кода со знаком.

4.9. Сумматор модифицированного кода со знаком.

5. Контрольные вопросы.

5.1. В чём состоит различие в схемах полусумматора и полного сумматора?

5.2. С какой логической функцией совпадает функция генерации заёма в вычитателях?

5.3. Назначение входа и выхода переноса в полных сумматорах.

5.4. Как выполняется операция вычитания с использованием сумматоров?

5.5. Поясните на примерах принцип работы сумматора дополнительного и обратного кода.

5.6. Какие технические решения позволяют ускорить работу комбинационных сумматоров?

5.7. Для каких целей применяется модифицированный дополнительный и обратный коды?

Часть 2. Исследование арифметико-логического устройства.

(Обозначение в журнале: Л4.2.)

Цель работы: Ознакомление с возможностями моделирования работы арифметико-логического устройства (АЛУ). Исследование работы АЛУ на примере выполнения арифметических и логических операций.

Продолжительность работы: - 4 часа.

1. Характеристика объекта изучения.

Арифметико-логическое устройство предназначено для выполнения арифметических и логических операций над многоразрядными операндами в зависимости от кодов, подаваемых на управляющие входы.

В вычислительных устройствах АЛУ является базовым узлом и работает в сочетании с ОЗУ, регистрами сдвига, регистрами общего назначения и др. Микросхемы АЛУ, принадлежащие к разным видам логик, функционально во многом совпадают.

Так в ТТЛ-логике это микросхема К155ИПЗ, в К-МОП-логике микросхема 564ИПЗ.

Аналогом микросхемы К155ИПЗ в программе EWB имеется микросхема 74181. Она представляет собой четырехразрядное АЛУ.

АЛУ работает в режиме выполнения логических операций при значении управляющего **сигнала М=1** и в режиме выполнения арифметических операций при значении управляющего сигнала **М=0**.

В приведенной таблице 1 содержатся выполняемые логические и арифметические операции в зависимости от кодовой комбинации на управляющих входах S0, S1, S2, S3.

Таблица 1.

S3	S2	S1	S0	Логическая функция M=1	Арифметико-логическая Функция. M=0	
					Вх.перенос C=0	Вх.перенос C=1
0	0	0	0	$F = \bar{A}$	$F = A$ минус 1	$F = A$
0	0	0	1	$F = \overline{AB}$	$F = AB$ минус 1	$F = AB$
0	0	1	0	$F = \bar{A} + B$	$F = \overline{AB}$ минус 1	$F = \overline{AB}$
0	0	1	1	$F = 1$	$F =$ минус 1	$F = 0$
0	1	0	0	$F = \overline{A + B}$	$F = A$ плюс $(A + \bar{B})$	$F = A$ плюс $(A + \bar{B})$ плюс 1
0	1	0	1	$F = \bar{B}$	$F = AB$ плюс $(A + \bar{B})$	$F = AB$ плюс $(A + \bar{B})$ плюс 1
0	1	1	0	$F = \overline{A + B}$	$F = A$ минус B минус 1	$F = A$ минус B
0	1	1	1	$F = A + \bar{B}$	$F = A + \bar{B}$	$F = (A + \bar{B})$ плюс 1
1	0	0	0	$F = \bar{AB}$	$F = A$ плюс $(A + B)$	$F = A$ плюс $(A + B)$ плюс 1
1	0	0	1	$F = A \bmod 2B$	$F = A$ плюс B	$F = A$ плюс B плюс 1
1	0	1	0	$F = B$	$F = \overline{AB}$ плюс $(A + B)$	$F = AB$ плюс $(A + B)$ плюс 1
1	0	1	1	$F = A + B$	$F = (A + B)$	$F = (A + B)$ плюс 1
1	1	0	0	$F = 0$	$F = A$ плюс A	$F = A$ плюс A плюс 1
1	1	0	1	$F = \overline{AB}$	$F = AB$ плюс A	$F = AB$ плюс A плюс 1
1	1	1	0	$F = AB$	$F = \overline{AB}$ плюс A	$F = \overline{AB}$ плюс A плюс 1
1	1	1	1	$F = A$	$F = A$	$F = A$ плюс 1

2. Описание инструментария и элементов программы Electronics Workbench.

На панели Digital ICs выбирается схема из множества 741xx
Под номером 74181 - Четырёхразрядное АЛУ (рис.1).

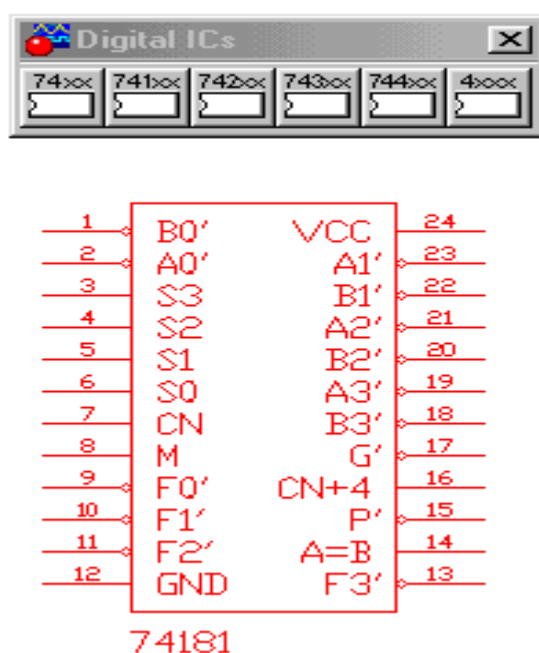


Рис. 1. Микросхема АЛУ 74181

3. Задание на выполнение лабораторной работы.

Подготовить микросхему АЛУ на рабочем столе.

Подготовить 4 переключателя для задания режимов управления.

Сигналы S подаются на входы S0.....S3 АЛУ. Ещё один переключатель используется для задания режима M.

И в том и другом случае логическая 1 подаётся от 5V источника постоянного тока, логический 0 от заземления.

Шестой переключатель осуществляет роль входного переноса и подключается таким же образом к входу CN.

Значения четырёхразрядных операндов A и B задаются с помощью генератора слова и в шестнадцатеричном коде отображаются на алфавитно-цифровых индикаторах и подсоединяются к входам A0....A3 и B0.....B3.

На выходах F0....F3 формируется результат операции АЛУ. Для отображения результата к выходам F0....F3 присоединяется алфавитно-цифровой индикатор.

К выходу VCC присоединить источник 5V.

К входу GND подсоединить заземление.

При коде 1111 на выходах F и при равенстве операндов выход $A=B$ переводится в единичное состояние. Поскольку этот выход представляет собой каскад с открытым коллектором, то на него подаётся питание +5 вольт через резистор 1 кОм. Выход $A=B$ совместно с выходом переноса CN+4 и выходом P подтверждения переноса используются для формирования признаков $A>B$ и $A<B$ с помощью дополнительных логических элементов ИЛИ-НЕ и НЕ.

Изменяя состояния сигналов на управляющих входах по приведённой таблице, можно промоделировать большинство функций АЛУ, используемых в микропроцессорах.

Схема исследования АЛУ представлена на рис.2

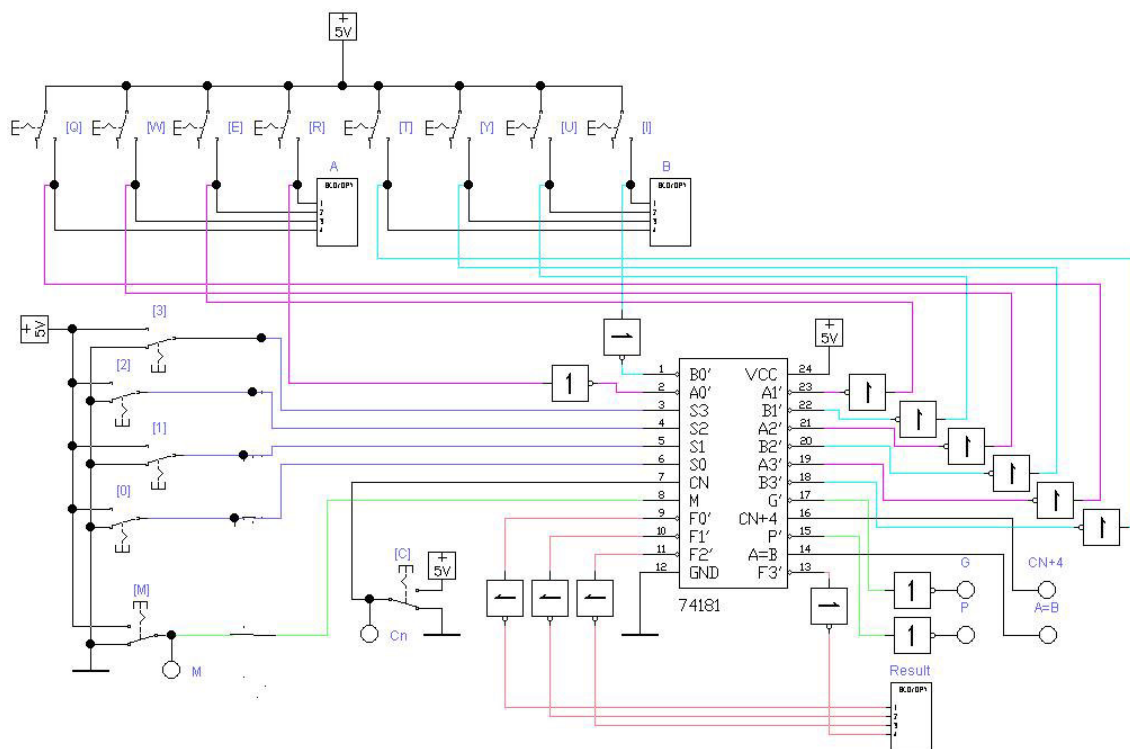


Рис.2. Схема АЛУ, подготовленная для исследований.

Проведите моделирование перечисленных в таблице режимов работы АЛУ (варианты операций получить по указанию преподавателя).

4. Содержание отчета.

- 4.1. Схема исследования АЛУ, собранная на лабораторной работе.
- 4.2. Краткие пояснения по назначению входных используемых тумблеров.
- 4.3. Краткие пояснения индикации выходных сигналов.
- 4.2. Таблица исходных операндов и результат выполнения операций в АЛУ.
- 4.3. Отдельно представить результаты исследования логических операций.

5. Контрольные вопросы.

- 5.1. Назначение входа переноса в АЛУ.
- 5.2.. Чем отличаются логические операции от арифметических операций?
- 5.3. Как можно выполнить операцию инкремента?

- 5.4. Как использовать сочетание значения сигнала входного переноса и значение выхода равенства для получения сигналов больше или равно и меньше или равно?
- 5.5. Для каких целей используются выходные сигналы «функции генерации» и «функции транзита»?
- 5.6. В каком коде (прямом или дополнительном) работает исследованная микросхема АЛУ?
- 5.7. Сформулируйте правило образования дополнительного кода.

6. Рекомендуемые источники информации.

- 6.1. В.И. Карлащук. Электронная лаборатория на IBM PC. М., "СОЛОН-Р", 2001.
- 6.2. Электротехника и электроника в экспериментах и упражнениях: Практикум на Electronics Workbench: В 2-х томах /Под общей редакцией Д.И.Панфилова. М.: ДОДЭКА,2000.
- 6.3. Потёмкин И.С. Функциональные узлы цифровой автоматики. – М.: Энергоатомиздат, 1988. - 320 с.
- 6.5. Савельев А.Я. Арифметические и логические основы цифровых автоматов: Учебник. - М.: Высшая школа, 1980.-255с.
- 6.6. Угрюмов Е.П. Цифровая схемотехника. - СПб.: БХВ - Санкт-Петербург, 2000 - 528 с.: ил.