

# Введение в проектирование и ИЗГОТОВЛЕНИЕ элементов КМОП СБИС

к.т.н. Никаноров А.В.

# Структура лекции

- Транзисторы МОП (MOS Transistors)
- Логические функции на КМОП (CMOS)
- Планарная технология, процесс изготовления
- Общие сведения о порядке производства интегральных микросхем

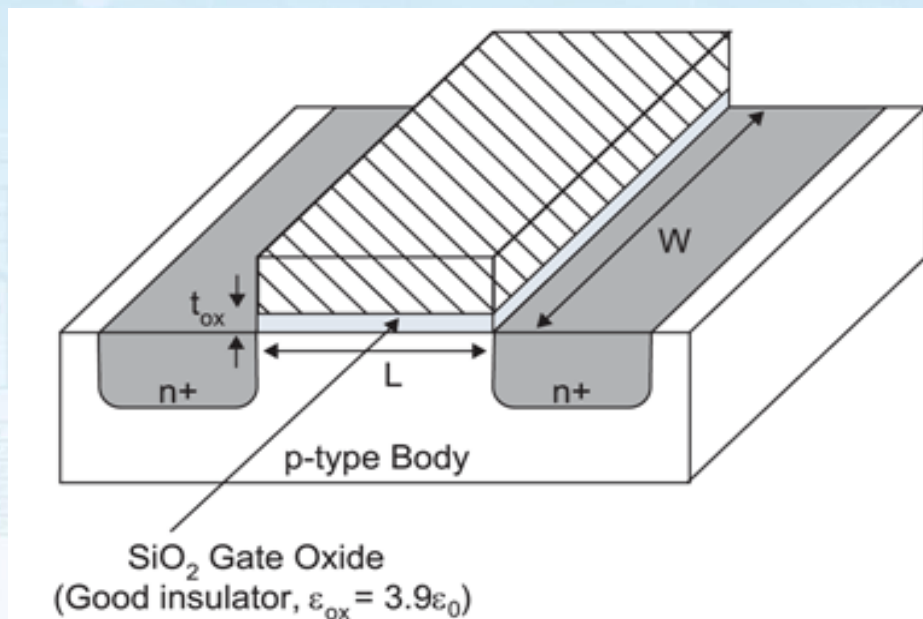
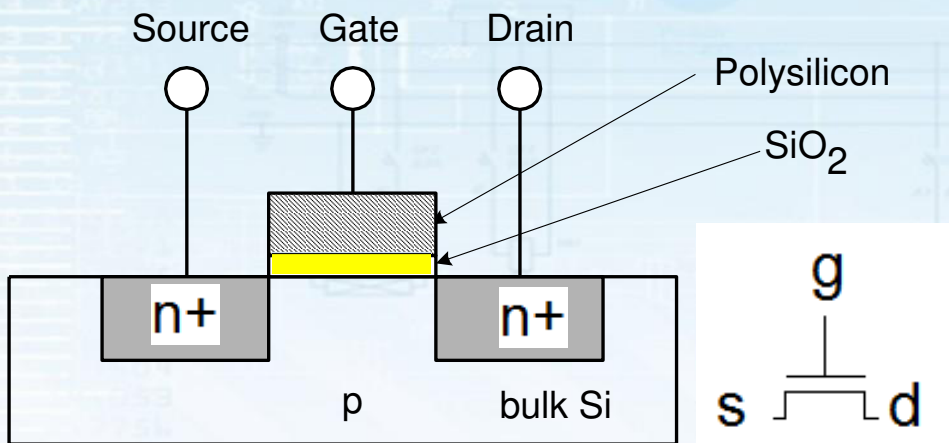
# Свойства поликремния и легирующих примесей

## MOSFET

- Поликремний – полупроводник.
  - Диоксид кремния ( $\text{SiO}_2$ ) – диэлектрик.
  - Легирование поликремния **фосфором** и **мышьяком** позволяют получить **n-тип** проводимости.
  - Легирование поликремния **бором** позволяют получить **p-тип** проводимости.
- MOS
    - *metal*
    - *oxide*
    - *semiconductor*
  - FET
    - *field effect transistor*

# Транзистор n-MOS

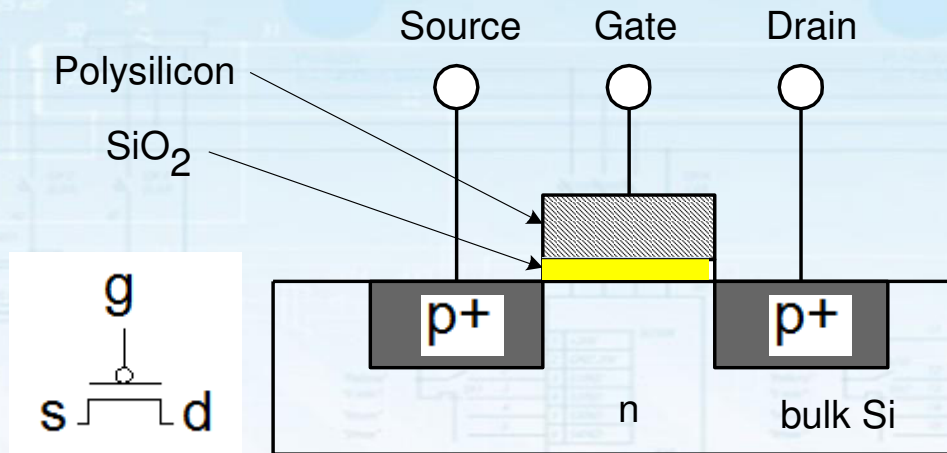
- Термины: **gate** (затвор), **source** (источник), **drain** (сток), **body** (подложка n или p типа)
- Стек: Gate – oxide – body – похож на конденсатор
  - Gate и body являются проводником
  - $\text{SiO}_2$  (оксид) является очень хорошим изолятором
  - MOS (metal – oxide – semiconductor) - конденсатор
  - Даже не смотря на то, что gate не является металлом





# Транзистор p-MOS

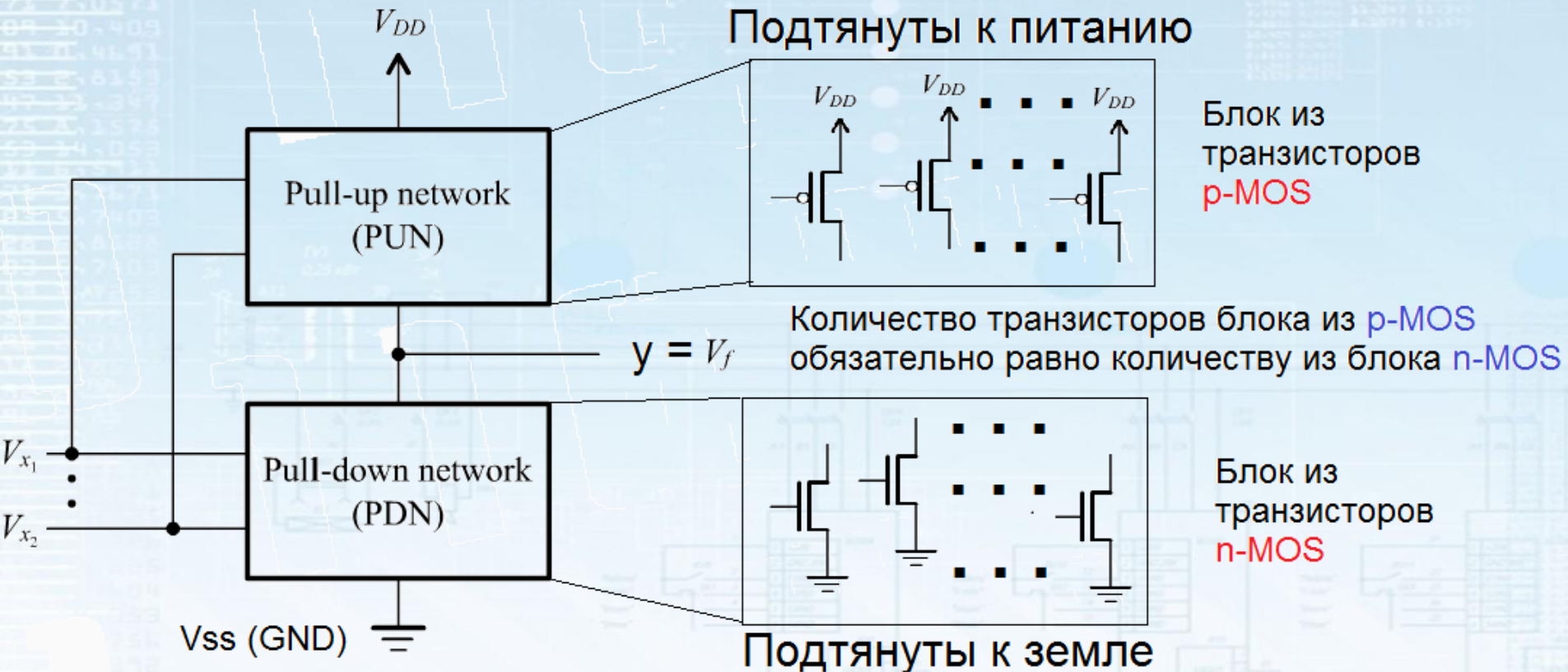
- Аналогичен, но напряжение обратной полярности
  - Источник подключен к высокому напряжению ( $V_{DD}$ )
  - Когда затвор - Gate = 0 (low), то транзистор ON
  - Когда затвор - Gate = 1 (hi), то транзистор OFF
  - Кружок на схеме указывает на инверсное поведение G



# Логические функции на КМОП

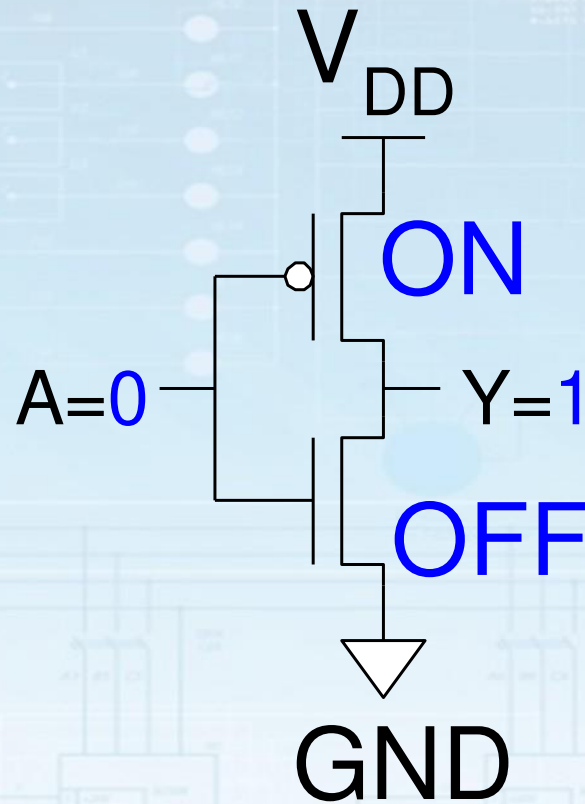
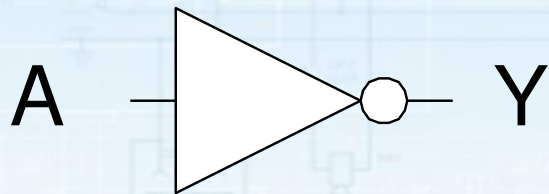
Совместное применение транзисторов pMOS и nMOS позволяет реализовать любую логическую функцию:

$$Y = F(x_1, x_2, \dots, x_n)$$



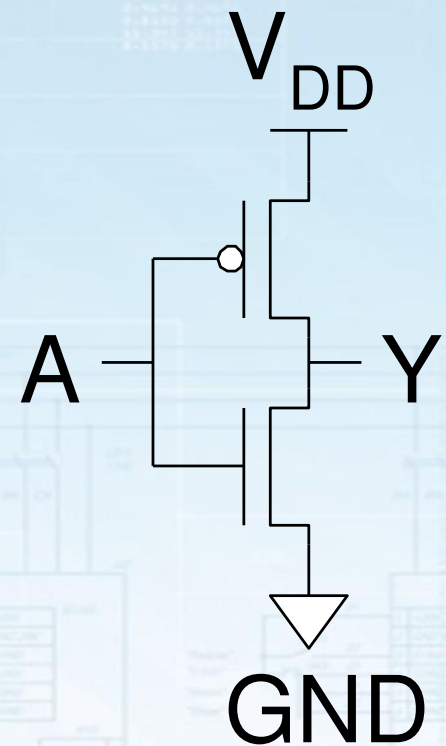
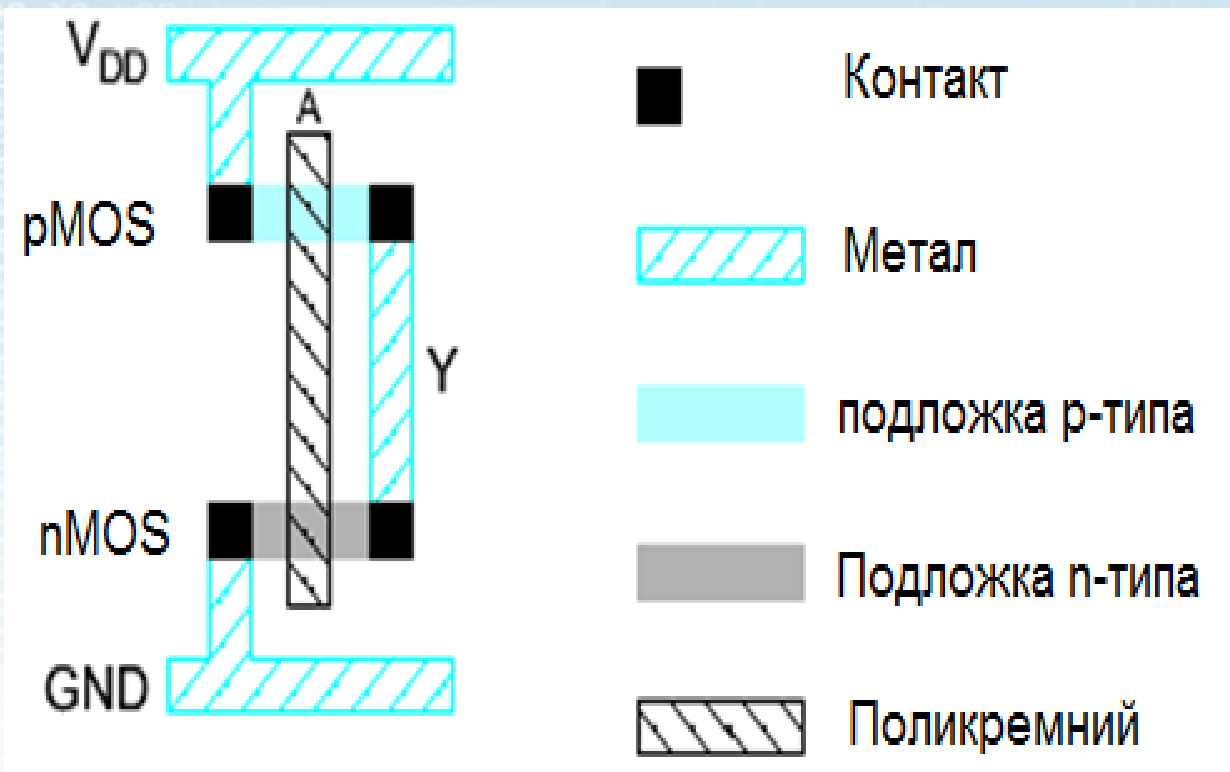
# КМОП Инвертор (CMOS Inverter)

A	Y
0	1
1	0



# Расположение логического элемента (Invertor Gate Layout)

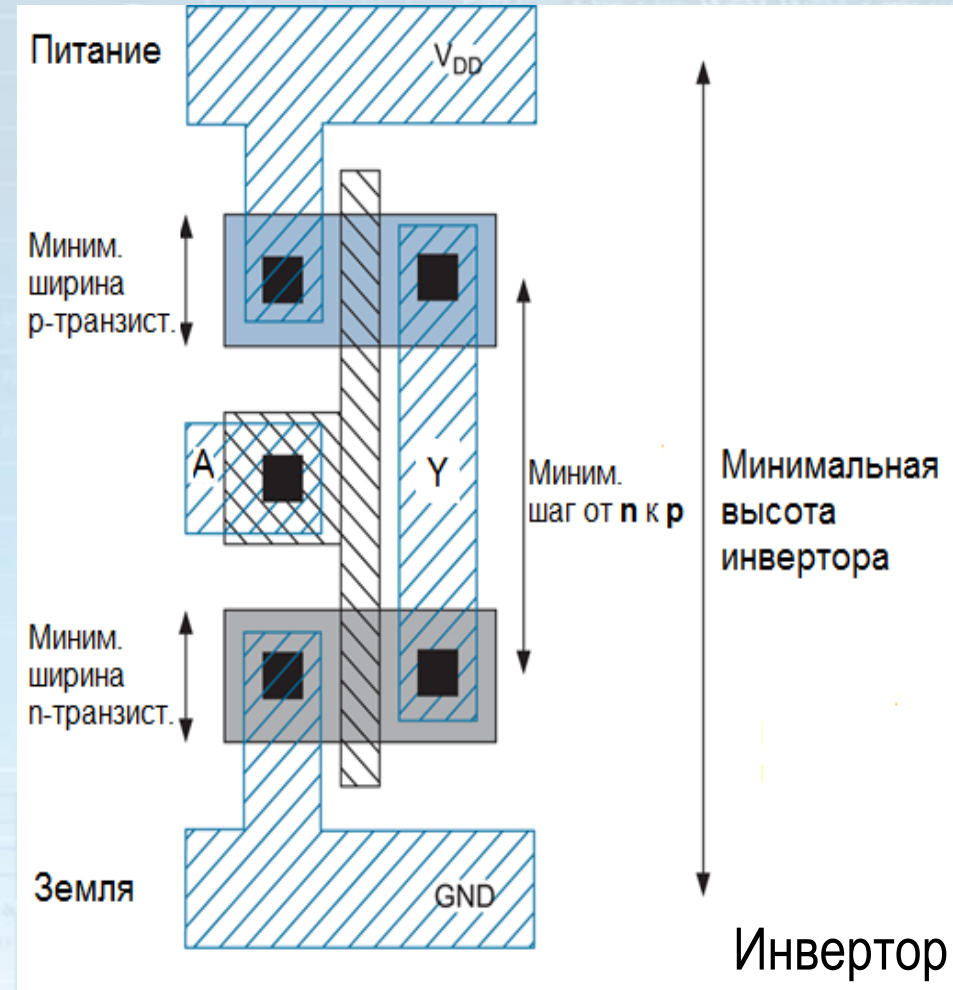
- Штриховые диаграммы помогают быстро планировать расположение логического элемента





# Правила проектирования процесса

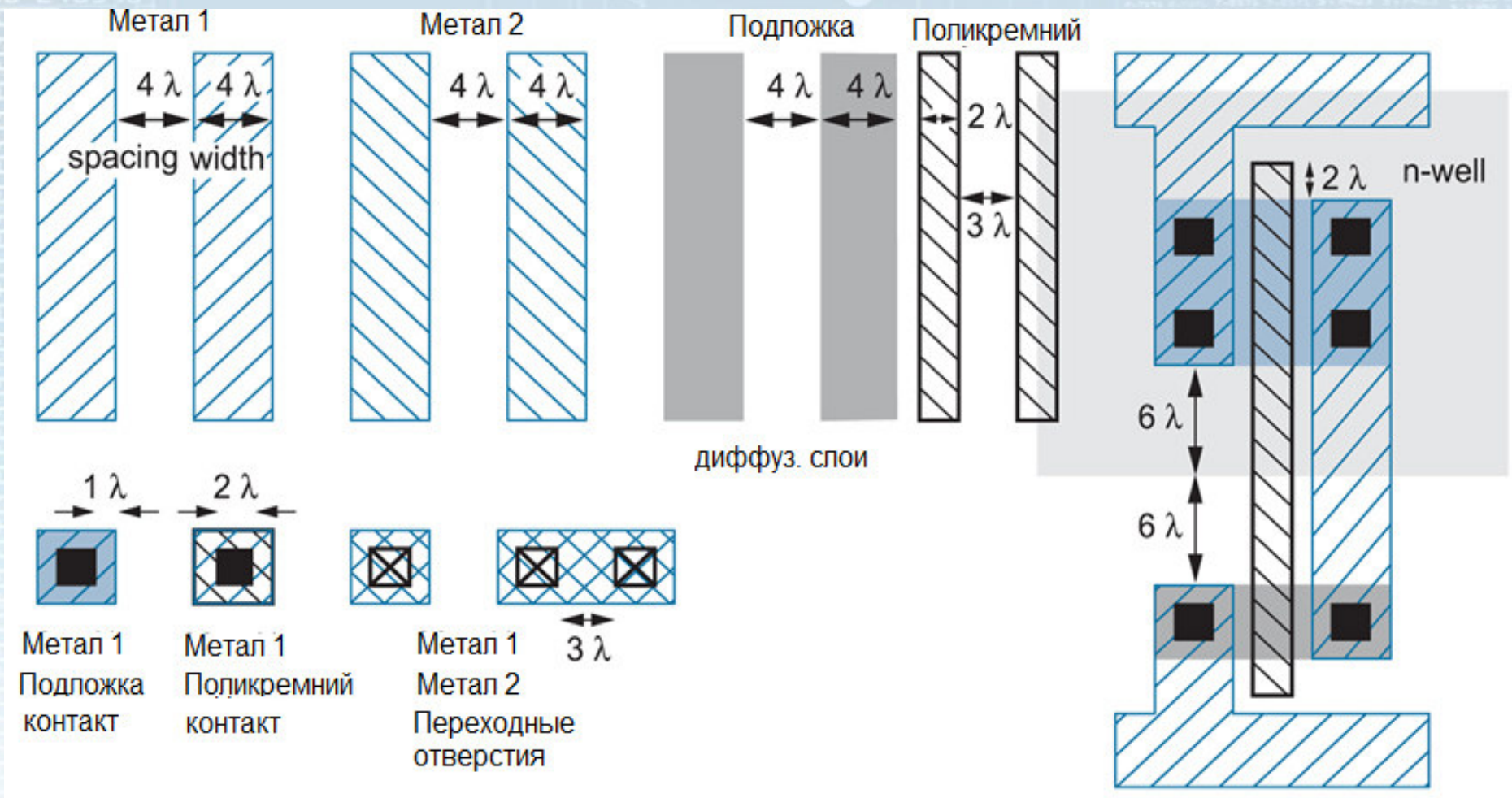
- Правила проектирования меняются от фабрики к фабрике (производители)
- Правила проектирования соответствуют технологическому процессу (process technology)
- Примеры фабрик: TSMC, IBM, Intel, TI, UMC, MOSIS, Микрон, Ангстрем...



Проектирование может происходить в **абсолютных** величинах (нм) или относительных – «**Lambda-based design**».

$1\lambda$  = половина минимального размера маски. Типично  $2\lambda$  = длина канала транзистора

# Правила проектирования и расположения (Design rules and gate layout)



- Лямда правила (Lambda design rules) консервативны - сохраняются для всего проекта на кристалле

# Сравнение техпроцессов

	Intel 14 нм	Intel 10 нм	TSMC 10 нм	Samsung 10 нм
Fin Pitch	45 нм	34 нм	35,1 нм	46,8 нм
Min Metal Pitch	52 нм	36 нм	44 нм	48 нм
Cell Height	399 нм	272 нм	330 нм	360 нм
Gate Pitch	70 нм	54 нм	44 нм	48 нм
Fin Hight	46 нм	53 нм	42,1 нм	48,6 нм
Fin Width	7 нм	7 нм	5,4 нм	5,9 нм
6T-SRAM	70.158 нм <sup>2</sup>	-	40.233 нм <sup>2</sup>	49.648 нм <sup>2</sup>

- **Fin Pitch:** расстояние между ребрами (эмиттер и коллектор) транзистора
- **Min Metal Pitch:** минимальное расстояние между двумя слоями металла
- **Fin Height:** высота ребер от подложки Si в слое оксида
- **Fin Width:** толщина ребер

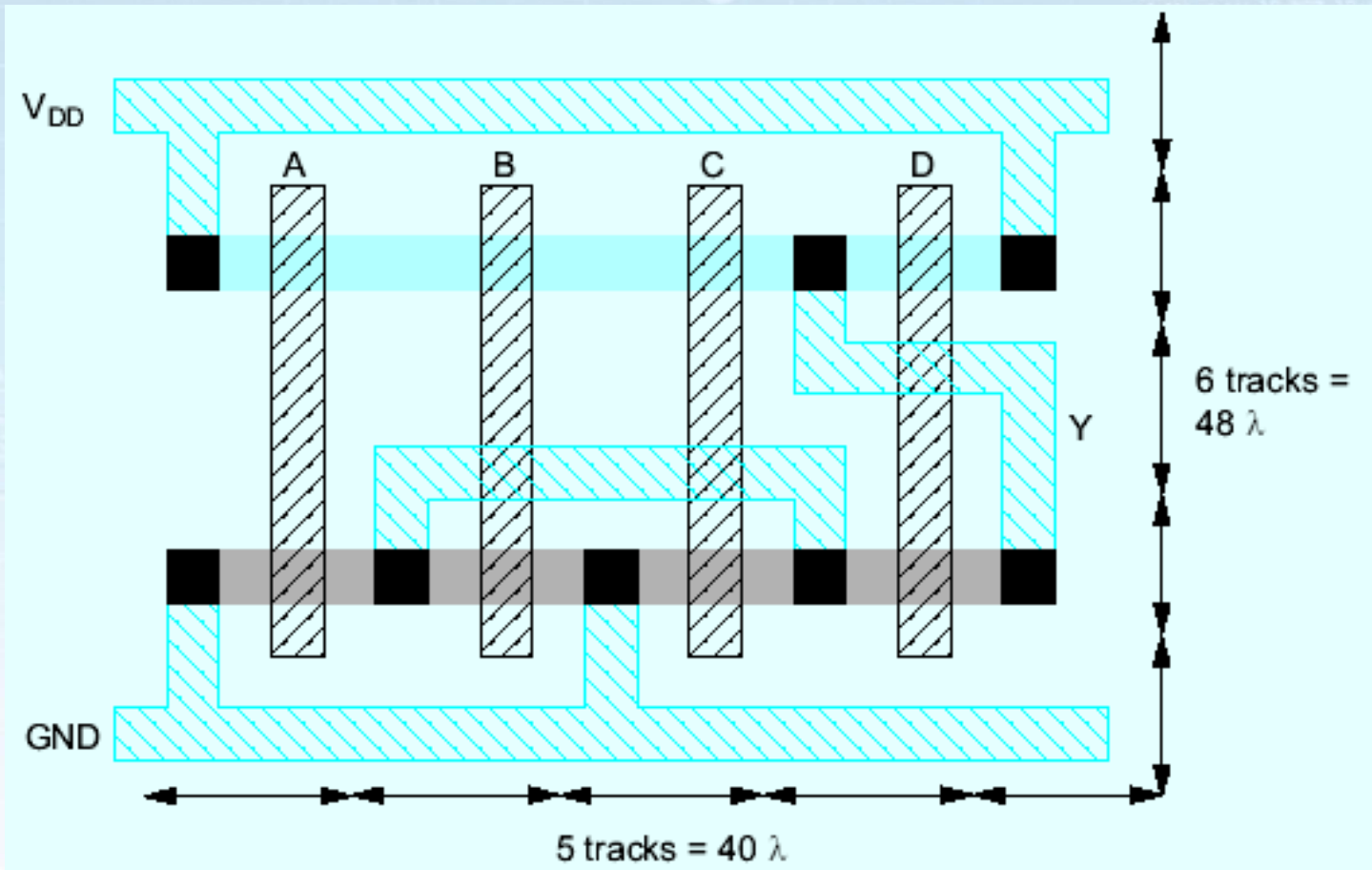


# Пример логической ячейки

- Штрих-диаграмма и оценка занимаемой площади

Логическая функция

$$Y = \overline{(A + B + C)} \cdot D$$





# Планарная технология

**Планарная технология** — совокупность технологических операций, используемых при изготовлении планарных (плоских, поверхностных) полупроводниковых приборов и интегральных микросхем.

Планарная технология обеспечивает возможность одновременного изготовления в едином технологическом процессе огромного числа дискретных полупроводниковых приборов или интегральных микросхем на одной подложке, что позволяет существенно снизить их стоимость.

## Принципы технологии

На вход технологии поступают пластины, называемые подложками.

В приповерхностном слое полупроводникового материала создают области с различным типом или величиной проводимости, определяемой в конечном счёте различной концентрацией донорных и акцепторных примесей.

Основные циклы:

- формирование **изолирующего слоя**
- формирование **областей p-типа** (локальное внедрение примесей)
- формирование **областей n-типа** (локальное внедрение примесей)
- формирование **проводящих дорожек и контактных площадок** (удаление излишков слоя металла)

Схемы чередования операций и циклов бывают достаточно сложны, а их количество может измеряться десятками.

# Технологические процессы

## Фотолитография (Photolithography)

Процесс получения рисунка на поверхности, при использовании маски (структуры) через фоторезисторный слой. После проведения одного из этих процессов, оставшийся, не удаленный при проявлении, фоторезистор удаляется.

## Травление (Etching)

Процесс удаления нежелательной части проекта, чтобы получить желаемую структуру (pattern).

## Диффузия (Diffusion)

Процесс введения легирующих веществ (путем перемещения атомов легирующей примеси с высокой концентрации) для образования отдельных n-р- областей – электрических переходов, изолирующих участков. Основными диффузиантами в кремний является фосфор и бор.

## Ионная имплантация (Ion implantation)

Процесс внедрения примесей в уровень при помощи бомбардировке примесей высокой энергии в камере высокого электрического поля

## Оксидирование (Oxidation)

Процесс наращивания тонкого или толстого уровня  $\text{SiO}_2$  (оксида ) и зависит от его применения

## Пассивация поверхности пластины (Passivation)

Процесс шлифования физической поверхности, чтобы иметь ровную поверхность для лучшего воздействия в процессах.

# Литография (Lithography)

Это основной процесс технологических операций, используемый в планарной технологии.

## Методы литографии:

- **Оптическая фотолитография** (стандартная),  $\lambda=310—450$  нм;
- **Ультрафиолетовая фотолитография** на эксимерных лазерах  $\lambda=248$  нм,  $\lambda=193$  нм;
- **Фотолитография в глубоком ультрафиолете**,  $\lambda=100—10$  нм;
- **Рентгеновская литография**,  $\lambda=0,1—10$  нм;
- **Электронная литография**,  $\lambda < 0,01 - 10$  нм;
- **Ионно-лучевая, литография**,  $\lambda < 10$  нм
- **Нано-печатная литография**,  $\lambda > 10$  нм. Для достаточно больших площадях, что недоступно для всех других методов литографии.

Приёмы применяемой фотолитографии могут быть сканирующими и проекционными; контактными, бесконтактными, и на микро-зазоре.

Применяется метод радиационно-стимулированной диффузии дефузиантами в кремний (Si) - **фосфор** (для образования n-Well) и **бор** (для образования p+).



# Основные операции в производстве интегральных микросхем

1. Изготовление монокристалла.
2. Резка монокристалла и подготовка пластин.
3. Создание топологического рисунка.
4. Получение p-n переходов.
5. Контактная металлизация.
6. Контроль и разбраковка полупроводн. структур.
7. Скрайбирование пластин.
8. Установка кристаллов в корпуса и разварка выводов.  
Сборка и герметизация.
9. Испытания.

Изготовление  
CMOS,  
далее более  
подробно

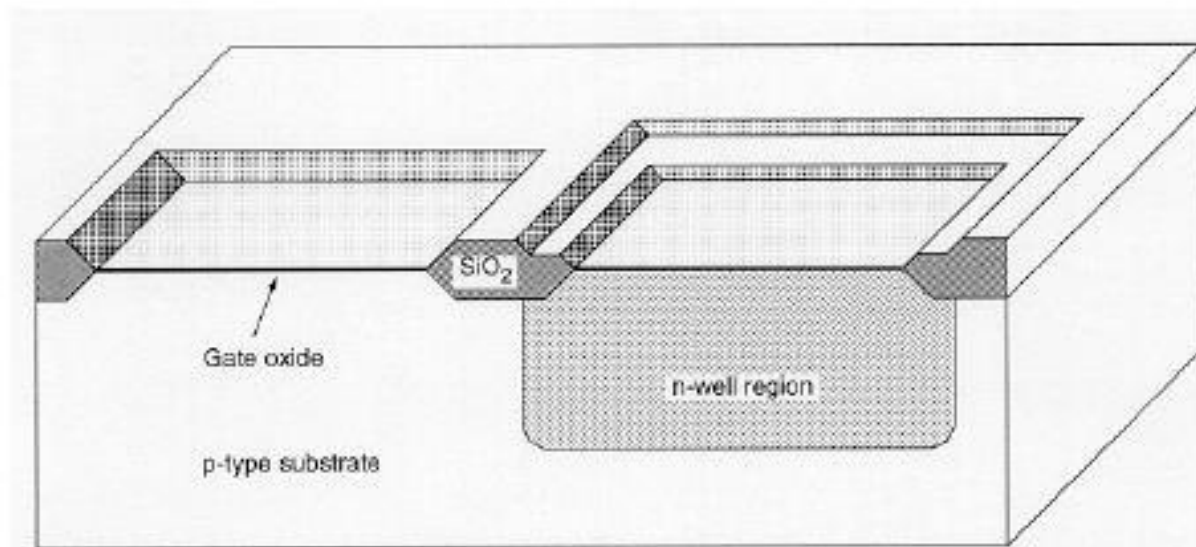
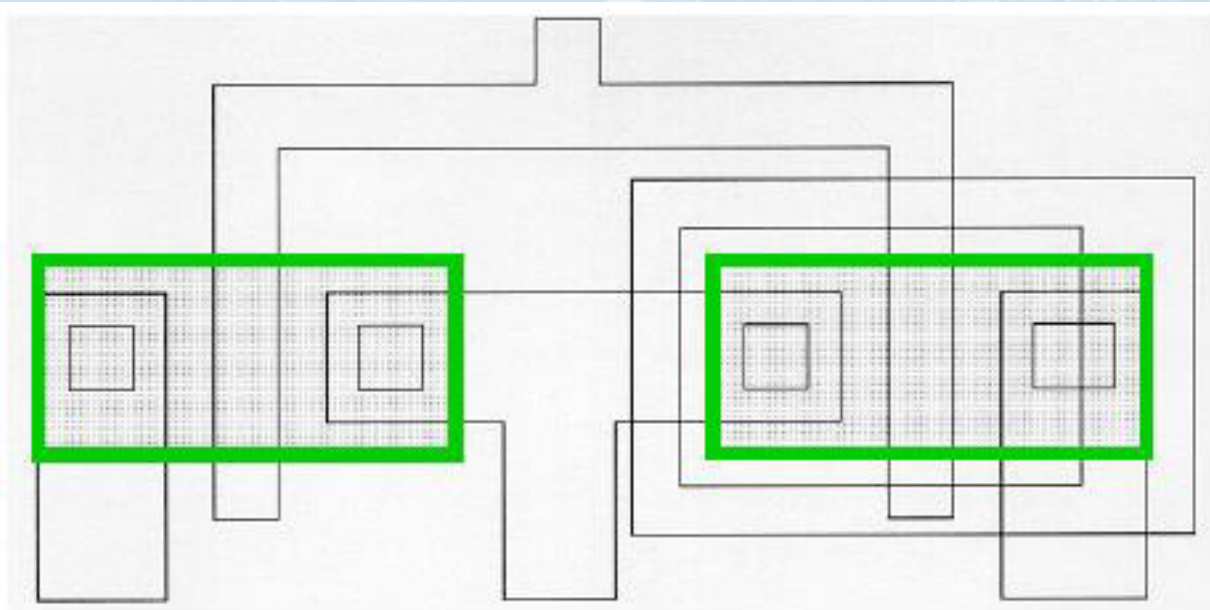


# Этапы процесса изготовления CMOS

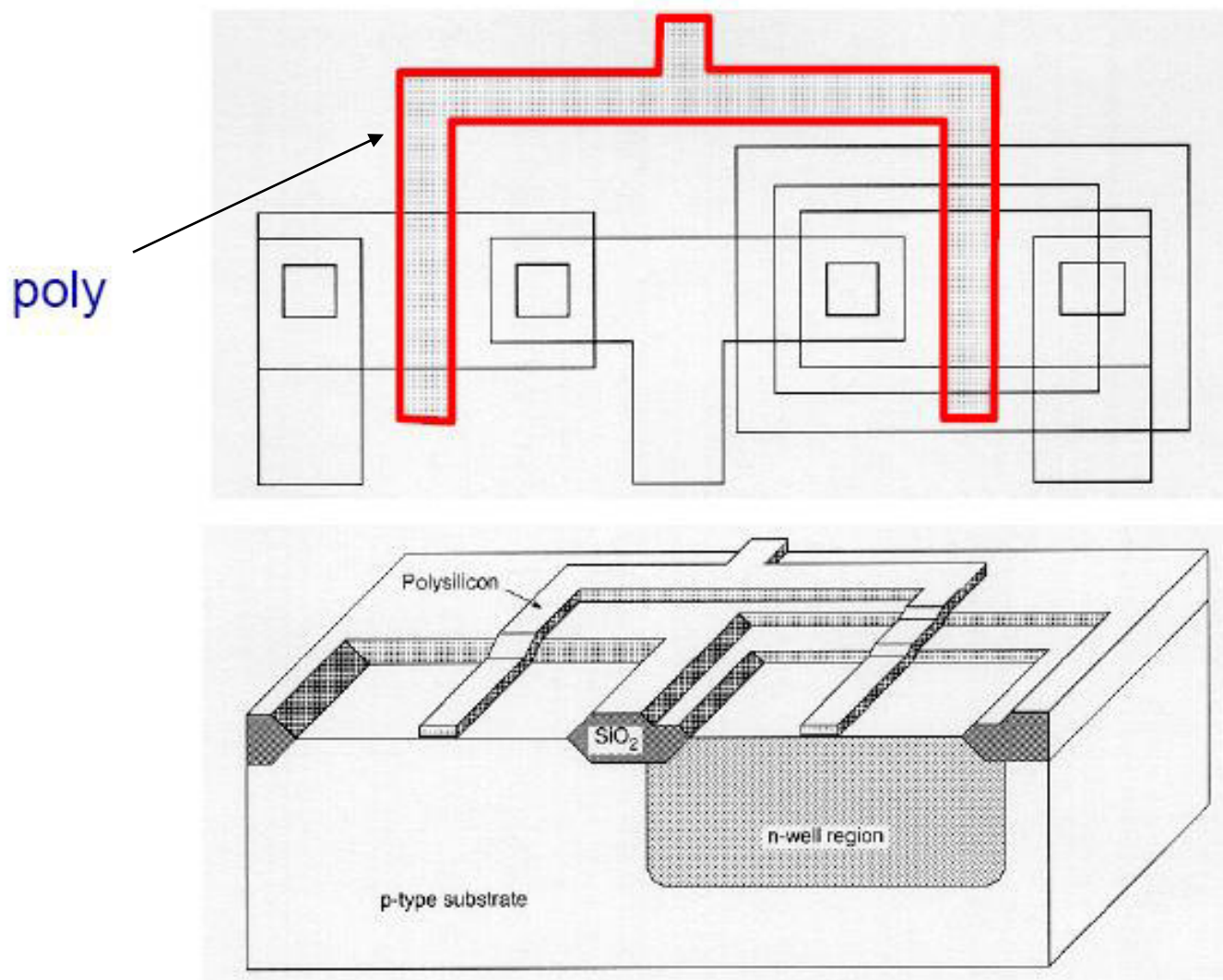


# Маска топологии

active

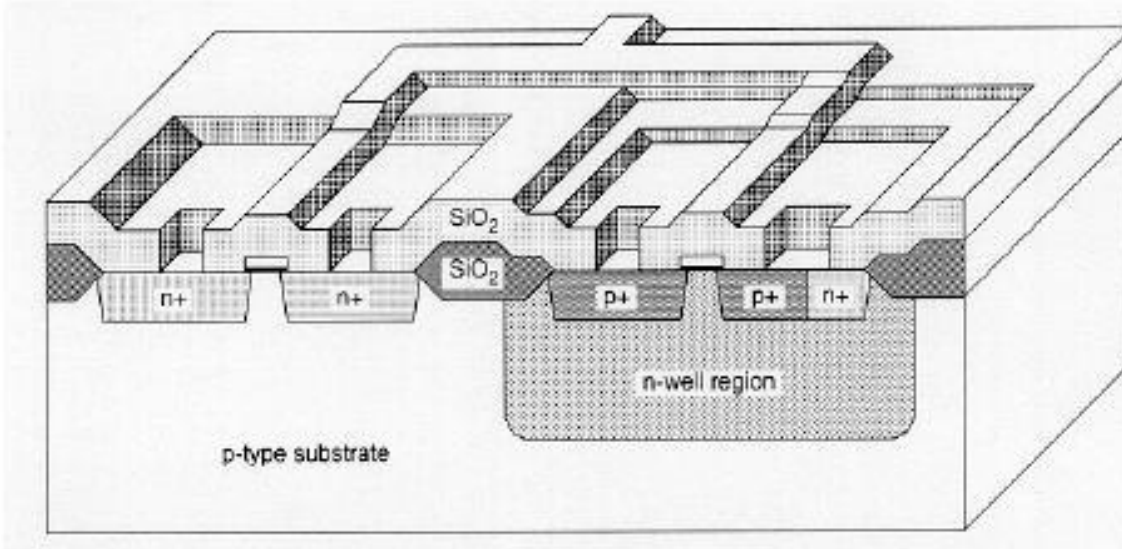
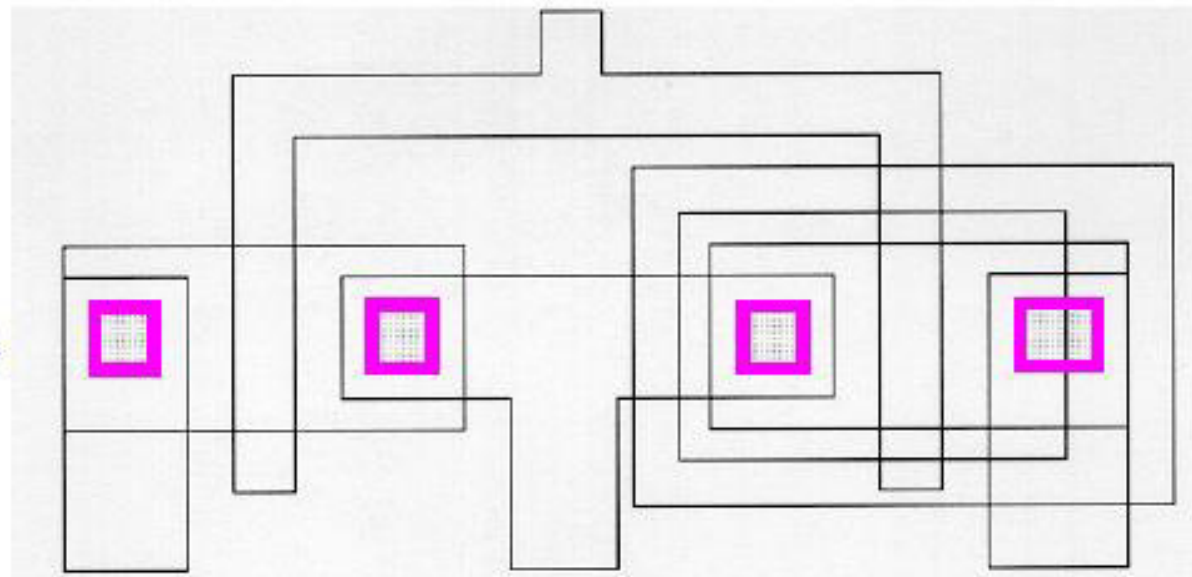


# Маска топологии - поликремний



# Маска топологии - контакты

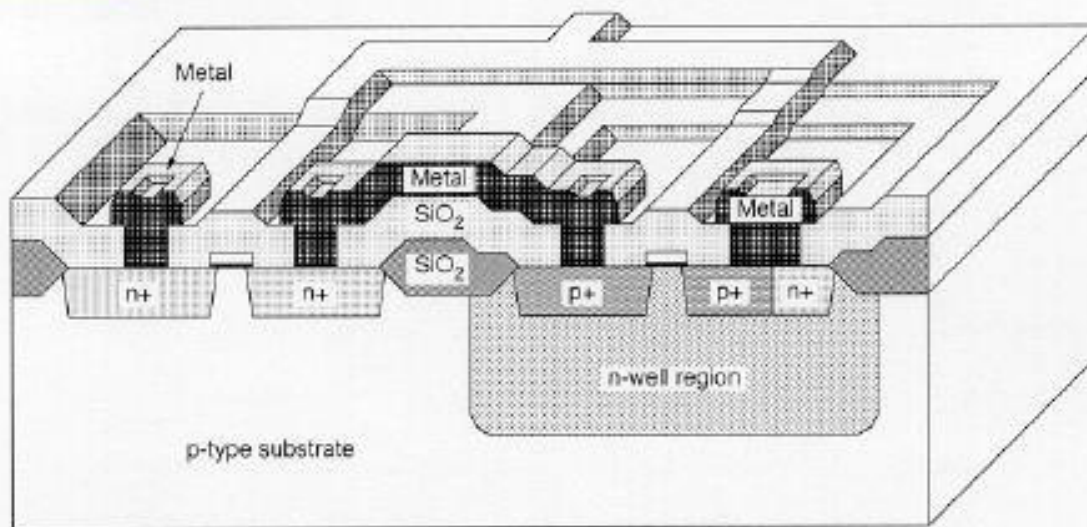
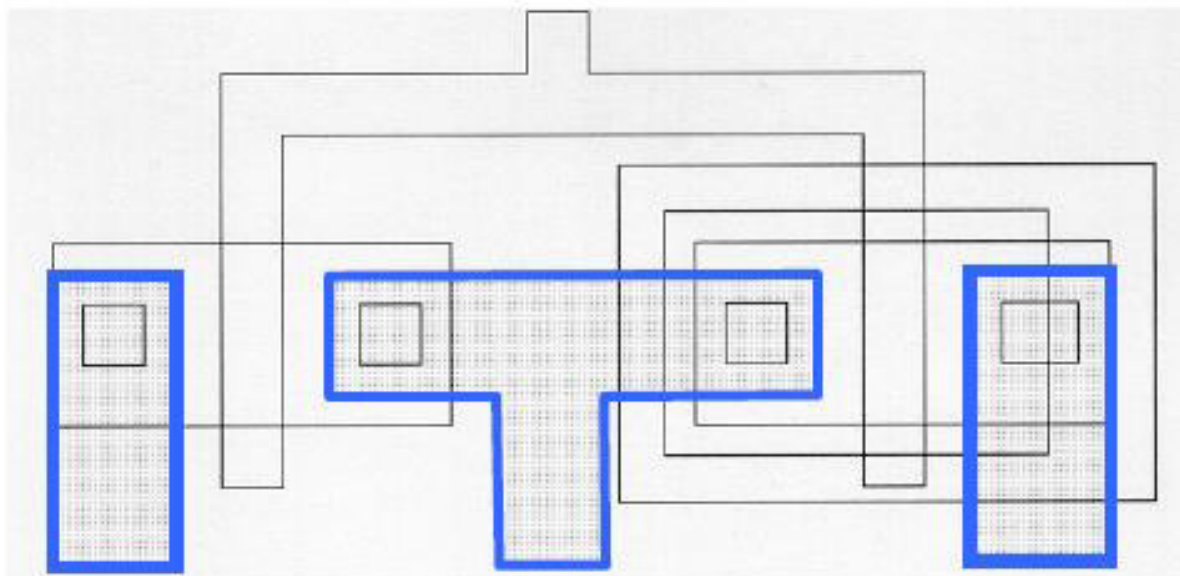
contacts





# Маска топологии - металл

metal



# 1. Формирование зон n-Well

1.1. Начинаем с чистой p-подложки (пластина p-типа)



A solid red rectangular block representing a p-type substrate.

p-подложка

1.2. Нарастить эпитаксиальный слой – **осаждение атомов** полупроводника на подложку, в результате чего на ней образуется слой **SiO<sub>2</sub>**.



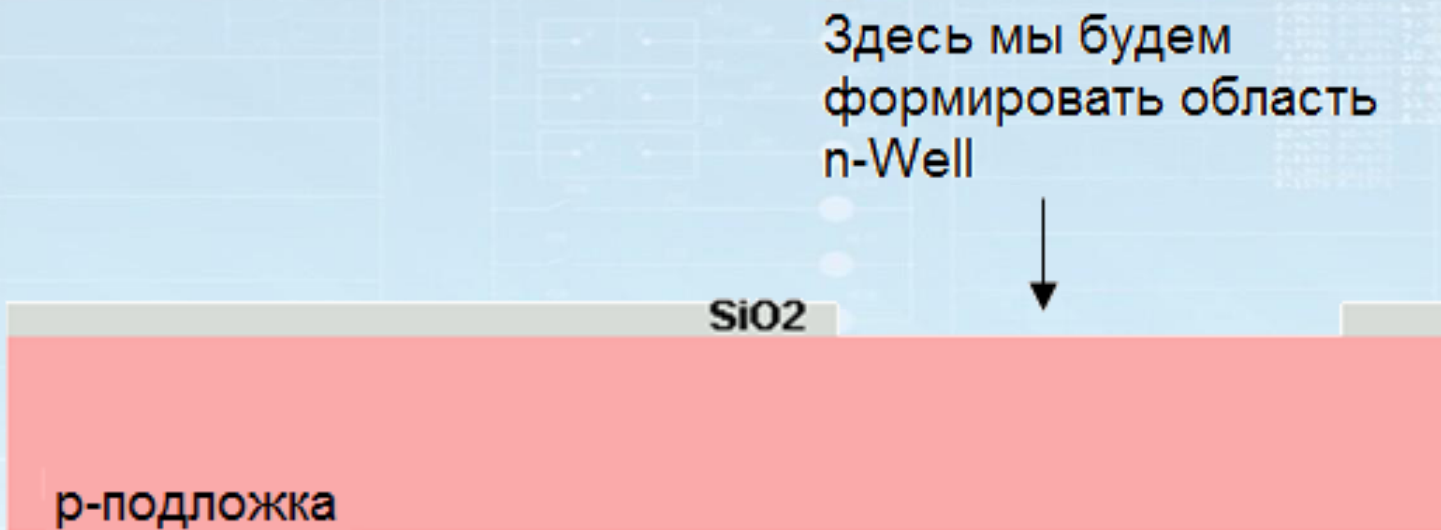
A diagram showing a red rectangular block (p-подложка) with a thin grey layer (SiO<sub>2</sub>) on top.

SiO<sub>2</sub>

p-подложка

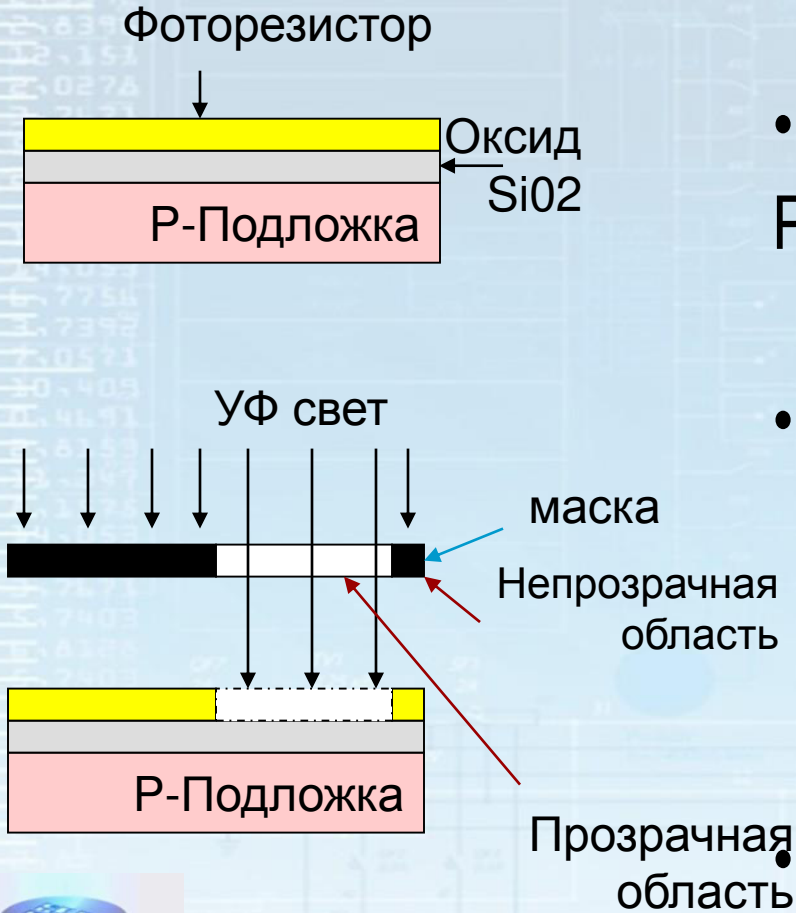
# 1. Формирование зон n-Well

1.3. При помощи фотолитографии и травления будет открыта область для формирования зоны n-well



Процесс фотолитографии и травления показан на следующих слайдах

# Фотолитография (Photolithography - CED)



- Фоторезисторное покрытие  
Photoresist coating (C)

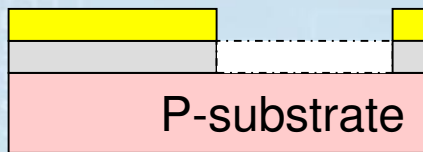
- Маскирование и экспозиция под ультрафиолетовым светом  
(Masking and exposure under UV light) (E)

Удаление резистора после обработки (D-developed)

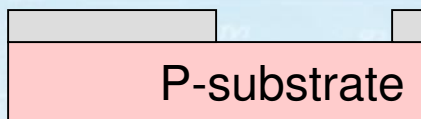
- Предварительная форма для n-well зоны на резистивном слое



# Травление (etching)



- Удаление нежелательного слоя (фоторезисторного, металлического, ...) при помощи жидкого травления

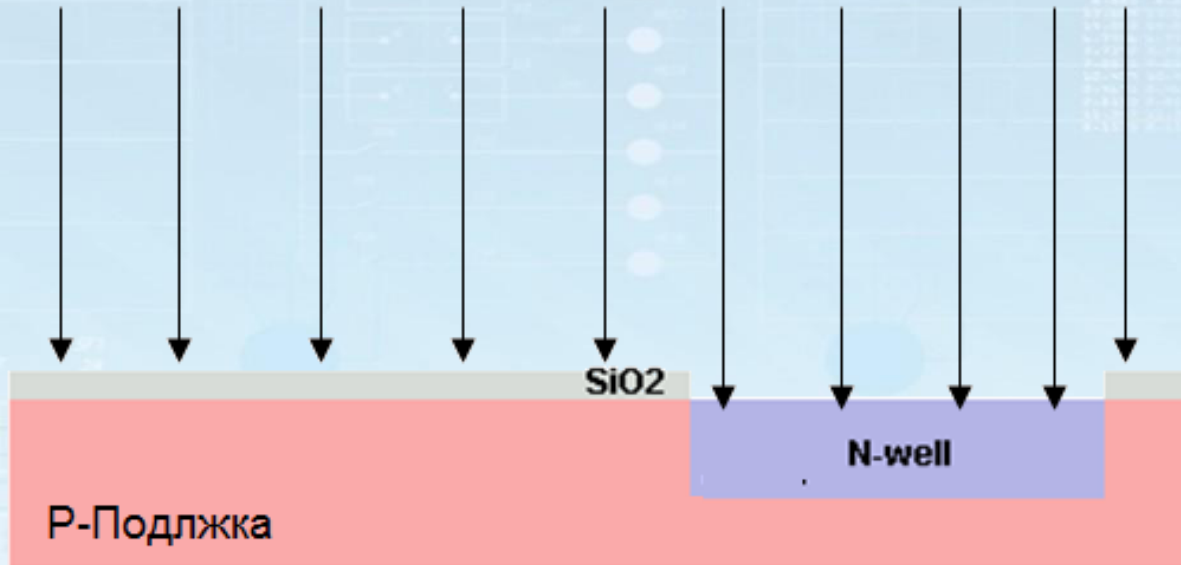


- Очистка от резисторного слоя
- Сформирована нужная открытая область в слое

# Формирование n-Well

Бомбардировка ионами при помощи ионной имплантации

Бомбардировка ионами фосфора

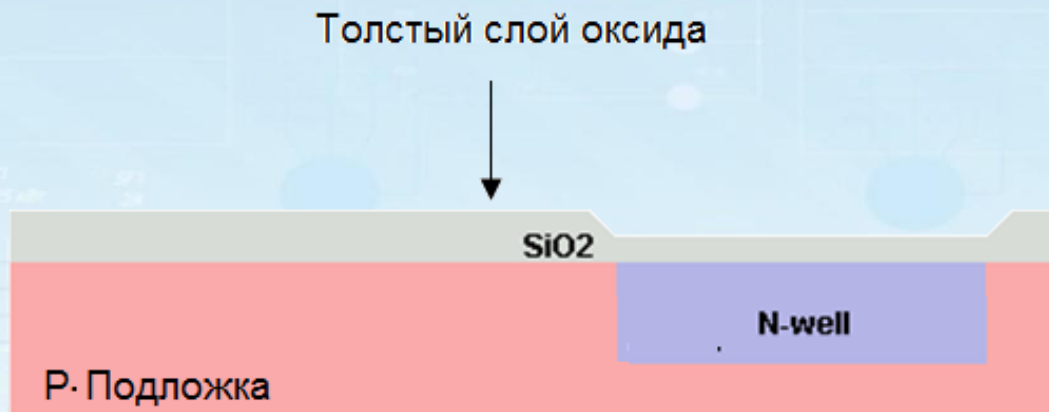


Здесь SiO<sub>2</sub> является маской.

Открытая область будет подвержена примеси ионов

## 2. Формирование изоляции

2.1. **Увеличение толщины  $\text{SiO}_2$**  путем окисления кремния при высоких температурах (Si пластина от 900 до 1200 C, с  $\text{H}_2\text{O}$  или  $\text{O}_2$  - **оксидирование**)



Оксид  $\text{SiO}_2$  является электрическим изолятором для транзисторов n-MOS и p-MOS

# 3. Создание транзисторов

3.1. При помощи процессов **фотолитографии** и **травления** определяются области для транзисторов n-MOS и p-MOS

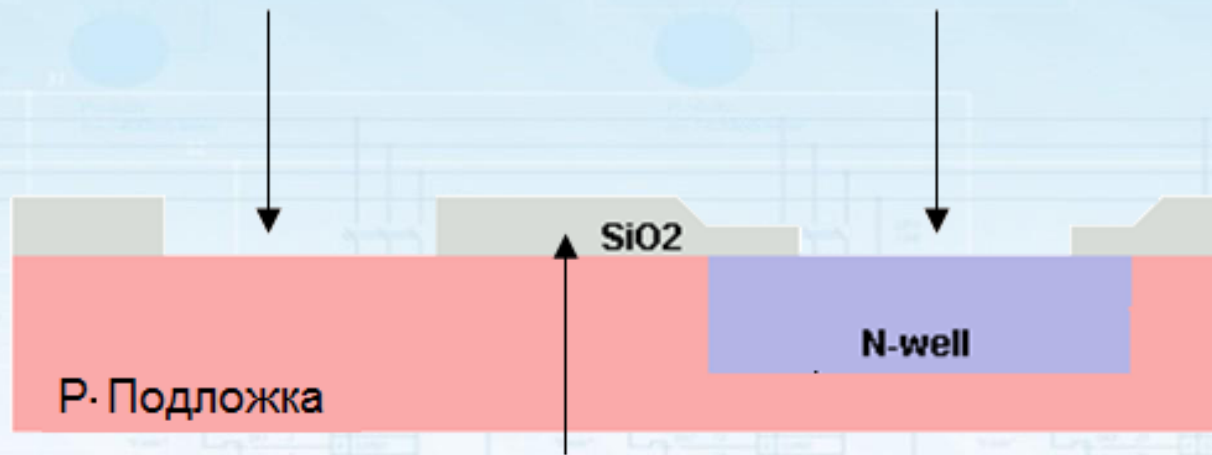
2-ая итерация

Здесь будем формировать

n-MOS

Здесь будем формировать

p-MOS



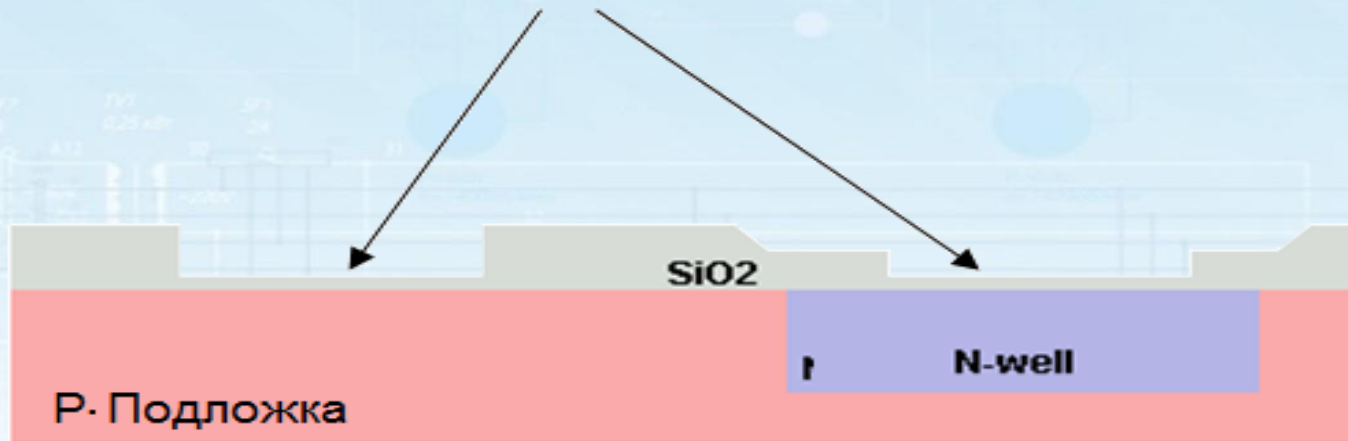
Структура изоляции



# 3. Создание транзисторов

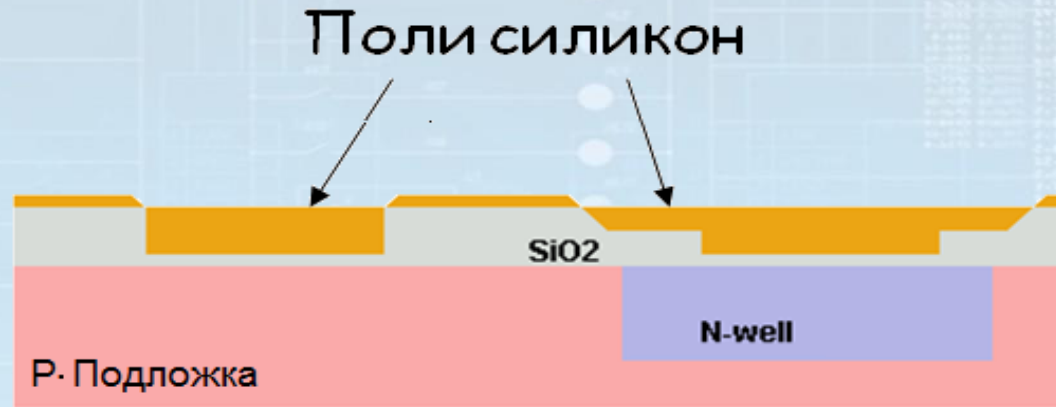
3.2. Наращивают очень тонкий слой оксида для затвора при повышенной температуре за очень короткое время

Тонкий слой оксида  
для затвора (Gate)

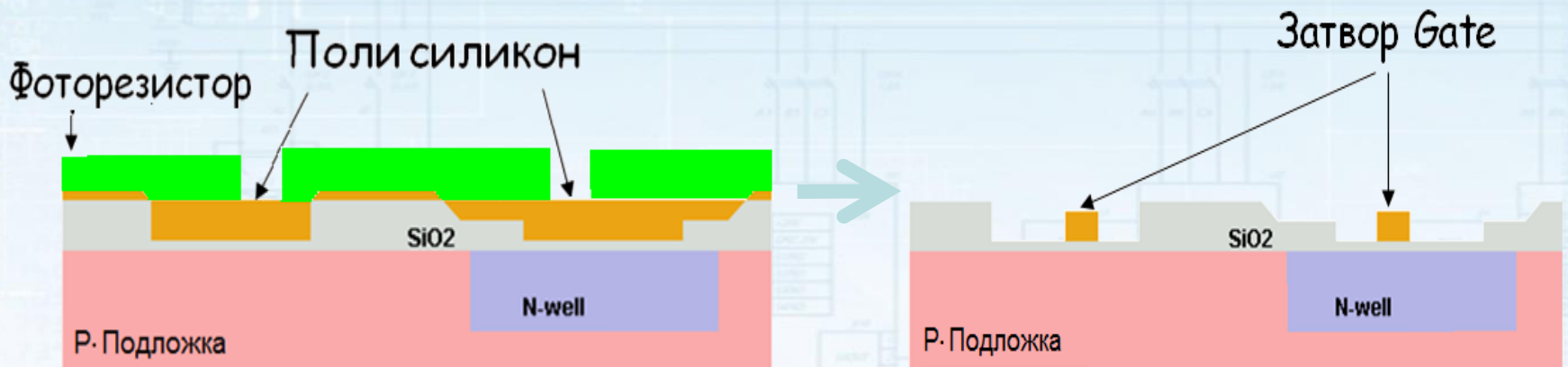


# 3. Создание транзисторов

## 3.3. Формирования слоя поли (поликристаллического) кремния

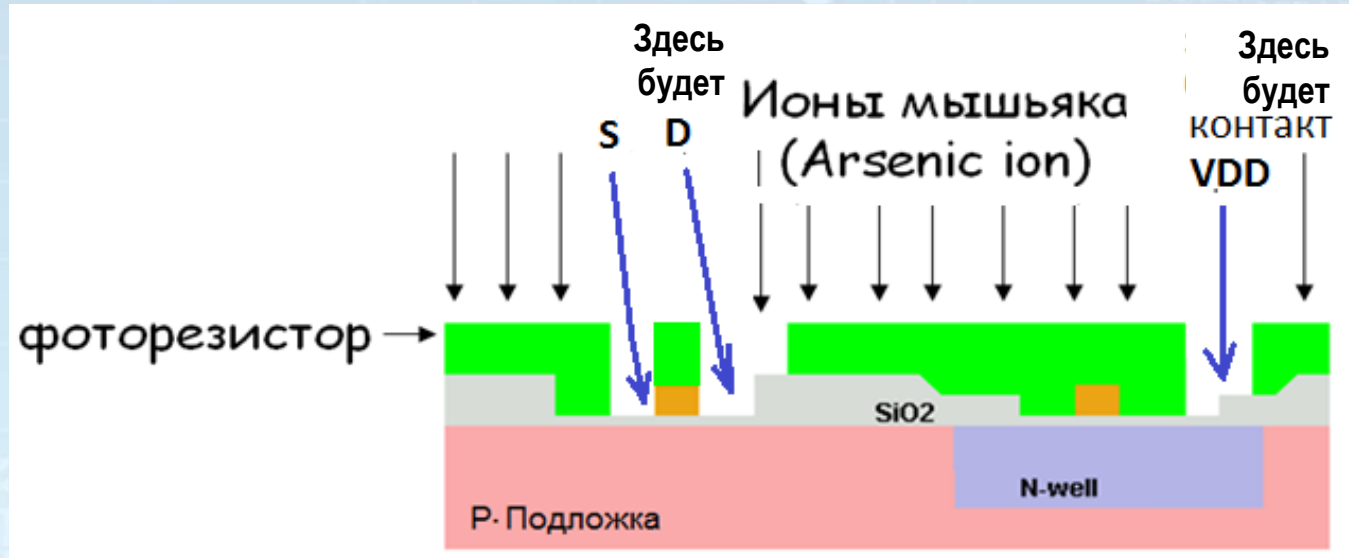


3.4. При помощи процессов **фотолитографии** и **травления** формируется подложка Gate для n-MOS и p-MOS элементов



# 3. Создание транзисторов

3.5. Фото процесс, чтобы определить активные области nMOS (источник, сток) и контакт VDD

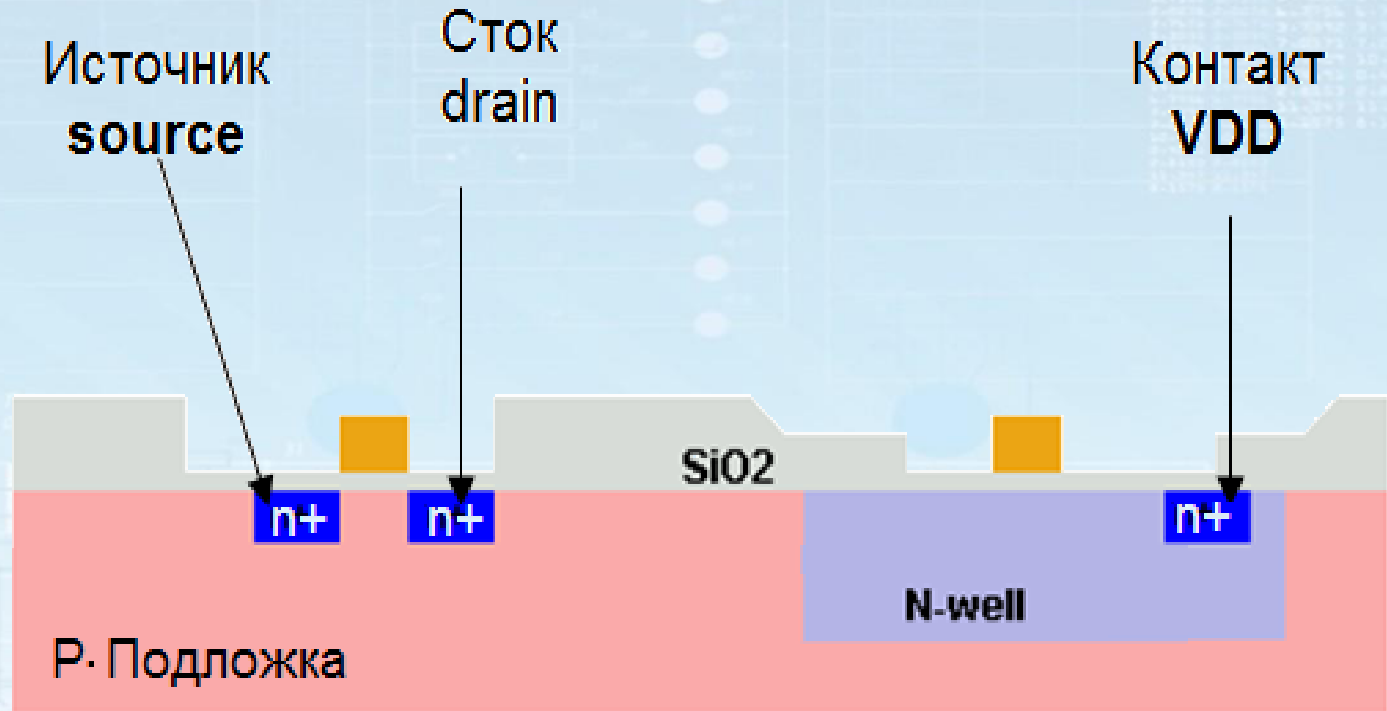


3.6. Ионная имплантация с Ионами-мышьяка для получения n+ примеси.

Здесь фоторезисторный слой и поликремневый затвор является маской для образования зон n+ примеси.

# 3. Создание транзисторов

3.7. Получили активные области n-MOS (источник, сток) и контакт VDD (питание)

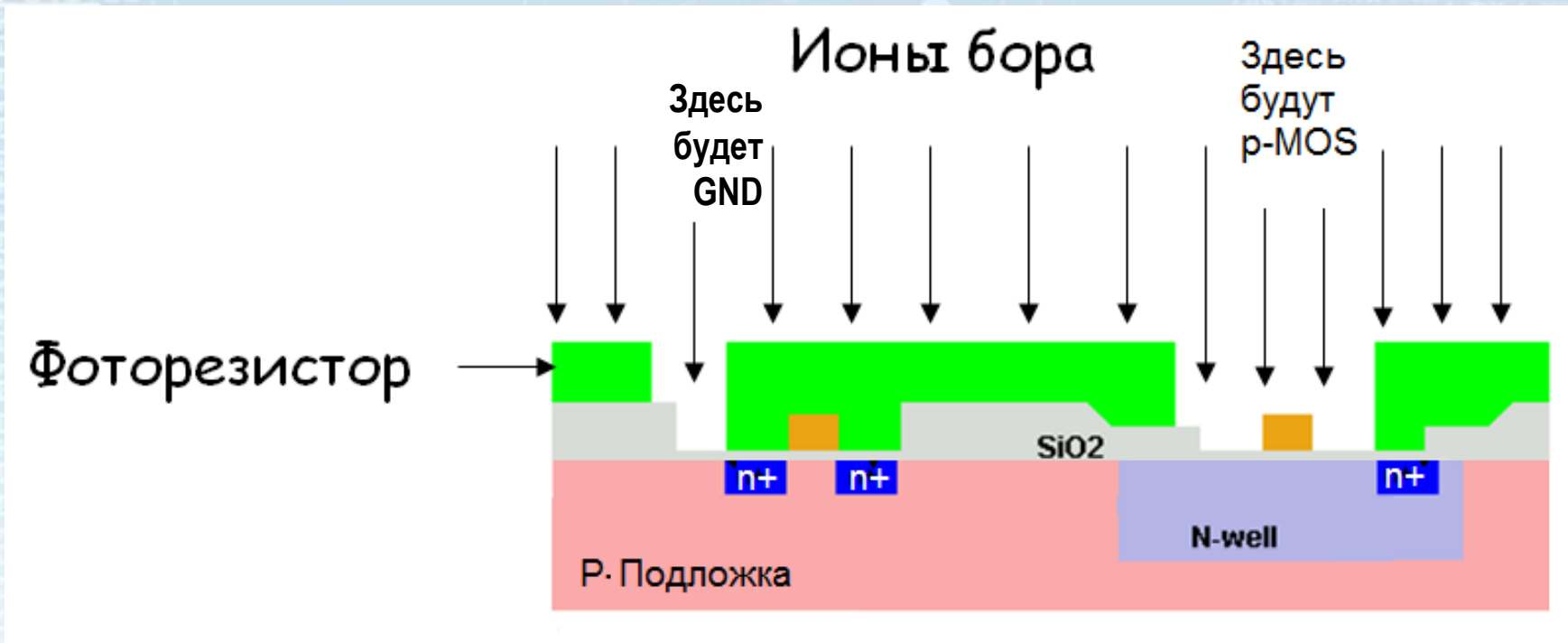


Фоторезисторный слой удален



# 3. Создание транзисторов

3.8. Фото процесс формирует контакт GND и p-MOS в активной области (источник и сток)

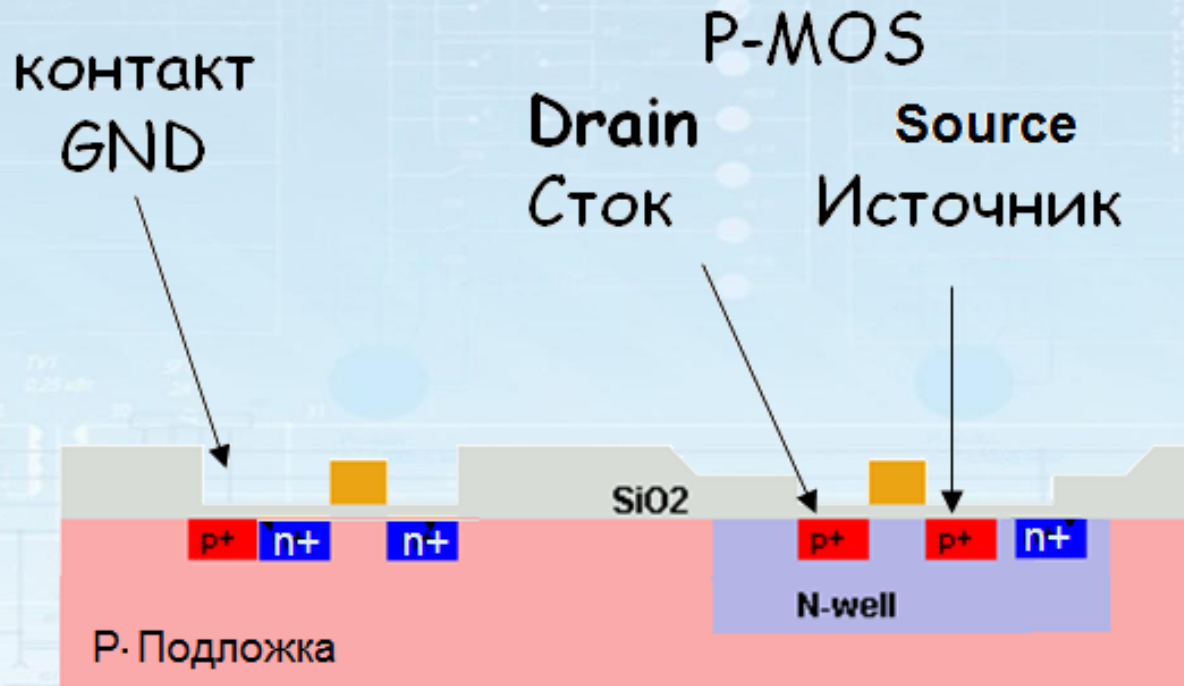


**Ионная имплантация** с ионами бора получают **p + примеси**

Здесь фоторезисторный слой и затвор (Gate) выступают в качестве маски

# 3. Создание транзисторов

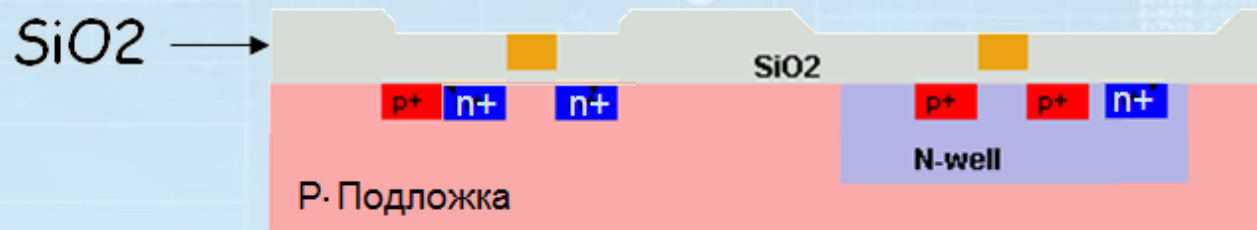
3.9. Сформированы источник (Source) и сток (Drain) транзистора p-MOS, а также контакт GND



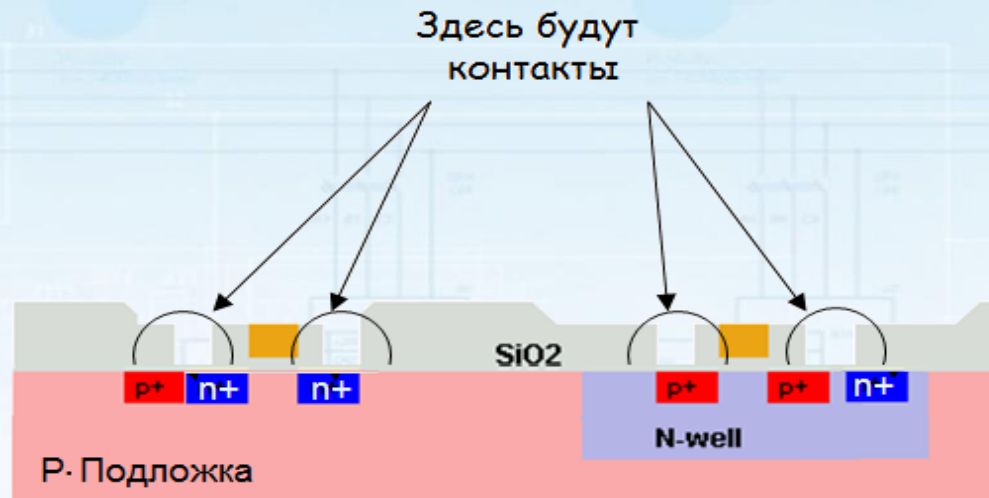
Фоторезисторный слой удален процессом травления

# 4. Соединение (*interconnection*)

4.1. Нарращиваем уровень слоя SiO<sub>2</sub> по всей поверхности пластины

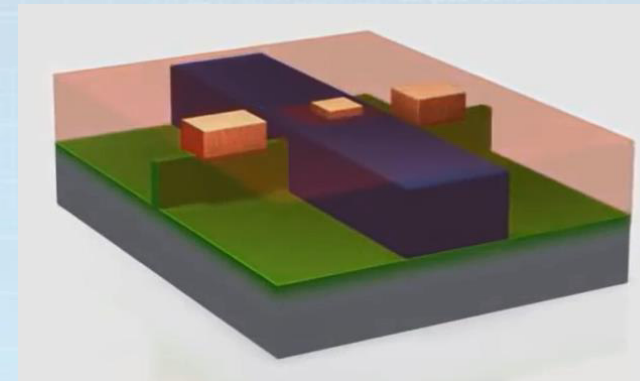
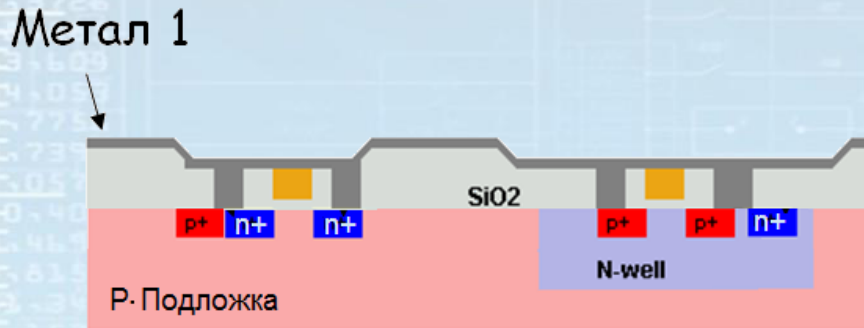


4.2. Используются процессы фотографии и травления, чтобы сделать контакты

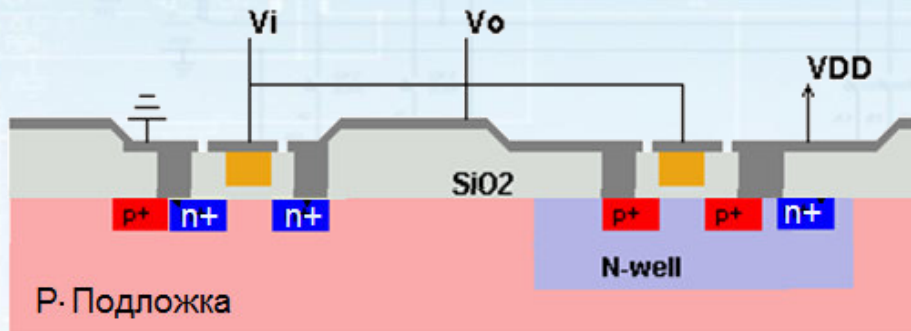


# 4. Соединение (*interconnection*)

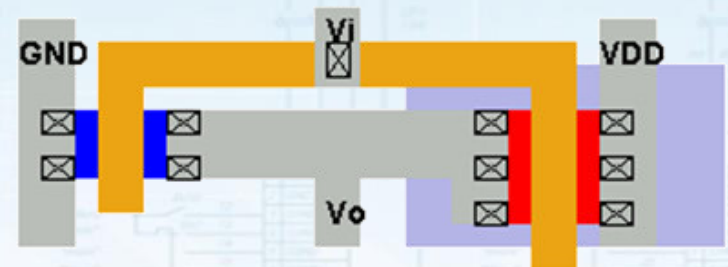
4.3. Нарращиваем слой Метал 1 (уровень 1) по всей поверхности пластины



4.4. Используются процессы фотографии и травления, чтобы сделать структуру соединений

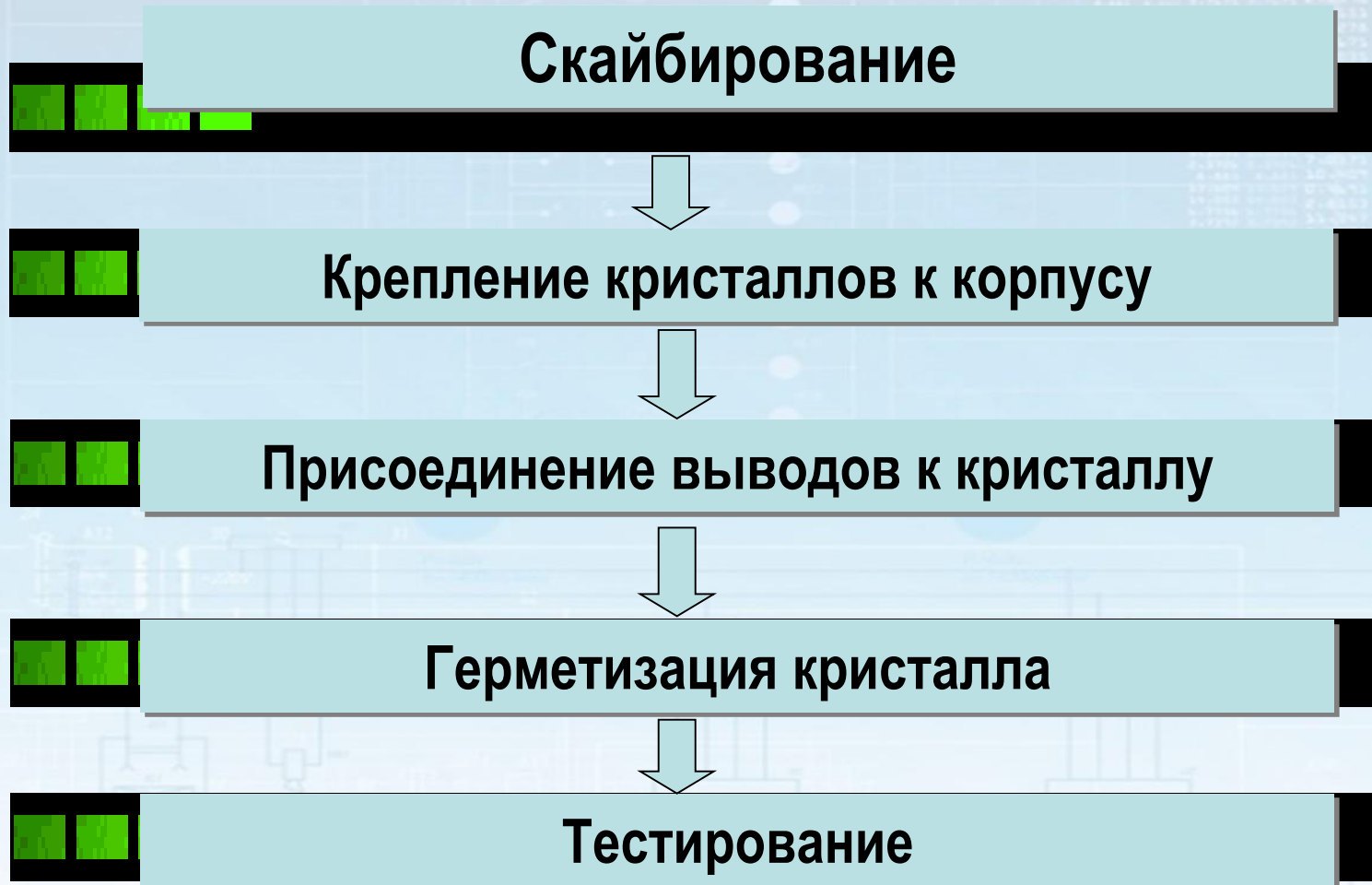


Изготовление Invertor завершено





# Завершающие операции при производстве микросхем



# Скрайбирование (Scribing)



Нарезка рисок пластины и разделение на малые кристаллы

Методы прорезания:

- **алмазным резцом** — процарапывание пластины как действуют при резке стекла. (устаревший метод);
- **раскалывание локальным термо-ударом** (применяется мало);
- **резка кольцевой пилой с внешней режущей кромкой** — частота вращения до 20-50 тыс. оборотов в минуту;
- **химическое травление** — разделение производят путём сквозного химического травления. Для проведения операции предварительно делается фотолитография с формированием окон на разделительных участках с обеих сторон пластины и вытравливаются разделительные области.
- **резка стальными полотнами или проволоками** — полотно или проволока трется о пластины, на место соприкосновения подается абразивная суспензия. Существует риск порчи готовых структур лопнувшим полотном или проволокой. Колебания состава суспензии, механические перекосы в оборудовании также могут приводить к появлению брака. Метод использовался в мелкосерийных производствах и лабораториях.
- **резка лазерным лучом**: образование рисок происходит в результате испарения материала подложки сфокусированным лазерным лучом. **При сквозном разделении не требуется последующая ломка пластины на кристаллы**, но применение метода ограничивается толщиной пластин.

# Разделение на малые кристаллы

После нарезки рисок пластины выполняют операцию разделения на малые кристаллы

**Методы разделения пластины на кристаллы:**

- **Метод подпружиненного ролика** — пластину укладывают в полиэтиленовый пакет и размещают на толстом упругом резиновом основании рисками вниз и оператор прокатывает вдоль рисок подпружиненным роликом.

Качество разламывания зависит от того насколько направление движения ролика параллельно рискам, при отклонении возможно раскалывание не по рискам и порча кристаллов;

- **Разламывание на полусфере** — пластины обжимаются эластичной мембраной по сферической поверхности. На мембрану давят либо гидравлическим способом, либо сжатым воздухом.

При разделении этим способом пластин диаметром более 76 мм резко увеличивается процент брака;

- **Прокатка между двумя цилиндрическими валиками** — Пластина на липкой ленте-носителе сжимают стальным и резиновым валиком, которые вращаются. В результате деформации упругого резинового валика к пластине прикладывается изгибающее усилие.



# Крепление кристаллов к корпусу

После скайбирования кристаллы присоединяют к основанию корпуса

**Методы присоединения к основанию корпуса:**

**Метод приклеивания** — используются клеи на основе эпоксидной смолы, со временем деградирует: хуже проводит тепло, становится хрупким, соединение становится непрочным. (Не используется);

**Метод эвтектического сплавления** — на керамическое основание корпуса и на обратную сторону пластины перед разделением на кристаллы наносится тонкий слой золота.

В месте крепления кристалла помещается золотая фольга, кристалл кладут на основание корпуса, **подогревают до 380°** (температура эвтектики системы кремний-золото 385°) и прикладывают вертикальное усилие.

Высокая стоимость позволяет использовать метод только для схем спецназначения.;

**Герметизация пластмассой** — кристаллы с приваренной арматурой размещают на ленте-носителе.

**Метод “перевернутого кристалла”** — при использовании объёмных выводов одновременно подсоединяются и кристалл и все выводы.

**Метод соединений стеклами** — данный метод используется для гибридных и толстоплёночных интегральных схем. Для **тонкоплёночной технологии** - малоприменим.



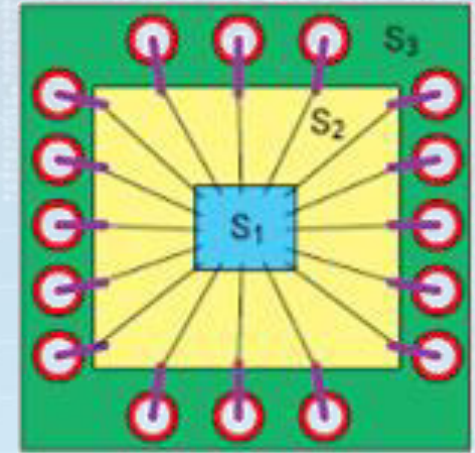
# Присоединение выводов к кристаллу

Методы присоединения (сварка/пайка) выводов:

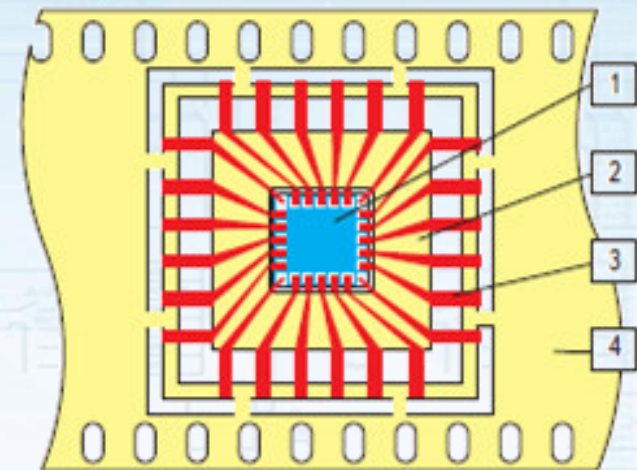
**Сварка:**

- термокомпрессионная сварка
- ультразвуковая сварка
- косвенного импульсного нагрева
- сварка сдвоенным электродом
- лазерная точечная сварка
- электронно-лучевая сварка

**Пайка:** конвективная в печах, струёй горячего газа; склеивание; герметизация пластмассой.



Присоединение кристаллов к выводам ленточного носителя



# Герметизация кристалла

Методы герметизации — выбор метода зависит от материала и формы корпуса.

Корпуса бывают:

- герметичные (металло-стеклянные, металло-керамические, керамические, стеклянные)
- негерметичные (пластмассовые, керамические).

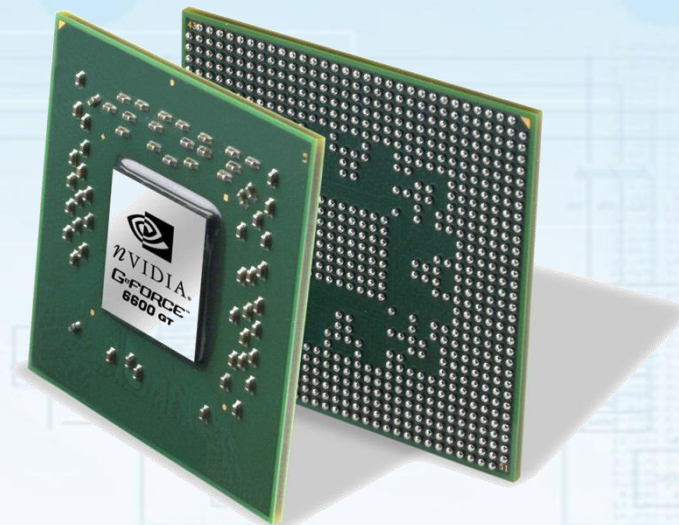
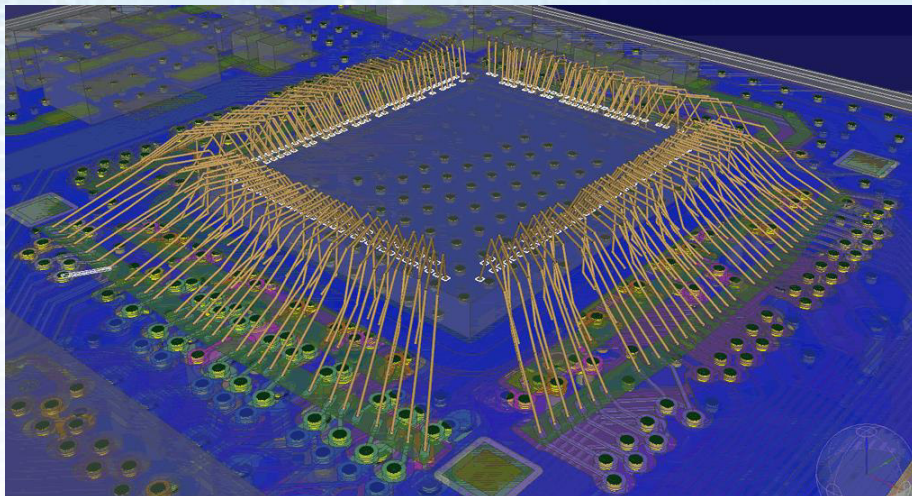
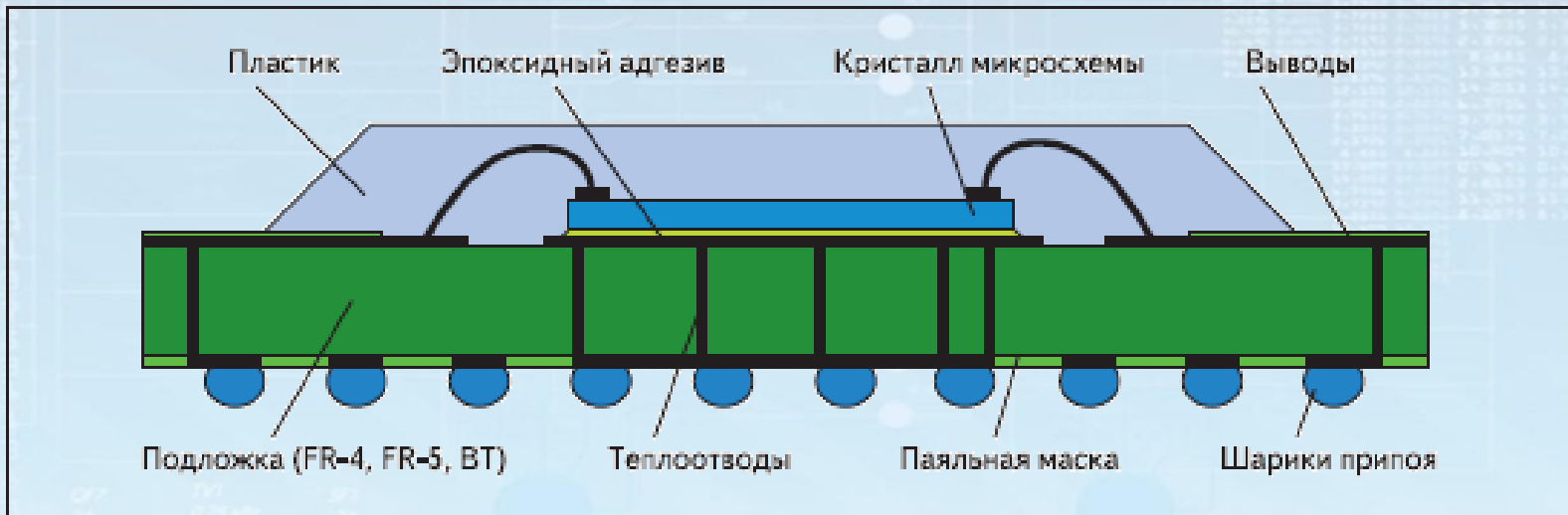
## Тестирование

При тестировании контролируется качество крепления выводов, а также устойчивость приборов (кроме негерметичных) к экстремальным климатическим условиям на стенде тепла-влаги и механическим воздействиям на ударном и вибростенде, а также их электрические свойства. После тестирования приборы окрашивают и маркируют.



# BGA-компоненты

- Структура BGA-компонента

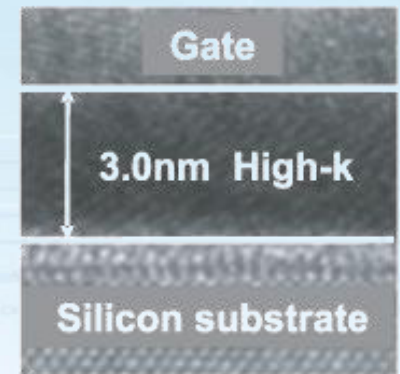
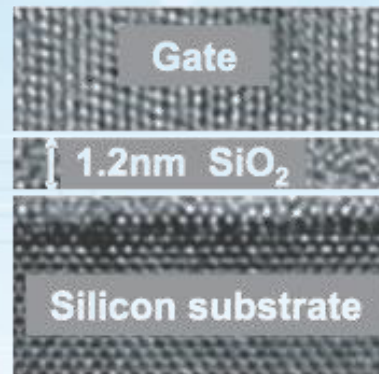


# Подзатворные диэлектрики

- **Оксид кремния ( $\text{SiO}_2$ )** – традиционный диэлектрик для кремниевых приборов.
  - Ограничение применимости – низкая диэлектрическая проницаемость ( $\epsilon=3,9$ ). Как результат, при технологических нормах 45нм, толщина диэлектрика  $\sim 1,2$  нм (5 атомных слоев), что повышает потери тока и тепловыделение.

- **High-K-диэлектрики**

- Большинство High-K-диэлектриков изготовлены на основе гафния и циркония ( $\epsilon=25$ ).
- Применяются при технол. нормах ниже 45нм



	High-k vs. $\text{SiO}_2$	Benefit
Gate capacitance	60% greater	Faster transistors
Gate dielectric leakage	> 100x reduction	Lower power