

0.0.1. Классификация ЭВМ

1. Классификация ЭВМ по назначению

а. Общего назначения

- Супер ЭВМ
- Минисупер ЭВМ
- Мэйнфреймы
- Серверы
- Рабочие станции
- ПК
- Ноутбуки
- Портативные компьютеры
- ...

б. Специализированные

2. Классификация ЭВМ по структуре

а. Однопроцессорные

б. Многопроцессорные

3. Классификация ЭВМ по режимам работы

а. Однопрограммные

б. Мультипрограммные

в. Мультипрограммные в составе систем

г. ЭВМ в системах реального времени

4. Классификация ЭВМ по количеству потоков данных и команд

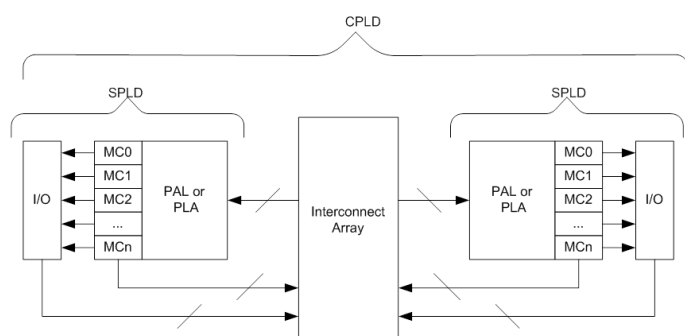
а. ЭВМ с одним потоком команд и одним потоком данных (ОКОД, SISD)

б. ЭВМ с одним потоком команд и многими потоками данных (ОКМД, SIMD)

в. ЭВМ с многими потоками команд и многими потоками данных (МКОД, MISD)

г. ЭВМ с многими потоками команд и многими потоками данных (МКМД, MIMD)

0.0.2. Архитектура сложных программируемых логических устройств (CPLD)



SPLD – Simple Programmable Logic Devices

PAL (англ. Programmable Array Logic) – программируемый массив (матрица) логики. В СССР PLA и PLM не различались и обозначались как ПЛИМ. Разница между ними состоит в доступности программирования внутренней структуры (матриц) ПЛИМ.

MC – Memory complex

Технология устройств CPLD (complex programmable logic device)

- технология программируемых логических устройств со сложностью, занимающей диапазон примерно между PAL (Programmable Array Logic) и FPGA (Field-programmable gate array), и с сочетанием их архитектурных особенностей.

CPLD состоят из блоков логических вентилях, объединенных программируемой коммутационной матрицей. Современные CPLD, как правило, являются электрически перепрограммируемыми и сохраняют логическую структуру после отключения питания. Отсюда понятно, что FPGA даже в некотором смысле являются более "программируемыми", чем CPLD.

Общие особенности технологии CPLD с PAL:

1. Энергонезависимая конфигурационная память. В отличие от большинства FPGA, внешний конфигурационный чип ROM не требуется, и CPLD может функционировать немедленно сразу после системного запуска (включения).
2. Для многих CPLD-устройств, маршрутизация устроена так, что ограничивает большинство логических блоков в возможности подключения их к каналам ввода/вывода через внешние штырьки. Этим самым уменьшаются возможности по сокращению использования внутренней памяти микросхем и многоуровневой логики. Однако это ограничение уже не характерно для больших и более новых семейств CPLD.

Особенности, общие у CPLD с FPGA:

1. Большое количество доступных логических устройств. CPLDs обычно имеют от тысяч до десятков тысяч логических устройств, что позволит им обрабатывать данные от умеренно сложных устройств. PAL обычно имеют по несколько сотен логических устройств (в лучшем случае), в то время как в FPGA могут располагать ими в количествах от десятков тысяч до нескольких миллионов.
2. Возможно программирование более гибкой и сложной логики, чем простейшие выражения типа суммы произведений. Это обеспечивается возможностью проводить более сложные пути связи между макроячейками устройства, и встроенной специализированной логикой для осуществления различных стандартных функций, типа арифметики целого числа.

0.0.3. Основные характеристики ЭВМ

- Эффективность
- Производительность
- Надежность
- Стоимость
- Энергопотребление

Общий коэффициент потребления

$$\mathcal{E} = \frac{P}{C_{ЭВМ} + C_{экспл}} \quad \mathcal{E}' = \frac{P}{C_{ЭВМ}} \quad \mathcal{E}_n = \frac{PK_u}{C_{ЭВМ} + C_{экспл}}$$

где \mathcal{E} – общий коэффициент эффективности, P – производительность, $C_{ЭВМ}$ – стоимость ЭВМ, $C_{экспл}$ – стоимость эксплуатации, \mathcal{E}' – эффективность без учета эксплуатационных издержек, \mathcal{E}_n – эффективность с учетом эксплуатационной надежности. $C_{ЭВМ} \gg C_{экспл}$

0.0.4. Программируемые вентильные матрицы (FPGA)

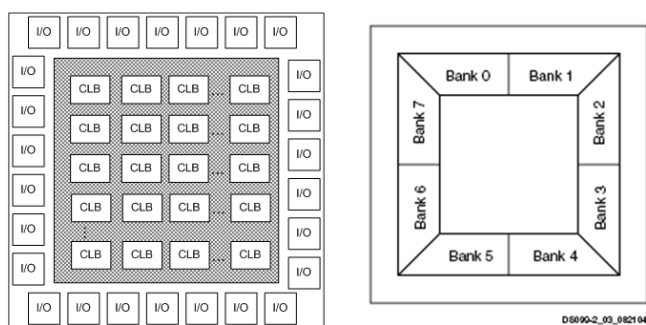


Figure 4: Spartan-3 I/O Banks (top view)

CLB – Configurable Logic Blocks

Программируемая пользователем вентильная матрица (ППВМ, FPGA) – полупроводниковое устройство, которое может быть сконфигурировано производителем или разработчиком после изготовления; отсюда название: «программируемая пользователем». ППВМ программируются путём изменения логики работы принципиальной схемы, например, с помощью исходного кода на языке проектирования (типа VHDL), на котором можно описать эту логику работы микросхемы. ППВМ является одной из архитектурных разновидностей программируемых логических интегральных схем (ПЛИС).

ППВМ могут быть модифицированы практически в любой момент в процессе их использования. Они состоят из конфигурируемых логических блоков, подобных переключателям с множеством входов и одним выходом (логические вентили или gates). В цифровых схемах такие переключатели реализуют базовые двоичные операции AND, NAND, OR, NOR и XOR. В большинстве современных микропроцессоров функции логических блоков фиксированы и не могут модифицироваться. Принципиальное отличие ППВМ состоит в том, что и функции блоков, и конфигурация соединений между ними могут меняться с помощью специальных сигналов, посылаемых схеме. В некоторых специализированных интегральных схемах (ASIC) используются логические матрицы, аналогичные ППВМ по структуре, однако они конфигурируются один раз в процессе производства, в то время как ППВМ могут постоянно перепрограммироваться и менять топологию соединений в процессе использования. Однако, такая гибкость требует существенного увеличения количества транзисторов микросхемы.

0.0.5. Прямой, обратный и дополнительный коды

Прямой код – способ представления двоичных чисел с фиксированной запятой в компьютерной арифметике. Главным образом используется для записи положительных чисел.

Обратный код – метод вычислительной математики, позволяющий вычесть одно число из другого, используя только операцию сложения над натуральными числами. Обратный k -разрядный двоичный код положительного целого числа состоит из одноразрядного кода знака (двоичной цифры 0), за которым следует $k - 1$ -разрядное двоичное представление модуля числа (обратный код положительного числа совпадает с прямым кодом).

Дополнительный код – наиболее распространённый способ представления отрицательных целых чисел в компьютерах. Он позволяет заменить операцию вычитания на операцию сложения и сделать операции сложения и вычитания одинаковыми для знаковых и беззнаковых чисел, чем упрощает архитектуру ЭВМ. Дополнительный код отрицательного числа можно получить инвертированием модуля двоичного числа (первое до-

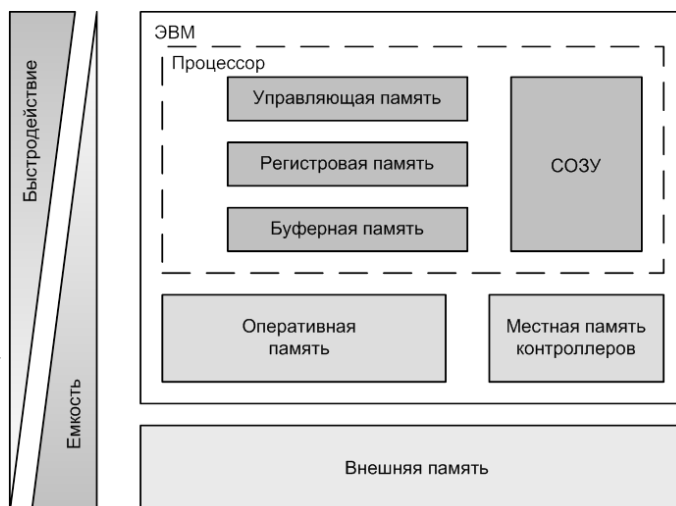
полнение) и прибавлением к инверсии единицы (второе дополнение), либо вычитанием числа из нуля. Дополнительный код (дополнение до 2) двоичного числа получается добавлением 1 к младшему значащему разряду его дополнения до 1.

0.0.6. Классификация запоминающих устройств по способу доступа и по назначению

По способу доступа

- Адресные ЗУ
 1. Постоянные ЗУ, ПЗУ
 2. ЗУ с произвольным доступом
- Ассоциативные ЗУ
 1. Полностью ассоциативные
 2. Ассоциативные ЗУ с прямым размещением
 3. Наборно-ассоциативные ЗУ
- Последовательные ЗУ
 1. FIFO
 2. LIFO
 3. Файловые
 4. Циклические

По назначению



0.0.7. Комбинационные схемы и цифровые автоматы

Комбинационные схемы – это схемы, у которых выходные сигналы $Y = (y_1, y_2, \dots, y_m)$ в любой момент дискретного времени однозначно определяются совокупностью входных сигналов $X = (x_1, x_2, \dots, x_n)$, поступающих в тот же момент времени t . Реализуемый в КС способ обработки информации называется комбинационным потому, что результат обработки зависит только от комбинации входных сигналов и формируется сразу при поступлении входных сигналов. Поэтому одним из достоинств комбинационных схем является их высокое быстродействие. Преобразование информации однозначно описывается логическими функциями вида $Y = f(X)$.

Логические функции и соответствующие им комбинационные схемы подразделяют на регулярные и нерегулярные структуры. Регулярные структуры предполагают построение схемы

таким образом, что каждый из ее выходов строится по аналогии с предыдущими. В нерегулярных структурах такая аналогия отсутствует.

В практике проектирования ЭВМ накоплен огромный опыт по синтезу различных схем. Многие регулярные структуры положены в основу построения отдельных ИС малой и средней степени интеграции или отдельных функциональных частей БИС и СБИС. Из регулярных комбинационных схем наиболее распространены дешифраторы, шифраторы, схемы сравнения, комбинационные сумматоры, коммутаторы и др.

Автомат – это пример устройства, реакция которого зависит не только от входа, но и от того что было раньше, то есть от состояния в предыдущий момент времени.

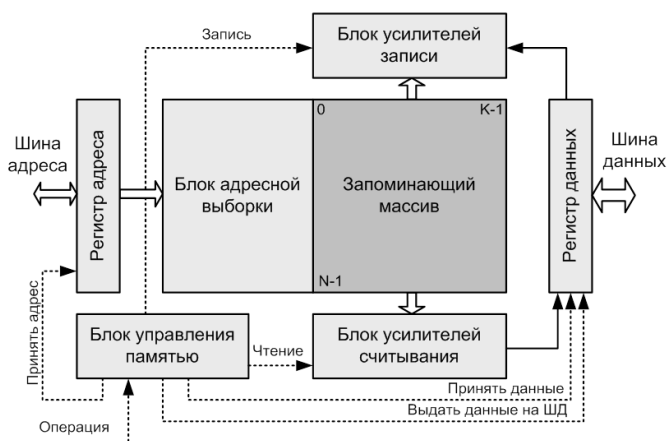
Компьютер – пример цифрового автомата. Он обладает памятью, которая хранит его состояние. В зависимости от состояния компьютер выполняет то или иное действие. Синоним термину «цифровой автомат» – «конечный автомат». Первый термин подчеркивает, что автомат работает с цифрами, то есть конечными наборами символов, второй – что его память конечна.

«Цифровой автомат» устройство, которые реализуют действий над числами. Это сумматоры, умножители, делители.

Отличия цифрового автомата от конечного автомата общего вида состоят в следующем:

- он предназначен для представления чисел и выполнения операций над ними
- в нем на самом первом этапе, этапе синтеза одноразрядного или многоразрядного сумматора, решается проблема гонок (порождаемых задержками)
- цифровой автомат имеет погрешность представления – погрешность, которая возникает при представлении счетных или несчетных числовых систем из-за ограниченного количества разрядов и памяти. Отличия реализованной операции от арифметической в особо важных случаях выражаются дополнительными сигналами: переполнением, сигналом «машинного нуля»
- цифровой автомат слишком сложен для автоматического синтеза.

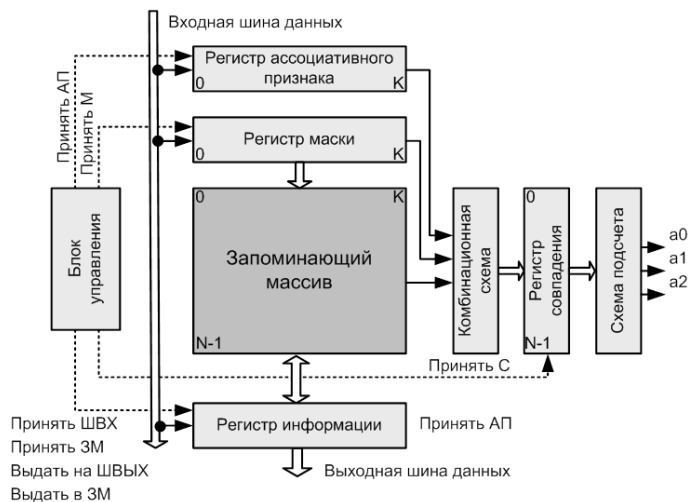
0.0.8. Обобщенная схема адресного ЗУ



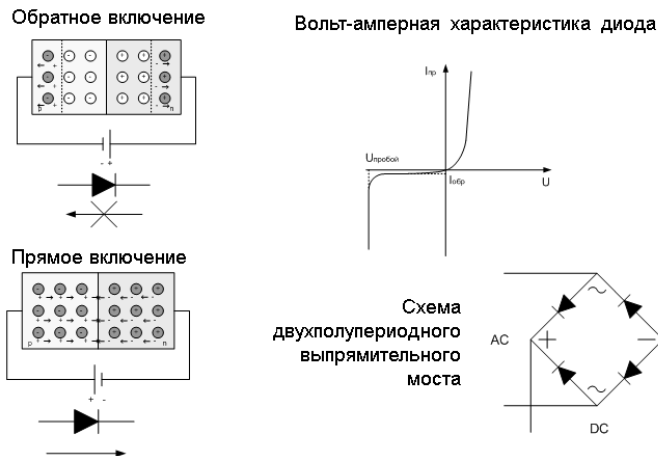
0.0.9. Проектирование комбинационных схем

Проектируем с помощью карт Карно

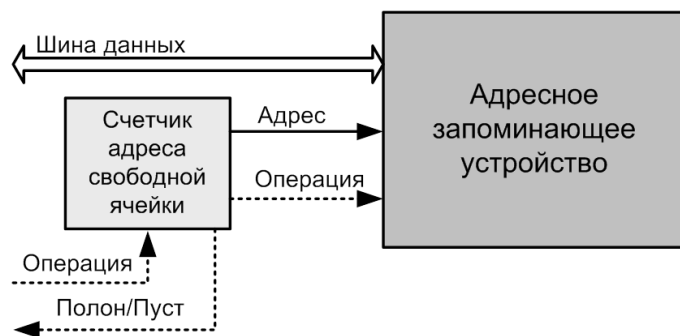
0.0.10. Обобщенная схема ассоциативного ЗУ



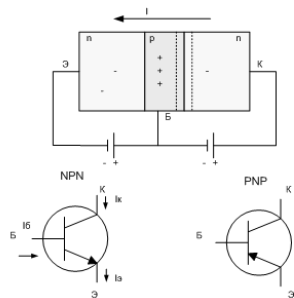
0.0.11. Прямое и обратное включение p-n перехода



0.0.12. Обобщенная схема последовательного ЗУ



0.0.13. Биполярный транзистор



Режимы работы биполярного транзистора:

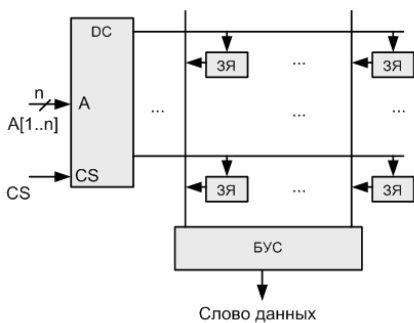
- **Активный режим** (эмиттерный переход открыт, коллекторный переход закрыт).
- **Отсечка** (эмиттерный переход закрыт, коллекторный переход закрыт).
- **Насыщение** (эмиттерный переход открыт, коллекторный переход открыт).
- **Инверсное включение** (эмиттерный переход закрыт, коллекторный переход открыт).

Электроны через открытый эмиттерный переход попадают в базу. Рекомбинация электронов в базе (1-5 % электронов) определяет ток базы. Под действием поля запрещенного перехода электроны переносятся в коллектор.

$I_б \ll I_э$, $I_к = \alpha I_э + I_{к0}$, $I_{к0}$ – обратный ток коллектора
 $I_к = I_э - I_б = \alpha I_э$,
 $\alpha = 0,95 \dots 0,98$ – коэффициент передачи тока эмиттера

0.0.14. Организация запоминающих массивов адресных ЗУ

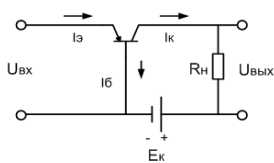
Структура ЗМ типа 2D



Количество выходов дешифратора равно количеству слов в памяти (2^n)

Структура применима только для малоразмерных ЗУ

0.0.15. Схема с общей базой



Вывод: Схема с общей базой малоприменима из-за K_{U6}

Входные и выходные токи и напряжения:
 $I_{вх} = I_б$, $U_{вх} = I_б R_н$
 $I_{к} = I_э$, $U_{к} = U_э - I_э R_н$
 $U_{кб} = U_э - U_{к} = U_э - I_э R_н$

Коэффициент усиления по току:

$$K_{I6} = \frac{\Delta I_{вх}}{\Delta I_{к}} = \frac{\Delta I_б}{\Delta I_э} = \alpha$$

Коэффициент усиления по напряжению:

$$K_{U6} = \frac{\Delta U_{вх}}{\Delta U_{к}} = \frac{\Delta I_б R_н}{\Delta I_э R_{вх_б}} = \frac{\alpha R_н}{R_{вх_б}} \quad R_{вх_б} = \frac{\Delta U_э}{\Delta I_э}$$

Коэффициент усиления по мощности:

$$K_{P6} = K_{U6} K_{I6} = \frac{R_н}{R_{вх_б}}$$

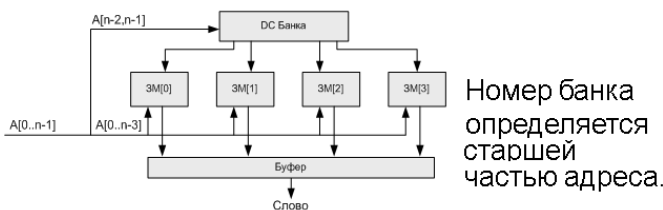
0.0.16. Расслоение памяти

Метод расслоения памяти применяется для увеличения скорости доступа к основной (оперативной) памяти. В обычном случае во время обращения к какой-то одной из ячеек модуля основной памяти никакие другие обращения к памяти производиться не могут. При расслоении памяти соседние по адресам ячейки размещаются в различных модулях памяти, так что появляется возможность производить несколько обращений одновременно. Например, при расслоении на два направления

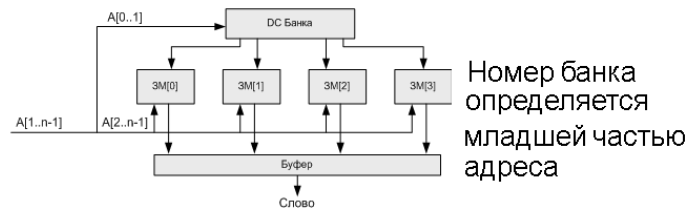
ячейки с нечетными адресами оказываются в одном модуле памяти, а с четными - в другом. При простых последовательных обращениях к основной памяти ячейки выбираются поочередно. Таким образом, расслоение памяти позволяет обращаться сразу к нескольким ячейкам, поскольку они относятся к различным модулям памяти.

Микросхемы памяти часто объединяются в банки или модули, содержащие фиксированное число слов, причем только к одному из этих слов банка возможно обращение в каждый момент времени.

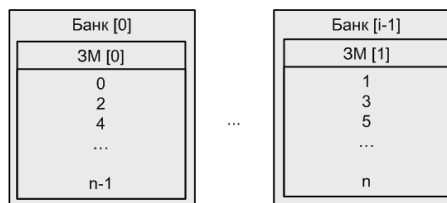
Блочное разделение адреса



Циклическое разделение адреса



Блочно-циклическое разделение адреса

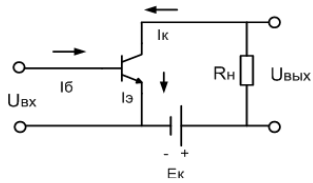


Блочно-циклический способ обеспечивает возможность пакетной передачи и ускоряет доступ при кучности адресов

Пример разделения адреса в SDRAM (PIII)

Старшая часть номера столбца	Номер строки		Номер банка	Младшая часть номера столбца	Смещение в пакете (16 байт)				
31	25	24	13	12	11	10	4	3	0

0.0.17. Схема с общим эмиттером



Входные и выходные токи и напряжения:
 $I_{вх} = I_b$, $U_{вых} = I_c R_n$
 $I_{вх} = I_b$, $U_{вх} = U_{эб}$
 Коэффициент передачи тока: $\beta = 10 \dots 100$

$$\beta = \frac{\Delta I_c}{\Delta I_b} = \frac{\alpha}{1 - \alpha}$$

Коэффициент усиления по току:

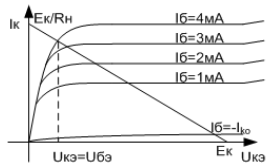
$$K_{I_3} := \frac{\Delta I_{ввх}}{\Delta I_{б}} = \frac{\Delta I_c}{\Delta I_b} = \beta \quad \alpha = 0,98 \rightarrow \beta = 50$$

Коэффициент усиления по напряжению:

$$K_{U_3} := \frac{\Delta U_{ввх}}{\Delta U_{бх}} = \frac{\Delta I_c R_n}{\Delta I_b R_{вх}} = \frac{\beta R_n}{R_{вх}} \quad R_{вх} = \frac{\Delta U_{эб}}{\Delta I_b}$$

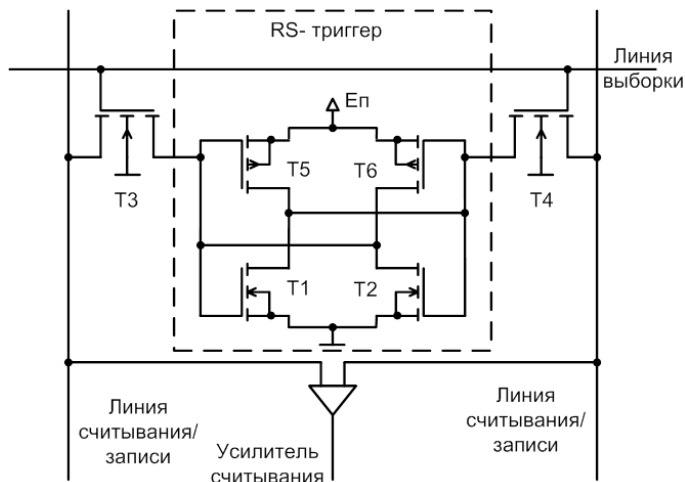
Коэффициент усиления по мощности:

$$K_{P_3} = K_{U_3} \cdot K_{I_3} = \frac{R_n \cdot \beta^2}{R_{вх}}$$

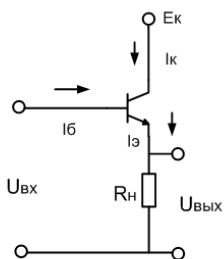


Вывод:
 Все коэффициенты больше, чем у
 схемы с общей базой

0.0.18. Запоминающая ячейка статической памяти



0.0.19. Схема с общим коллектором



Входные и выходные токи и напряжения:
 $I_{вх} = I_b$, $U_{вх} = U_{вых} + U_{эб}$
 $I_{вх} = I_b$

Коэффициент усиления по току:

$$K_{I_k} := \frac{\Delta I_{ввх}}{\Delta I_{бх}} = \frac{\Delta I_c + \Delta I_b}{\Delta I_b} = \beta + 1$$

Коэффициент усиления по напряжению:

$$K_{U_k} = 1$$

Коэффициент усиления по мощности:

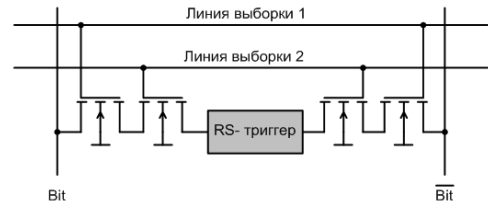
$$R_{вх} = \frac{\Delta U_{вх}}{\Delta I_{вх}} = \frac{\Delta U_{эб} + \Delta I_b R_n}{\Delta I_b} \quad \Delta I_b = \beta \cdot \Delta I_c$$

$$K_{P_k} = K_{U_3} \cdot K_{I_3} = \beta$$

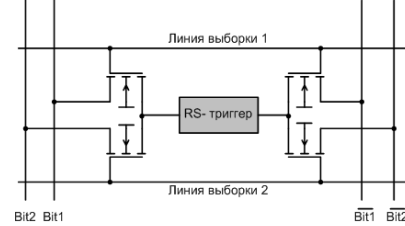
Вывод:
 Схема с ОК используется для
 усиления по мощности

0.0.20. Запоминающая ячейка с двухкоординатной выборкой и двухпортовой выборкой

Запоминающая ячейка с двухкоординатной выборкой

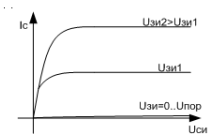
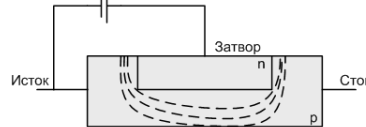


Запоминающая ячейка двухпортовой выборкой

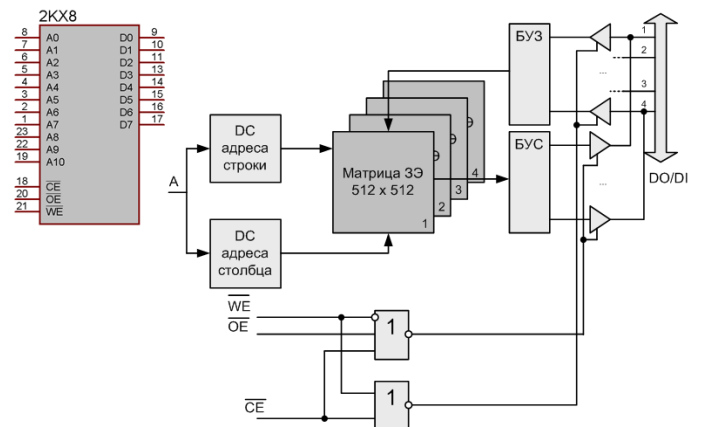


0.0.21. Полевой транзистор с управляющим р-п-переходом

Полевой транзистор с управляющим р-п-переходом. При уменьшении $U_{зи}$ ($U_{зи} > 0$) обедненный слой увеличивается. Это приводит к уменьшению тока $I_{сн}$.



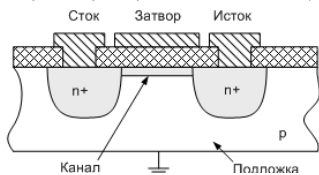
0.0.22. Микросхема статической памяти



0.0.23. Полевой транзистор с изолированным затвором

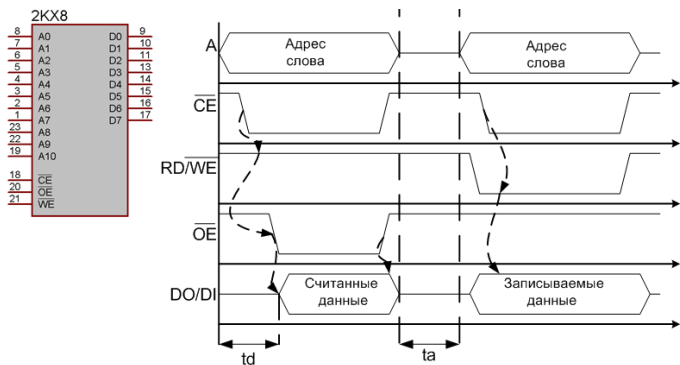
Полевой транзистор с изолированным затвором

МОП транзистор с встроенным каналом n типа (MOSFET)



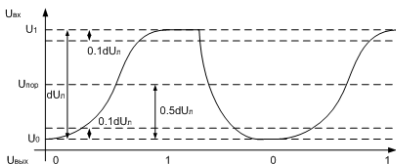
Канал может быть заранее изготовлен благодаря внедрению примеси (транзистор со встроенным каналом) или может образовываться при некотором $U_{зп}$

0.0.24. Диаграмма работы статической памяти



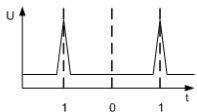
0.0.25. Представление информации физическими сигналами

Потенциальный способ



В качестве аналогов значений 0 и 1 используются два различных свойства сигнала:
- значение напряжения или тока при потенциальном способе;
- наличие или отсутствие импульса при импульсном.
- фаза сигнала при фазовом способе;

Импульсный способ

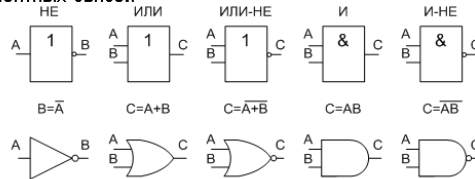


Сигнал переходит из одного состояния в другое с некоторым запаздыванием - задержкой.

0.0.26. запоминающая ячейка динамической памяти

?????

Система логических элементов – функционально полный набор логических элементов, объединяемых общими электрическими, конструктивными и технологическими параметрами и использующих одинаковый способ представления информации и одинаковый тип межэлементных связей



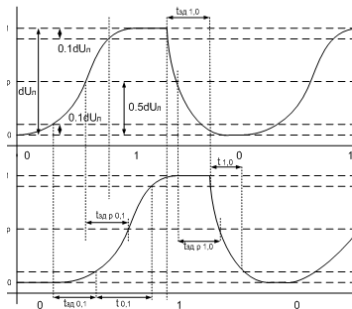
Статические характеристики цифровых интегральных схем

- Входная характеристика: зависимость входного тока $I_{вх}$ от входного напряжения $U_{вх}$.
- Передаточная характеристика: зависимость выходного напряжения $U_{ввых}$ от входного $U_{вх}$.
- Выходная характеристика: зависимость выходного тока $I_{ввых}$ от выходного напряжения $U_{ввых}$.

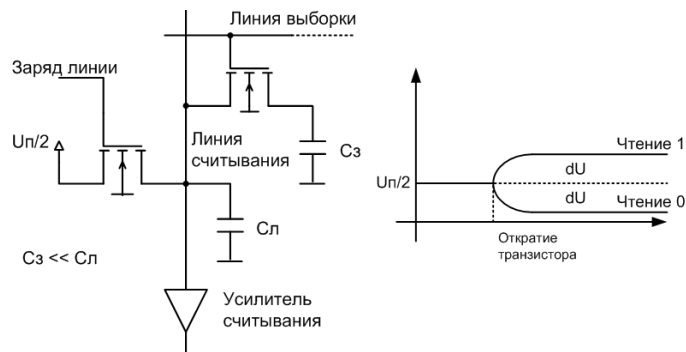
0.0.27. Системы логических элементов

0.0.28. Статические параметры цифровых интегральных схем

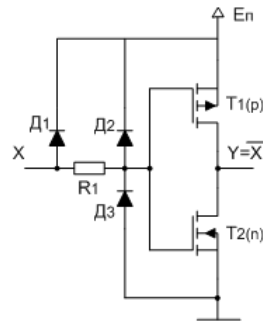
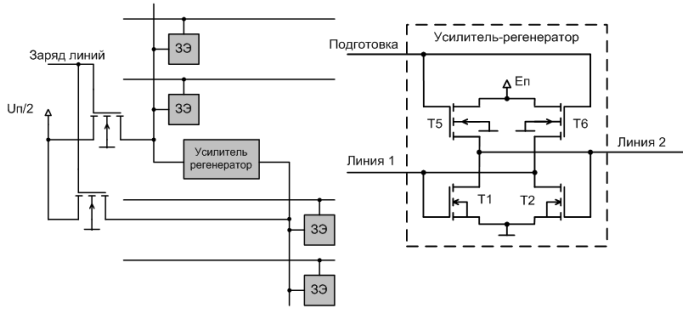
- Напряжение логической единицы: U^1
- Напряжение логического нуля: U^0
- Пороговое напряжение: $U_{лор}$
- Входной ток логической единицы: $I_{вх}^1$
- Входной ток логического нуля: $I_{вх}^0$
- Выходной ток логического нуля: $I_{ввых}^0$
- Выходной ток логической единицы: $I_{ввых}^1$
- Логический перепад: $dU_n = U_1 - U_0$
- Входное сопротивление: $R_{вх}$
- Выходное сопротивление: $R_{ввых}$
- Мощность потребления в состоянии логического нуля: P_n^0
- Мощность потребления логической единицы: P_n^1
- Средняя мощность потребления: P_n^{cp}
- Напряжение источника питания: $U_{пн}$
- Диапазон рабочей температуры: $t_{min} \dots t_{max}$
- Коэффициент объединения по входу: $K_{об}$
- Коэффициент разветвления по выводу: $K_{раз}$



0.0.29. Процесс считывания в DRAM



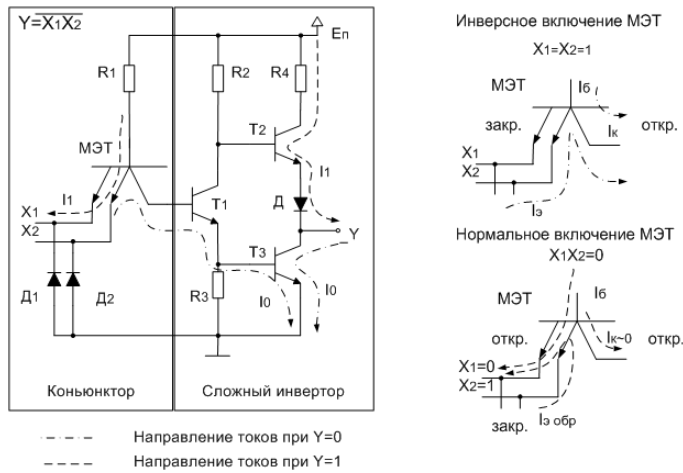
0.0.30. Принцип действия усилителя-регенератора



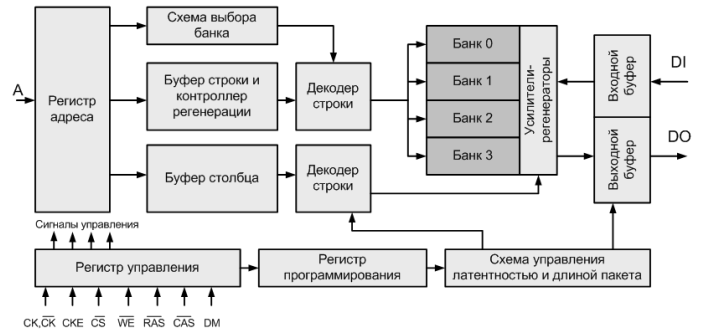
При $0 \leq U_{вх} < U_{порн}$ T2 закрыт, а T1 открыт. $U_{вых} = U_1$.
 При $U_{порн} < U_{вх} = U_1$ T2 открыт, а T1 закрыт. $U_{вых} = U^0$.

0.0.33. Базовый логический элемент серии КМДП

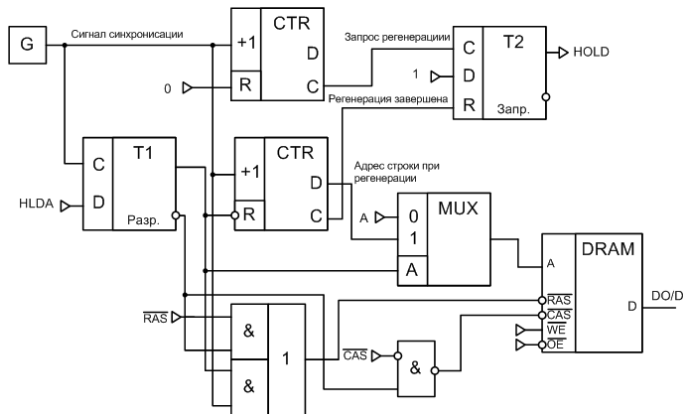
0.0.31. Логический элемент И-НЕ серии ТТЛ



0.0.34. Микросхема динамической памяти



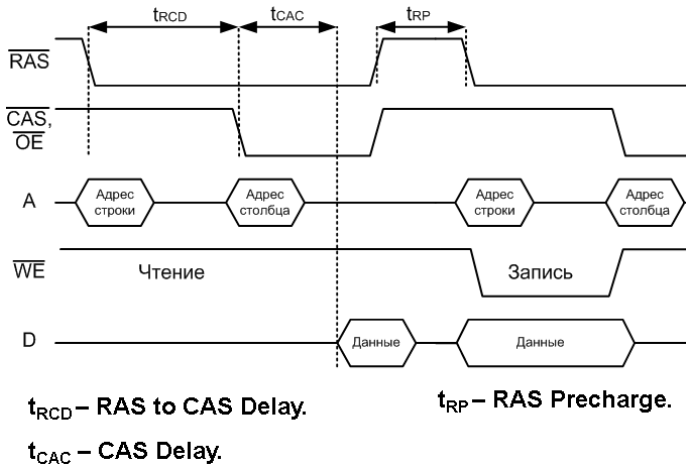
0.0.32. Контроллер динамической памяти



0.0.35. Процесс создания микросхем

- 1. Подготовка полупроводниковых пластин кремния:**
 - Резка
 - Шлифовка
 - Полировка
 - Химическое травление
- 2. Формирование на пластинах структуры микросхем:**
 - Формирование областей с требуемым типом проводимости и удельным сопротивлением
 - Создание проводников соединений
 - Создание резисторов и конденсаторов
- 3. Сборка и контроль**
 - Первичный групповой контроль
 - Разрезание на микросхемы
 - Установка в корпуса, монтаж выводов и герметизация
 - Индивидуальный контроль микросхем

0.0.36. Диаграмма работы DRAM памяти



Нанесение тонких пленок:

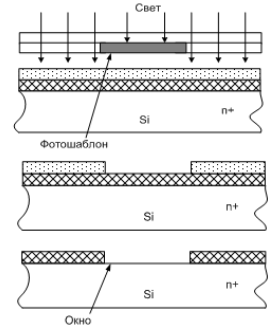
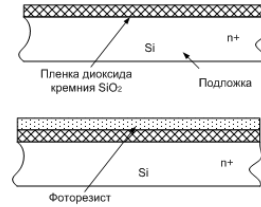
процесс создания проводников соединений, резисторов, конденсаторов и изоляции между элементами и проводниками.

Металлизация:

нанесение на кремниевую пластину сплошной металлической пленки

Фотолитография:

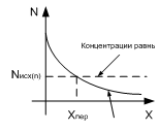
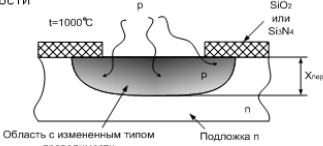
процесс формирования отверстий в масках, создаваемых на поверхности пластины, предназначенных для легирования, травления, окисления, напыления и других операций.



0.0.37. Основные технологические процессы для создания полупроводниковых микросхем

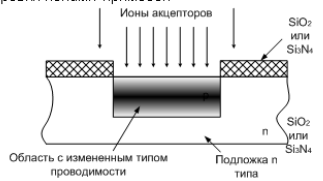
Термическая диффузия примесей:

внедрение атомов легирующего элемента в кристаллическую решетку полупроводника для образования области с противоположным по отношению к исходному материалу типом проводимости

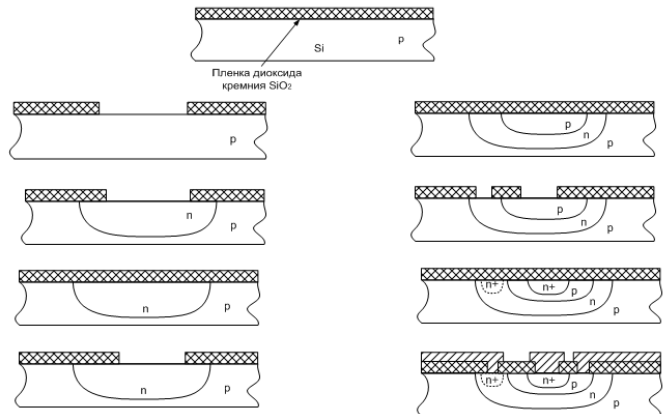


Ионное легирование:

внедрение примесей в поверхностный слой пластины или эпитаксиальной пленки путем бомбардировки ионами примесей

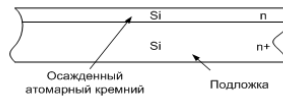


Последовательность формирования диффузионно-планарной структуры



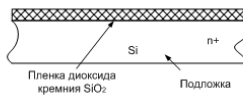
Эпитаксия:

процесс осаждения атомарного кремния на монокристаллическую кремниевую пластину, при котором получают пленку, продолжающую структуру пластины



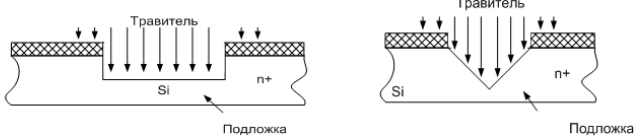
Термическое окисление:

процесс, позволяющий получить на поверхности кремниевых пластин пленку диоксида кремния.

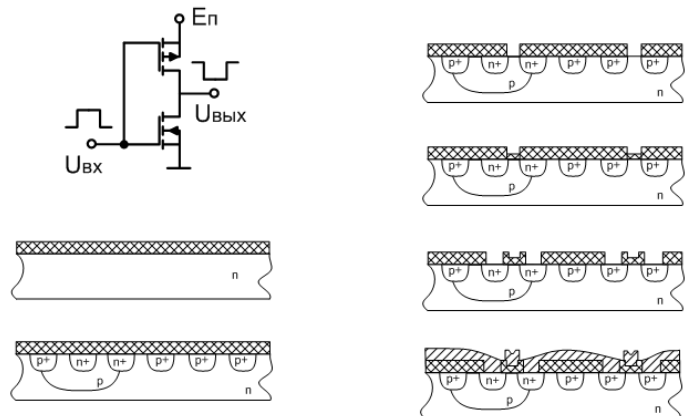


Травление:

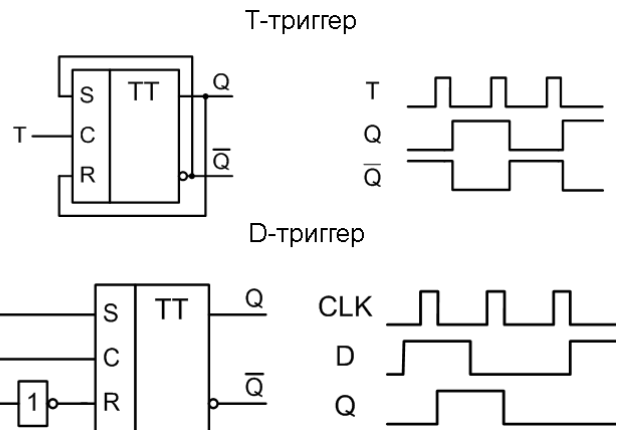
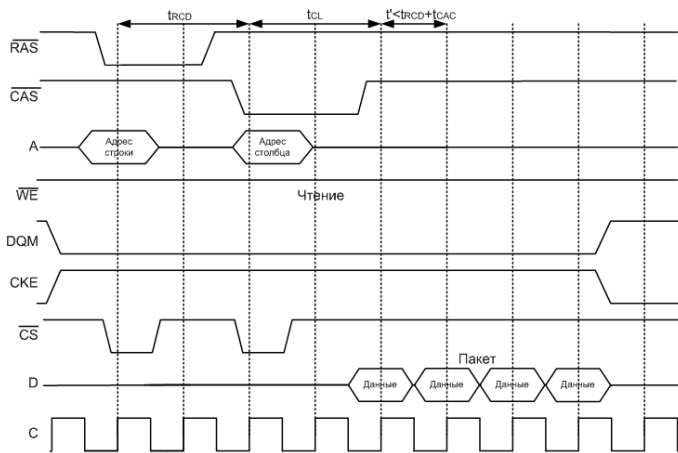
процесс удаления поверхностного слоя не механическим, а химическим путем



Последовательность формирования КМДП структуры



0.0.38. Диаграмма работы SDRAM памяти



0.0.39. Триггеры: RS-триггер, T-триггер, D-триггер, JK-триггер

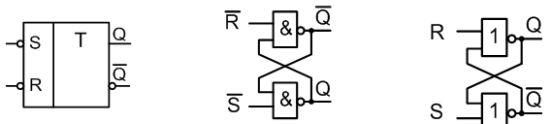
Триггеры

Триггер – логический элемент, который может находиться в одном из двух устойчивых состояний.

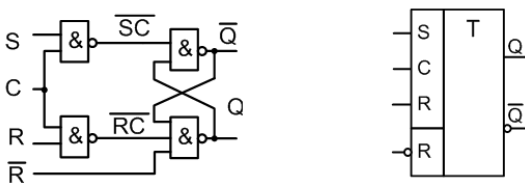
- S, J – входы установки триггера в «1».
- R, K – входы установки триггера в «0».
- T – счетный вход триггера.
- D – информационный вход триггера D
- C – вход синхронизации
- Q – прямой выход триггера
- Q̄ – инверсный выход триггера

- Триггеры
- по логике: RS, D, T, JK
- по способу приема: Асинхронные, Синхронные, Одноступенчатые, Двухступенчатые

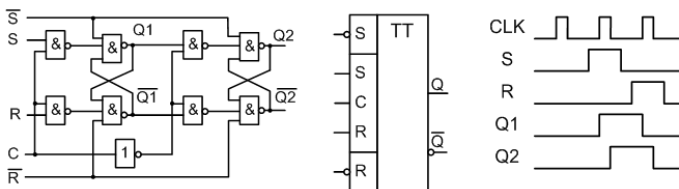
Одноступенчатый асинхронный RS-триггер



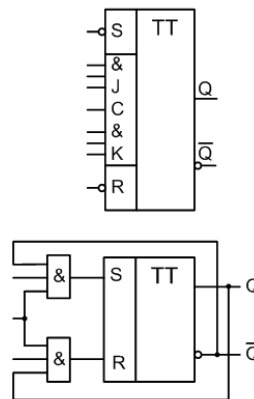
Одноступенчатый синхронный RS-триггер



Двухступенчатый синхронный RS-триггер

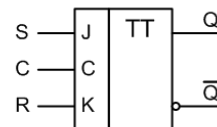


JK-триггер

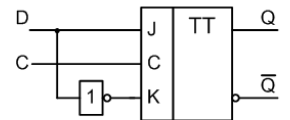


J(t)	K(t)	Q(t+1)	Режим
0	0	Q(t)	Хранение
0	1	0	Установка «0»
1	0	1	Установка «1»
1	1	Q̄(t)	Инверсия

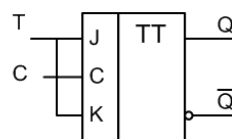
RS-триггер на основе JK-триггера



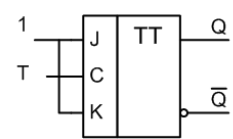
D-триггер на основе JK-триггера



Синхронный T-триггер на основе JK-триггера

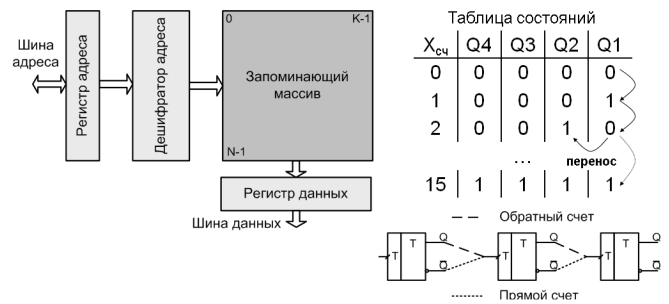


Асинхронный T-триггер на основе JK-триггера



0.0.40. Способы повышения производительности RAM

- Синхронизация
- Конвейеризация
- Пакетный режим обмена
- Ускорение реверса шины
- Чередование банков при обращении по последовательным адресам
- Удвоение скорости

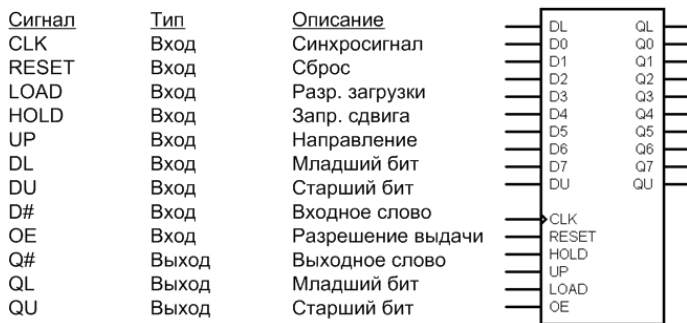


0.0.41. Регистры

Регистром называется устройство, предназначенное для запоминания слова, а также для выполнения над словом некоторых логических преобразований. Операции, выполняемые регистром:

- Сброс (установка в 0)
- Прием слова (запись)
- Выдача слова (чтение)
- Сдвиг слова (сдвиг вправо, влево, циклический сдвиг)
- Преобразование параллельного кода в последовательный
- Поразрядные логические операции

Условное обозначение универсального регистра



Счетчик с последовательным переносом

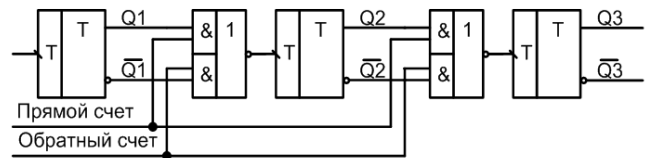


Диаграмма работы (прямой счет)

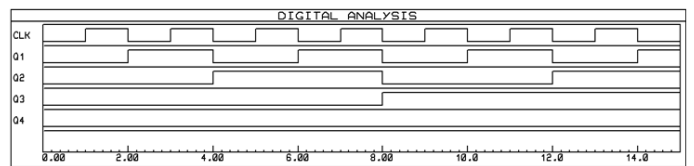
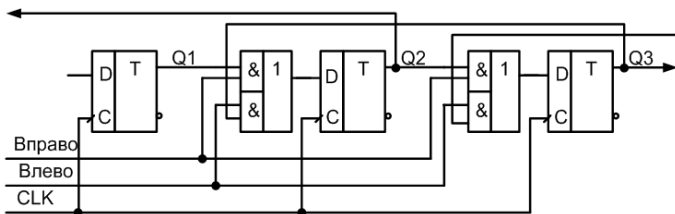


Схема сдвигового регистра



0.0.42. Структура ПЗУ (ROM) (слева)

0.0.43. Счетчики (справа и далее)

Счетчиком называется узел ЭВМ, предназначенный для подсчета входных сигналов.

Модуль счета: число возможных состояний счетчика. Классификация счетчиков.

По способу счета: суммирующие, вычитающие, реверсивные.

По модулю счета: двоичные, десятичные, ...

По способу распространения переноса: с параллельным переносом, с последовательным переносом, с групповой структурой.

По способу синхронизации: асинхронные, синхронные.

По режиму работы: для подсчета входных сигналов, для деления частоты.

Счетчик с параллельным переносом

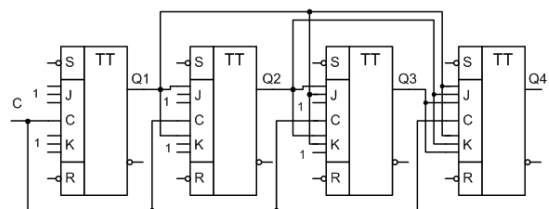
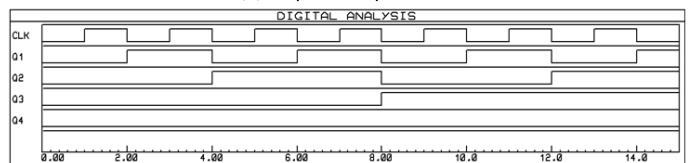


Диаграмма работы



0.0.44. Методы повышения надежности ЗУ

Контроль по четности/нечетности

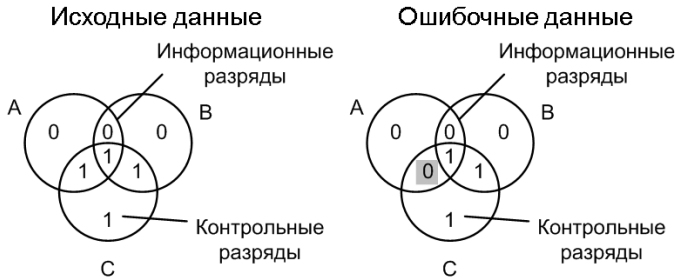
$$P_q = d_0 \oplus d_1 \oplus d_2 \oplus d_3 \oplus d_4 \oplus d_5 \oplus d_6 \oplus d_7, P_n = \bar{P}_q$$

Пример: D = 10010100, количество единиц = 3,

$$P_q = d_0 \oplus d_1 \oplus d_2 \oplus d_3 \oplus d_4 \oplus d_5 \oplus d_6 \oplus d_7 = 1, P_n = \bar{P}_q = 0$$

При чтении новое P' сравнивается P и если $P' \oplus P = 1$, то обнаружена ошибка.

Код Хэмминга



$P'_A=1, P'_B=0, P'_C=0 \Rightarrow$ Нарушен информационный бит A/B/C

Результат проверок по коду Хэмминга – синдром: $S = \{p_1 \oplus p'_1, p_2 \oplus p'_2, p_3 \oplus p'_3\}$. Код Хэмминга позволяет обнаружить и исправить единичную ошибку и обнаружить двойную.

- Если $S = 0$, то ошибок не обнаружено
- Если в синдроме одна единица, то ошибка в одном корректирующем разряде (не исправляется)
- Если в синдроме несколько единиц, то он указывает на ошибочный информационный разряд
- При добавлении общего контрольного разряда ($p = d_0 \oplus d_1 \oplus d_2 \oplus d_3 \oplus p_1 \oplus p_2$) (не исправляется)

Пример для 4-х разрядных информационных слов

Корректирующие разряды размещены в позициях 2^i и контролируют разряды с двоичным номером, содержащим 2^i .

P	d3	d2	d1	p2	d0	p1	p0
---	----	----	----	----	----	----	----

8 7 6 5 4 3 2 1

Исходное слово

0	0	1	0	1	1	0	1
---	---	---	---	---	---	---	---

8 7 6 5 4 3 2 1

Ошибочное слово

0	0	1	0	1	0	0	1
---	---	---	---	---	---	---	---

8 7 6 5 4 3 2 1

Синдром: $S = \{p_0 \oplus p'_0, p_1 \oplus p'_1, p_2 \oplus p'_2\} = 011_2 = 3_{10}$

$$p_0 = d_0 \oplus d_1 \oplus d_3,$$

$$p_1 = d_0 \oplus d_2 \oplus d_3,$$

$$p_2 = d_1 \oplus d_2 \oplus d_3$$

$$p_0 = d_0 \oplus d_1 \oplus d_3 = 1,$$

$$p_1 = d_0 \oplus d_2 \oplus d_3 = 0,$$

$$p_2 = d_1 \oplus d_2 \oplus d_3 = 1$$

$$p'_0 = d_0 \oplus d_1 \oplus d_3 = 0,$$

$$p'_1 = d_0 \oplus d_2 \oplus d_3 = 1,$$

$$p'_2 = d_1 \oplus d_2 \oplus d_3 = 1$$

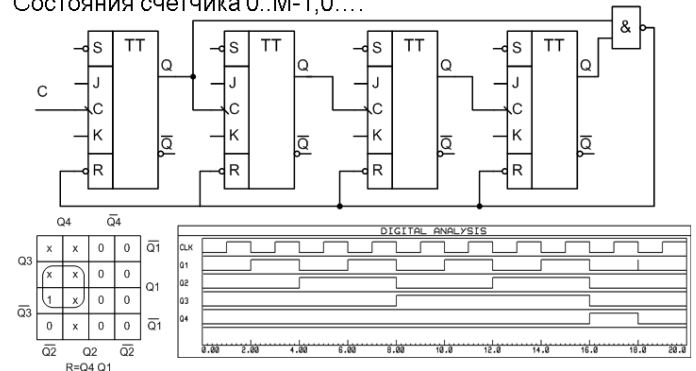
0.0.45. Методы построение счетчиков с произвольным модулем счета

Построение счетчиков с произвольным модулем счета

Метод управляемого сброса

Построить счетчик с модулем счета M=9.

Состояния счетчика 0..M-1, 0...



Метод модификации связей

Построить счетчик с модулем счета M=7.

Состояния счетчика 0,2,3..7,0,2... (состояние «1» пропущено).

Таблица функционирования счетчика

Q(t)	Q(t+1)	Функции возбуждения					
		J2	K2	J1	K1	J0	K0
000	010	0	x	1	x	0	x
010	011	0	x	x	0	1	x
011	100	1	x	x	1	x	1
100	101	x	0	0	x	1	x
101	110	x	0	1	x	x	1
110	111	x	0	x	0	1	x
111	000	x	1	x	1	x	1

Минимизация функций возбуждения

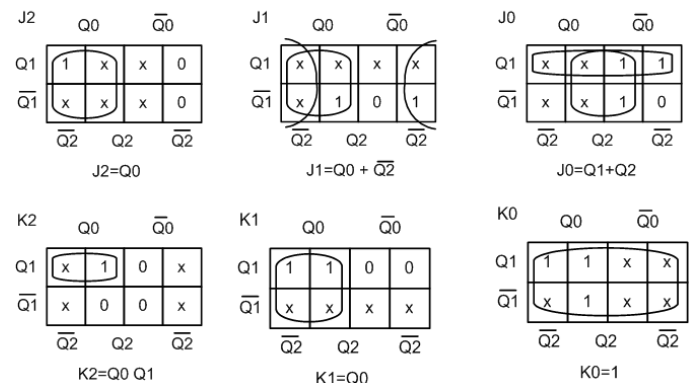
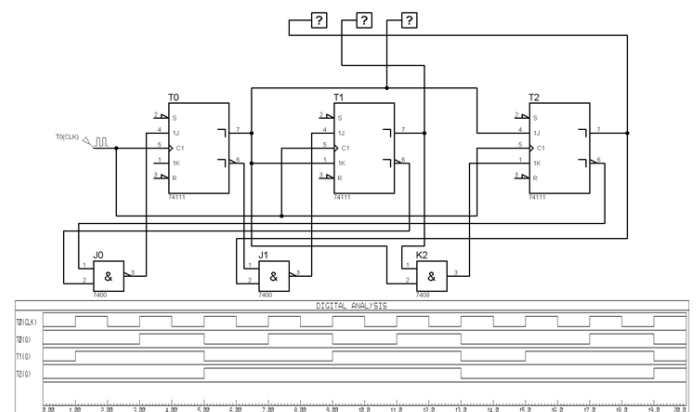


Схема счетчика

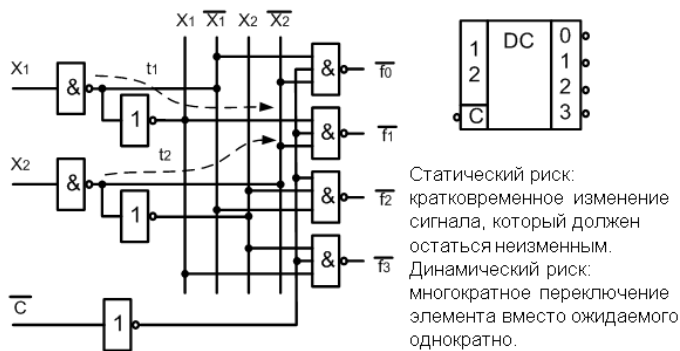


0.0.46. Характеристики, влияющие на эффективность кэш-памяти

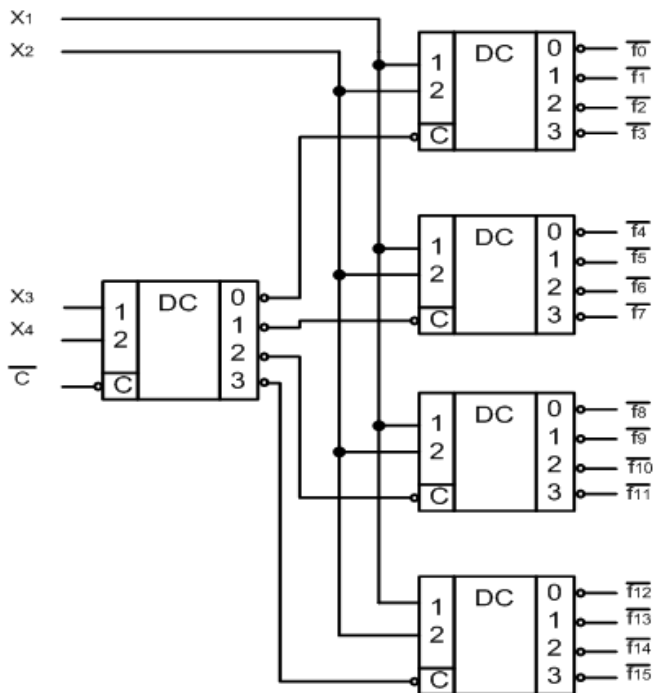
- емкость кэша
- размер строки кэша – блок информации, который отображается за 1 операцию обмена между ОП и кэшем
- способ отображения ОП на кэш-память
- алгоритм замещения информации в заполненной кэш-памяти
- алгоритм согласования содержимого ОП и кэша
- число уровней кэш-памяти

0.0.47. Дешифраторы

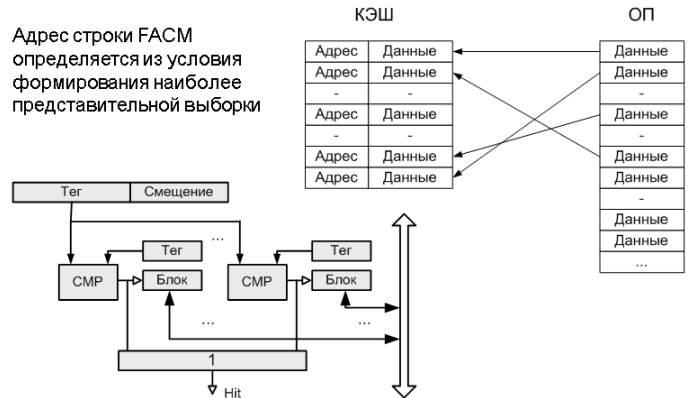
Дешифратором называется комбинационная схема, преобразующая код, подаваемый на входы, в сигнал на одном из выходов.



Нарастание размерности дешифратора



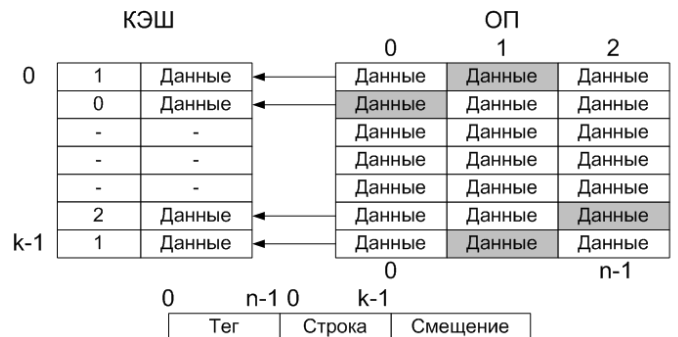
Произвольная загрузка (Fully associated cache memory, FACM).



0.0.48. Кэш с произвольной загрузкой и прямым размещением

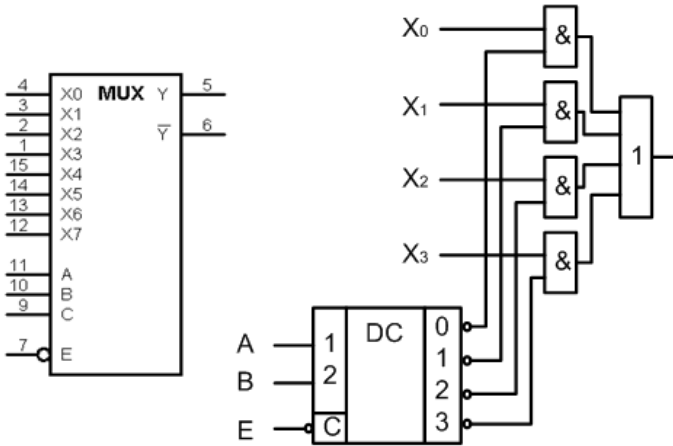
Прямое размещение.

Адрес строки однозначно определяется по тегу ($i = t \text{ mod } k$).

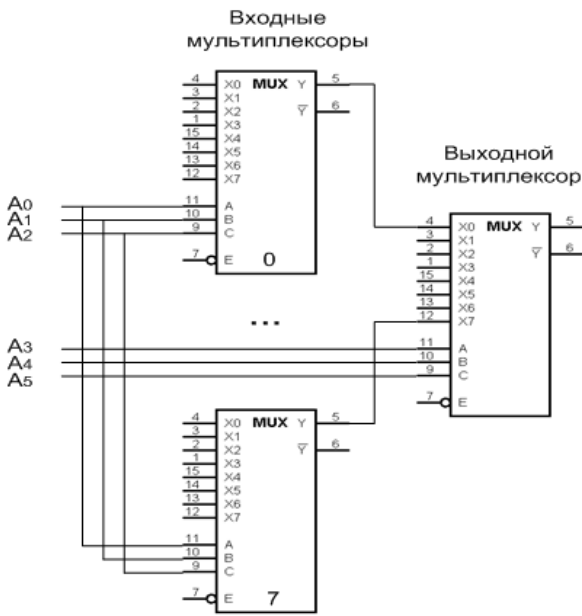


0.0.49. Мультиплексоры

Мультиплексором называется комбинационная схема, осуществляющая передачу сигнала с одной из входных информационных линий на выход.

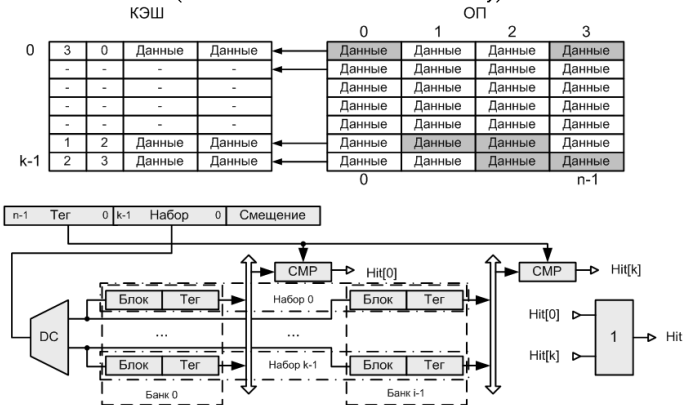


Наращивание размерности



0.0.50. Наборно-ассоциативный кэш

Наборно-ассоциативная кэш-память (Set associated cache memory)



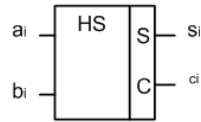
0.0.51. Сумматоры

Сумматором называется узел ЭВМ, выполняющий арифметическое сложение кодов чисел.

$$S_i = a_i \bar{b}_i \bar{c}_{i-1} \cup \bar{a}_i b_i \bar{c}_{i-1} \cup a_i b_i c_{i-1} \cup \bar{a}_i \bar{b}_i c_{i-1}$$

$$c_i = a_i b_i c_{i-1} \cup \bar{a}_i b_i c_{i-1} \cup a_i \bar{b}_i c_{i-1} \cup \bar{a}_i \bar{b}_i c_{i-1} = a_i b_i c_{i-1} \cup \bar{a}_i b_i c_{i-1} \cup a_i \bar{b}_i c_{i-1} \cup \bar{a}_i \bar{b}_i c_{i-1}$$

Полусумматор выполняет арифметическое сложение кодов двух чисел.



Сумматор выполняет арифметическое сложение кодов двух чисел с учетом переноса в младший разряд.

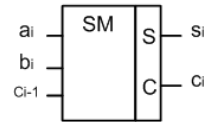


Схема одноразрядного сумматора

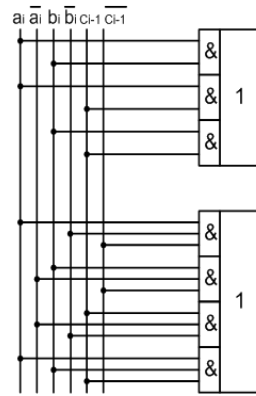


Схема параллельного сумматора с последовательным переносом

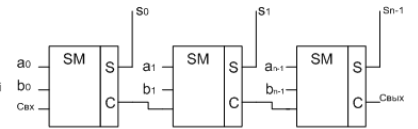


Схема параллельного сумматора с параллельным переносом

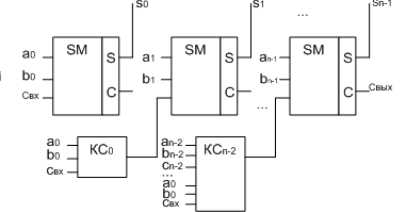


Схема сумматора с условным переносом

