

Работа №3. ИССЛЕДОВАНИЕ ДЕШИФРАТОРОВ

Цель работы: изучение принципов построения и методов синтеза дешифраторов; макетирование и экспериментальное исследование дешифраторов.

В процессе самостоятельной подготовки к работе необходимо ознакомиться с теоретическими сведениями и подготовить по каждому пункту раздела «задание и порядок выполнения работы» расчетные и теоретические материалы, выполнить синтез десятичного дешифратора и составить схемы исследуемых дешифраторов. Перед началом работы необходимо предъявить преподавателю рабочие материалы для их проверки и обсуждения. После выполнения работы каждый студент обязан представить преподавателю аккуратно оформленный отчет.

Продолжительность работы – 4ч.

ТЕОРЕТИЧЕСКИЕ СВЕДЕНИЯ

Дешифратором называется комбинационный узел с n входами и N выходами, преобразующий каждый набор двоичных входных сигналов в активный сигнал на выходе, соответствующий этому набору.

Количество выходов дешифратора равно числу разрешенных наборов входных сигналов. В дешифраторе с n входами и N выходами $N \leq 2^n$. Дешифратор, имеющий 2^n выходов, называется полным, при меньшем числе выходов - неполным. Наборам двоичных входных сигналов дешифратора можно поставить в соответствие n -разрядные двоичные числа. Если выходы дешифратора обозначить F_j ($j = 0, 2^n - 1$), то активный сигнал появится на том выходе, у которого значение индекса j , т.е. номер выхода, равно двоичному числу, образованному набором входных сигналов. Таким образом, дешифратор расшифровывает поданный на его входы двоичный код числа и формирует активный сигнал только на соответствующем выходе, на всех остальных выходах дешифратора сигналы неактивные. Поэтому дешифратор является преобразователем двоичного кода в код «1 из N ». Дешифратор с n входами и N выходами обозначается DC n - N , где DC –decoder.

В ЭВМ дешифраторы применяются для преобразования кодов операций в управляющие сигналы в соответствующие цепи, для преобразования адресов ячеек памяти в сигналы выбора ячеек при записи и считывании информации из них, для преобразования номеров (т.е. адресов) каналов в многоканальных коммутаторах электрических сигналов в сигналы выбора каналов, для управления световыми индикаторами и т.д.

Функционирование дешифратора DC n - N определяется таблицей истинности (табл. 1).

Таблица истинности дешифратора DC n - N

Таблица 1

Входы							Выходы					
EN	A_{n-1}	A_{n-2}	A_{n-3}	...	A_1	A_0	F_0	F_1	F_2	...	F_{N-2}	F_{N-1}

Параметры дешифратора. К основным параметрам дешифратора относятся:

- количество входов, определяемое разрядностью преобразуемого двоичного слова,
- количество выходов,
- статические параметры, такие как входные и выходные токи и напряжения логических “0” и “1”, напряжения допустимых статических помех $U_{ПOM}^0, U_{ПOM}^1$, коэффициент разветвления по выходу $K_{раз}$ и др., которые определяются аналогичными параметрами логических элементов, на которых он строится,
- потребляемая мощность $P_{пот}$ (или ток $I_{пот}$),
- динамические параметры: времена задержки распространения сигнала при включении и выключении $t_{зд.р}^{1,0}$ и $t_{зд.р}^{0,1}$, характеризующие быстродействие дешифратора.

Быстродействие и потребляемая мощность зависят как от используемой элементной базы, так и от функциональной схемы дешифратора, определяемой способом его построения и количеством выходов.

Схемы построения дешифратора. По способу построения дешифраторы разделяют на линейные и каскадные. Разновидностями последних являются пирамидальные и ступенчатые дешифраторы.

Линейный дешифратор строится в соответствии с системой функцией (1) и представляет собой 2^n конъюнкторов или логических элементов (ЛЭ) ИЛИ-НЕ с n-входами каждый при отсутствии стробирования и с (n+1) входами - при его наличии. Линейный дешифратор на три входа работает в соответствии с таблицей истинности (табл. 2)

Таблица 2

Таблица истинности дешифратора DC 3-8

Входы				Выходы							
EN	A ₂	A ₁	A ₀	F ₀	F ₁	F ₂	F ₃	F ₄	F ₅	F ₆	F ₇
0	×	×	×	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	0	0	0	0
1	0	0	1	0	1	0	0	0	0	0	0
1	0	1	0	0	0	1	0	0	0	0	0
1	0	1	1	0	0	0	1	0	0	0	0
1	1	0	0	0	0	0	0	1	0	0	0
1	1	0	1	0	0	0	0	0	1	0	0
1	1	1	0	0	0	0	0	0	0	1	0
1	1	1	1	0	0	0	0	0	0	0	1

и реализует логические функции:

$$F_0 = EN \cdot \overline{A_2} \cdot \overline{A_1} \cdot \overline{A_0} = \overline{EN \vee A_2 \vee A_1 \vee A_0},$$

$$F_1 = EN \cdot \overline{A_2} \cdot \overline{A_1} \cdot A_0 = \overline{EN \vee A_2 \vee A_1 \vee \overline{A_0}},$$

$$F_2 = EN \cdot \overline{A_2} \cdot A_1 \cdot \overline{A_0} = \overline{EN \vee A_2 \vee \overline{A_1} \vee A_0},$$

$$\begin{aligned}
 F_3 &= EN \cdot \overline{A_2} \cdot A_1 \cdot A_0 = \overline{\overline{EN} \vee A_2 \vee \overline{A_1} \vee \overline{A_0}}, \\
 F_4 &= EN \cdot A_2 \cdot \overline{A_1} \cdot \overline{A_0} = \overline{\overline{EN} \vee A_2 \vee A_1 \vee A_0}, \\
 F_5 &= EN \cdot A_2 \cdot \overline{A_1} \cdot A_0 = \overline{\overline{EN} \vee A_2 \vee A_1 \vee \overline{A_0}}, \\
 F_6 &= EN \cdot A_2 \cdot A_1 \cdot \overline{A_0} = \overline{\overline{EN} \vee A_2 \vee A_1 \vee A_0}, \\
 F_7 &= EN \cdot A_2 \cdot A_1 \cdot A_0 = \overline{\overline{EN} \vee A_2 \vee \overline{A_1} \vee \overline{A_0}},
 \end{aligned}
 \tag{3}$$

или

$$F_j = ENm_j = \overline{\overline{EN} \vee M_j}, \quad j = \overline{0,7}$$

Электрическая функциональная схема и условное графическое изображение (УГО) дешифратора приведены соответственно на рис. 1,а,б.

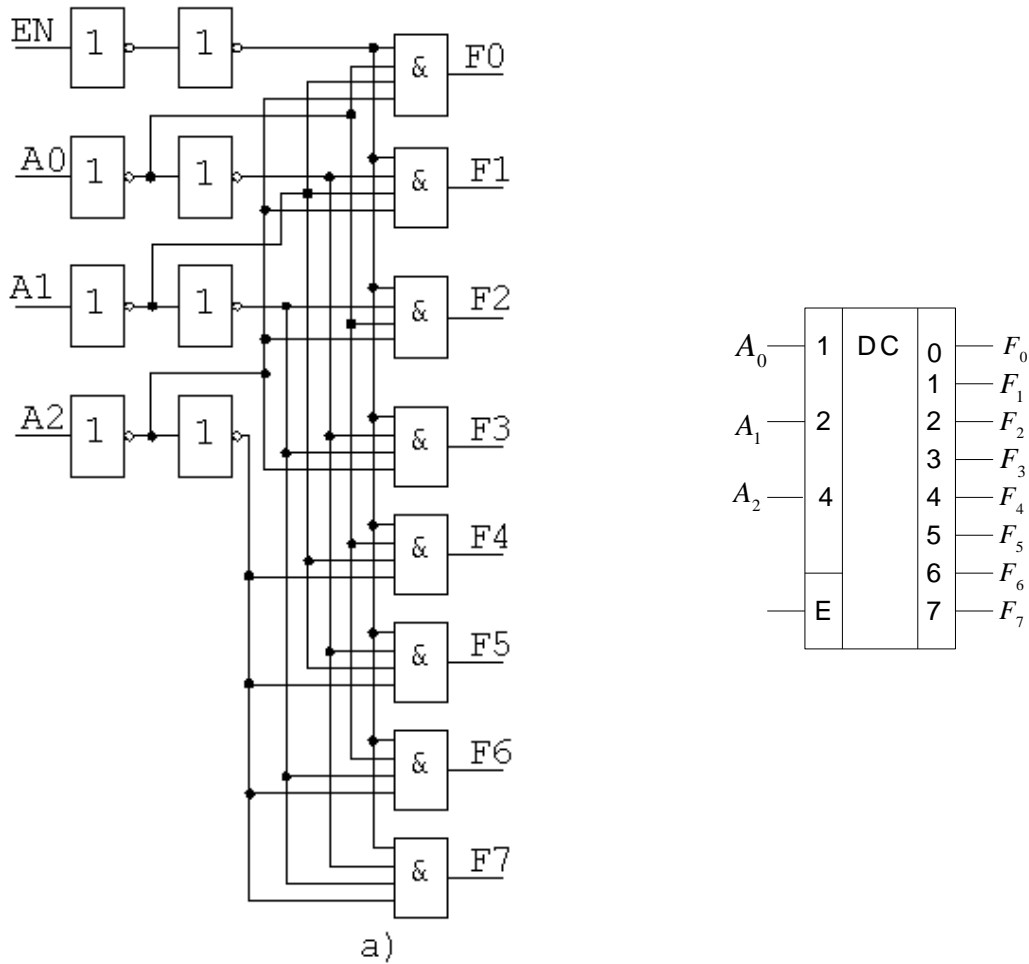


Рис. 1

В данном дешифраторе каждый набор входных сигналов преобразуется в сигнал 1 на соответствующем выходе. При этом на остальных выходах действуют сигналы 0. Такой дешифратор называется дешифратором с прямыми выходами.

Входные инверторы (рис.1,а) включены в схему для того, чтобы каждый вход дешифратора являлся единичной нагрузкой для источника входного сигнала.

На выходе 0 (рис.1, а,б) активный уровень сигнала 1 формируется только при входном наборе $A_2A_1A_0 = 000$, на всех остальных выходах в это время сигналы 0; на выходе 1 сигнал 1 формируется только при входном наборе $A_2A_1A_0 = 001$, на всех остальных выходах – сигналы 0 и т.д.

Электрическая функциональная схема и условное графическое изображение (УГО) дешифратора приведены соответственно на рис. 1,а,б.

В данном дешифраторе каждый набор входных сигналов преобразуется в сигнал 1 на соответствующем выходе. При этом на остальных выходах действуют сигналы 0. Такой дешифратор называется дешифратором с прямыми выходами.

Входные инверторы (рис.1,а) включены в схему для того, чтобы каждый вход дешифратора являлся единичной нагрузкой для источника входного сигнала.

На выходе 0 (рис.1, а,б) активный уровень сигнала 1 формируется только при входном наборе $A_2A_1A_0 = 000$, на всех остальных выходах в это время сигналы 0; на выходе 1 сигнал 1 формируется только при входном наборе $A_2A_1A_0 = 001$, на всех остальных выходах – сигналы 0 и т.д.

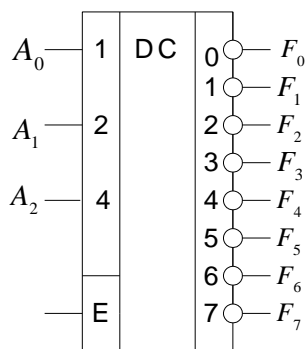
При построении дешифратора на элементах И-НЕ реализуется система функций:

$$\begin{array}{ll}
 \overline{F_0} = \overline{A_2 A_1 A_0} & \overline{F_4} = \overline{A_2 A_1 A_0} \\
 \overline{F_1} = \overline{A_2 A_1 A_0} & \overline{F_5} = \overline{A_2 A_1 A_0} \\
 \overline{F_2} = \overline{A_2 A_1 A_0} & \overline{F_6} = \overline{A_2 A_1 A_0} \\
 \overline{F_3} = \overline{A_2 A_1 A_0} & \overline{F_7} = \overline{A_2 A_1 A_0}
 \end{array} \quad (4)$$

или

$$F_j = \overline{EN \cdot m_j} = \overline{EN} \vee \overline{m_j}, \quad j = \overline{0,7}. \quad (5)$$

Такой дешифратор называется дешифратором с инверсными выходами. Его обозначение показано на рис. 2. На выходах дешифратора формируются инверсии функций F_j , т.е. активным уровнем выхода будет низкий уровень сигнала.



В соответствии с ГОСТ 2.743-91 входы дешифратора (их называют также адресными, т.к. дешифратор расшифровывает код номера, т.е. адрес устройства или ячейки памяти и т.д.) отмечают или порядковыми номерами $0,1,2,\dots, n-1$, или весами двоичных разрядов входного числа, т.е. $1,2,4,8,\dots,2^{n-1}$, выходы- номерами $0,1,2,\dots, 2^n-1$ входных наборов сигналов, активизирующих данные выходы.

В линейном дешифраторе время задержки распространения сигнала от адресного или стробирующего входов до выхода равно времени задержки распространения сигнала в цепи последовательно включенных элемента И (И-НЕ) и инверторов :

Рис. 2

$$t_{зд.п.сп} = 2t_{зд.п.сп1} + t_{зд.п.сп2}$$

где $t_{зд.р.ср1}$, $t_{зд.р.ср2}$ - среднее время задержки распространения сигнала в инверторе и конъюнкторе соответственно.

Временная диаграмма, поясняющая работу дешифратора DC 3-8 приведена на рис. 3.

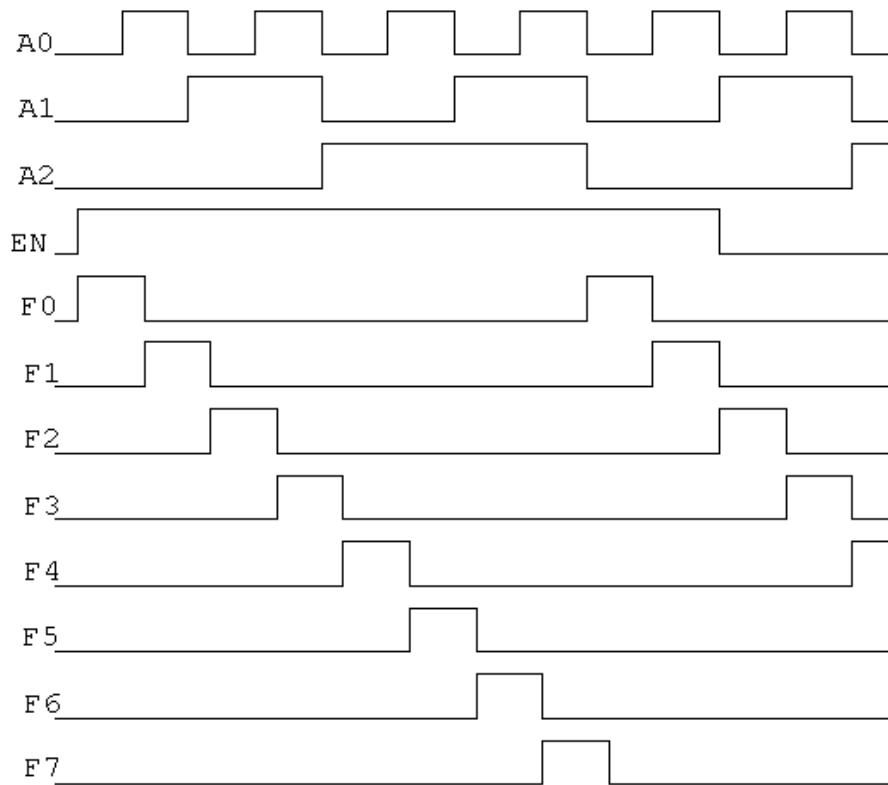
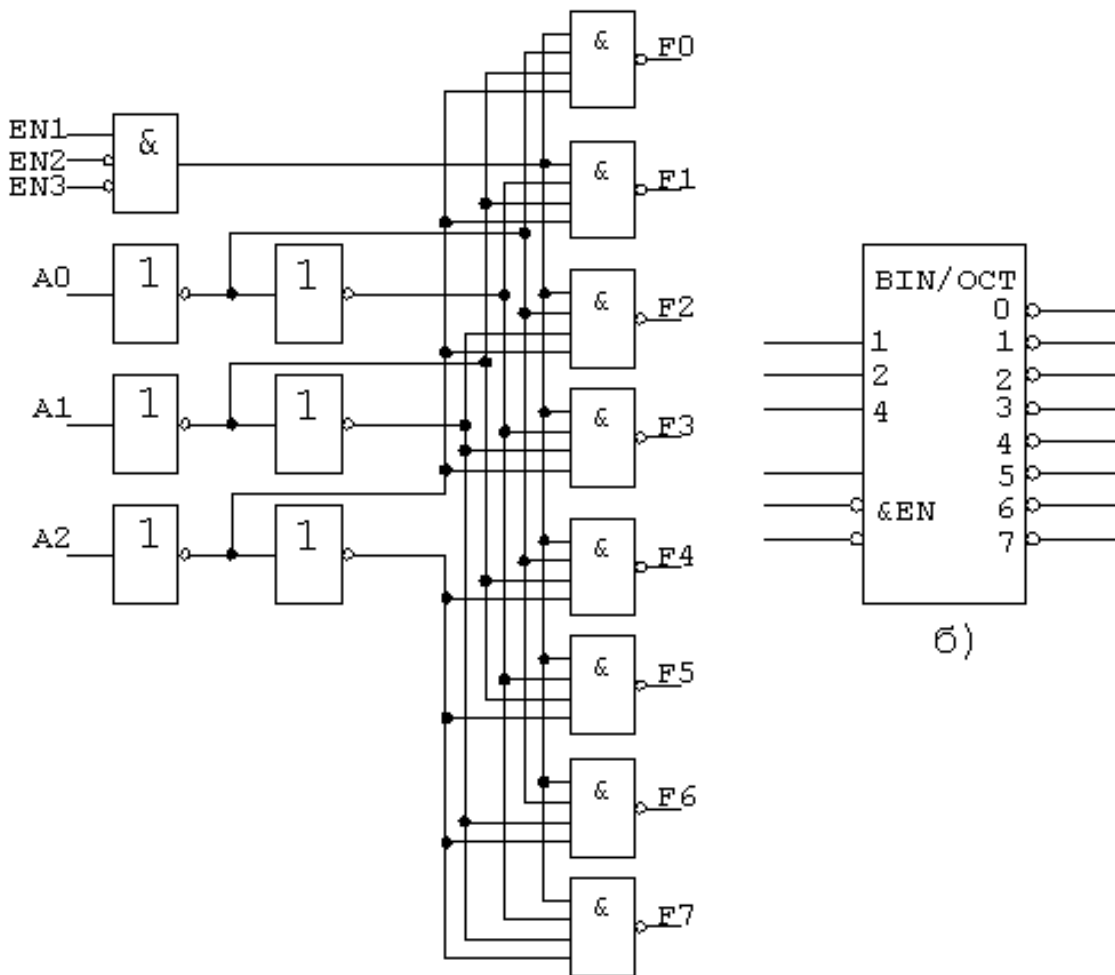


Рис.3

Дешифраторы, выпускаемые в интегральном исполнении в виде отдельных интегральных схем (ИС) средней степени интеграции серий общего назначения, строятся как линейные дешифраторы, имеющие 2, 3 или 4 адресных входа. Часто микросхемы дешифраторов имеют несколько входов разрешения, сами входы могут быть как прямыми, так и инверсными, а разрешающей функцией является их конъюнкция. Например, дешифратор ИМС ТТЛШ К555ИД7 или КР1533ИД7 имеет один прямой и два инверсных входа разрешения, объединенные между собой конъюнктивно:

$$EN = EN_1 \cdot \overline{EN_2} \cdot \overline{EN_3}.$$

Схема и УГО дешифратора DC 3-8 ИС К555ИД7 приведены на рис. 4, а и б соответственно, а выходные функции равны: $F_j = EN_1 \cdot \overline{EN_2} \cdot \overline{EN_3} \cdot m_j$, $j = \overline{0,7}$.



а)
Рис. 4

Пирамидальный дешифратор. Строится на основе последовательной (каскадной) реализации выходных функций.

На первом этапе реализуются конъюнкции двух переменных:



На втором – все конъюнкции трех переменных путем логического умножения каждой ранее полученной конъюнкции двух переменных на переменную $A_2(A_2)$:



На третьем этапе каждую из полученных выше конъюнкций трех переменных умножают на $A_3(A_3)$ и т.д. Таким образом, на каждом следующем этапе получают вдвое больше конъюнкций, чем на предыдущем.

Пирамидальные дешифраторы независимо от числа их входов строятся на основе только двухвходовых конъюнкторов.

Функциональная схема пирамидального дешифратора для $n=3$ приведена на рис. 5.

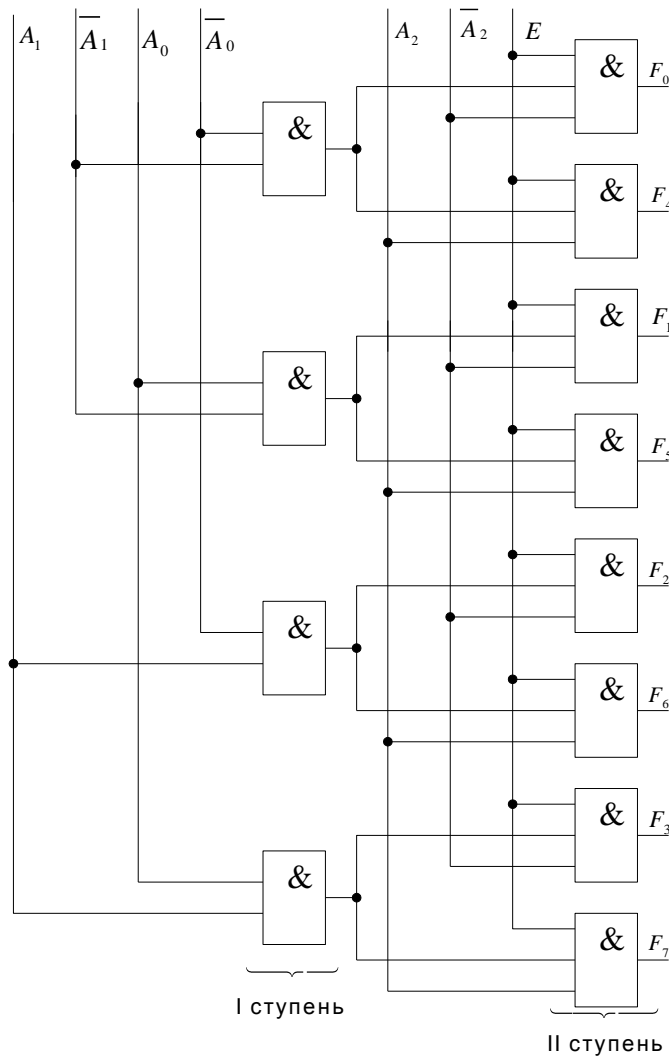


Рис. 5

Число каскадов пирамидального дешифратора равно $n - 1$, время задержки распространения сигналов в дешифраторе увеличивается пропорционально числу каскадов (ступеней). Поэтому в настоящее время пирамидальные дешифраторы не применяются. Однако принцип наращивания развит и используется в каскадной схеме соединения дешифраторов. В каждом каскаде происходит наращивание не на один адресный разряд как в пирамидальном дешифраторе, а на несколько, число которых равно числу адресных разрядов простого дешифратора, на основе которого строится дешифратор с необходимым числом адресных входов, который назовем сложным дешифратором. При наращивании используются входы разрешения простых дешифраторов.

Принцип наращивания числа адресных входов дешифратора. Пусть для построения сложного дешифратора DC $n-N$ используются простые дешифраторы DC n_1-N_1 , причем $n_1 \ll n$, следовательно и $N_1 \ll N$.

1. Число каскадов равно $K = n/n_1$. Если K – целое число, то во всех каскадах используются полные дешифраторы DC n_1-N_1 . Если K – правильная или смешанная дробь, то во входном каскаде используется неполный дешифратор DC n_1-N_1 .

2. Количество простых дешифраторов DC n_1-N_1 в выходном каскаде равно N/N_1 , в предвыходном - N/N_1^2 , в предпредвыходном - N/N_1^3 и т.д.; во входном каскаде - N/N_1^k . Если N/N_1^k – правильная дробь, то это означает, что во входном каскаде используется неполный простой дешифратор.
3. В выходном каскаде дешифрируются n_1 младших разрядов адреса сложного дешифратора, в предвыходном – следующие n_1 младших разрядов адреса сложного дешифратора и т.д. Во входном каскаде дешифрируется полная или неполная группа старших разрядов адреса. Поэтому n_1 младших разрядов адреса сложного дешифратора подаются параллельно на адресные входы всех дешифраторов выходного каскада, следующие n_1 младших разрядов адреса – на адресные входы всех дешифраторов предвыходного каскада и т.д.; группа старших разрядов адреса подается на адресные входы дешифратора.
4. Выходы дешифраторов предвыходного каскада соединяются с входами разрешения простых дешифраторов выходного каскада, выходы дешифраторов предпредвыходного каскада – с входами разрешения простых дешифраторов предвыходного каскада и т.д.

Пример. Определить количество каскадов и число простых дешифраторов DC 2-4 в каждом каскаде сложного дешифратора DC 11-2048, т.е. $N=2048$, $n=11$, $N_1=4$, $n_1=2$.

Находим количество каскадов $K=n/n_1= \lceil 11/2 \rceil = 6$. Обратная квадратная скобка означает округление до большего целого числа. Число простых дешифраторов в каскадах: $K_6=N/N_1=2048:4=512$, $K_5=N/N_1^2=128$. Аналогично $K_4=32$, $K_3=8$, $K_2=2$, $K_1=0,5$. Во входном каскаде должен быть неполный дешифратор DC 2-4 и в данном случае DC 1-2, т.е. повторитель и инвертор старшего разряда адреса сложного дешифратора DC 11-2048.

На рис. 6 приведена схема дешифратора DC 4-16, построенная на дешифраторах DC 2-4 по выше изложенной методике.

Устранение гонок в дешифраторах. Вследствие переходных процессов и временных задержек сигналов в цепях логических элементов могут возникнуть так называемые гонки (состязания), приводящие к появлению ложных сигналов на выходах схемы. Основным средством, позволяющим исключить гонки, является стробирование (выделение из информационного сигнала той части, которая свободна от искажений, вызываемых гонками). На рис. 1 показан вход разрешения EN. Стробирующий сигнал на этом входе не должен быть активным во время переходных процессов в дешифраторе.

Стробирующий вход используется также для наращивания дешифратора. На рис. 7 приведена схема дешифратора DC 4-16, которая построена на двух дешифраторах DC 3-8. Дешифратор DC 3-8 имеет два инверсных входа, причем $EN = \overline{EN1} \cdot \overline{EN2}$. При этом один вход используется для наращивания дешифратора, а второй – для стробирования или разрешения.

Схемы на рис. 7 и рис. 8 иллюстрируют частный случай наращивания, когда во входном каскаде используется дешифратор DC 1-2, т.е. повторитель и инвертор адресного сигнала A_3 (рис. 7) или A_2 (рис. 8). В схеме на рис. 8 инвертор размещен внутри ИС К155ИД4.

ИС К155ИД4 – двоярный дешифратор с общими адресными входами 1 и 2. Первый дешифратор имеет прямой EN_1 и инверсный EN_2 входы разрешения, второй – два инверсных входа EN_3 и EN_4 .

При наращивании дешифратора объединенные входы разрешения E_1 и \overline{E}_3 являются адресным входом A_2 , а объединенные входы разрешения \overline{E}_2 и \overline{E}_4 – входом стробирования или разрешения (рис. 8).

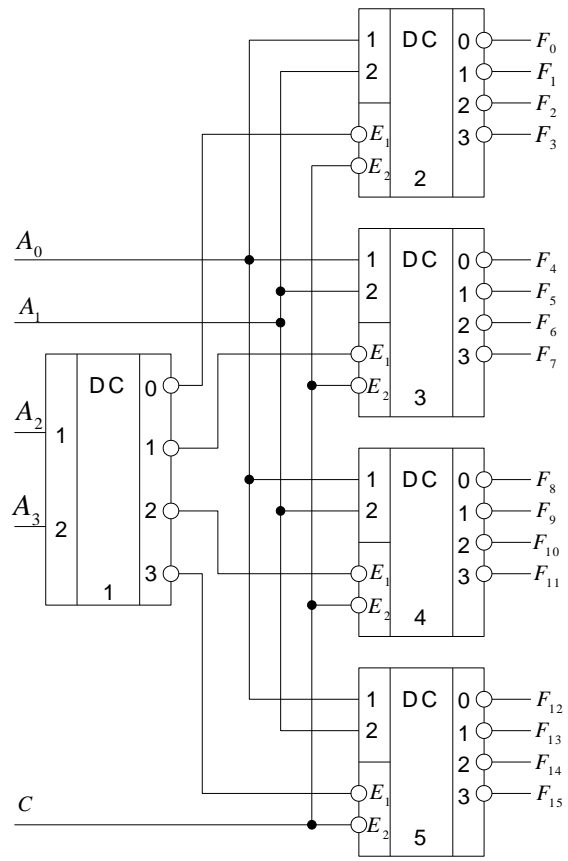


Рис. 6

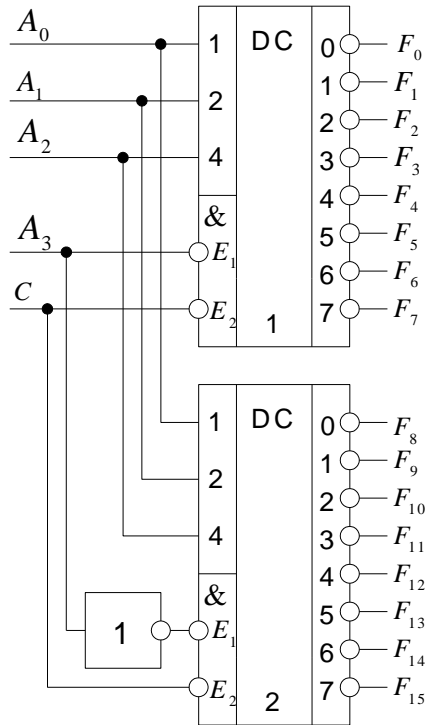


Рис. 7

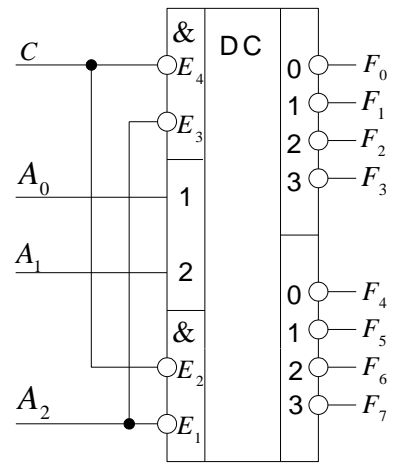


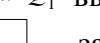
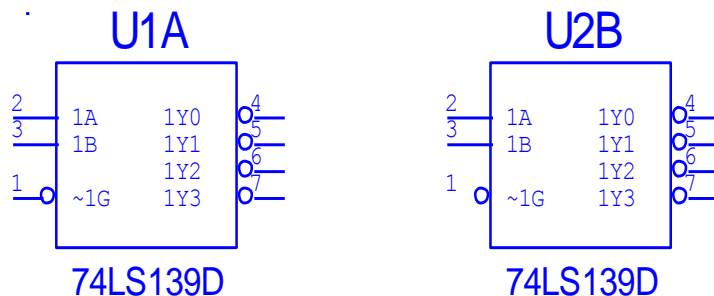


Рис. 8


Задание и порядок выполнения работы

1. Исследование линейного двухвходового дешифратора с инверсными выходами:
 - а) собрать линейный стробируемый дешифратор на элементах ЗИ-НЕ; наборы входных адресных сигналов A_0, A_1 задать в выходов Q_0, Q_1 четырехразрядного счетчика; подключить световые индикаторы к выходам счетчика и дешифратора;
 - б) подать на вход счетчика сигнал с выхода ключа (Switch) лог. 0 и 1 как генератора одиночных импульсов; изменяя состояние счетчика с помощью ключа, составить таблицу истинности нестробируемого дешифратора (т.е. при $EN=1$);
 - в) подать на вход счетчика сигнала  генератора и снять временные диаграммы сигналов дешифратора; временные диаграммы здесь и в дальнейшем наблюдать на логическом анализаторе;
 - г) определить амплитуду помех, вызванных гонками, на выходах дешифратора;
 - д) снять временные диаграммы сигналов стробируемого дешифратора; в качестве стробирующего сигнала использовать инверсный сигнал генератора , задержанный линией задержки логических элементов (повторителей и инверторов);
 - е) опередить время задержки, необходимое для исключения помех на выходах дешифратора, вызванных гонками.
2. Исследование дешифраторов ИС К155ИД4 (74LS155), рис. 8:
 - а) снять временные диаграммы сигналов двухвходового дешифратора, подавая на его адресные входы 1 и 2 сигналы Q_0 и Q_1 выходов счетчика, а на стробирующие входы \bar{E}_3 и \bar{E}_4 – импульсы генератора , задержанные линией задержки;
 - б) определить время задержки стробирующего сигнала, необходимое для исключения помех на выходах дешифратора;
 - в) собрать схему трехвходового дешифратора на основе дешифратора К155ИД4 (см. рис. 8), задавая входные сигналы A_0, A_1, A_2 с выходов Q_0, Q_1, Q_2 счетчика; снять временные диаграммы сигналов дешифратора и составить по ней таблицу истинности.
3. Исследование дешифраторов ИС КР531ИД14 (74LS139) аналогично п.2. ИС 74LS139 содержит два дешифратора DC 2-4 (U1A и U1B, см. рис. ниже) с отдельными адресными входами и разрешения. Входы разрешения – инверсные. Так как каждый дешифратор имеет один вход разрешения, то для образования двух инверсных входов необходимо перед входом разрешения включить двухвходовой ЛЭ. Чтобы на выходе ЛЭ получить функцию конъюнкции $\bar{EN}_1 \cdot \bar{EN}_2$, ЛЭ при наборе 00 входных сигналов должен формировать выходной сигнал 0, а на остальных наборах входных сигналов – 1.



4. Исследовать работоспособность дешифраторов ИС 533ИД7 (74LS138 – см. U3 на рис. ниже), рис. 4 и рис. 9:

а) снять временные диаграммы сигналов нестробируемого дешифратора DC 3-8 ИС 533ИД7, подавая на его адресные входы 1, 2, 4 сигналы Q_0 , Q_1 , Q_2 с выходов счетчика, а на входы разрешения E_1 , E_2 , E_3 – сигналы лог. 1, 0, 0 соответственно;

б) собрать схему дешифратора DC 5-32 согласно методике наращивания числа входов и снять временные диаграммы сигналов, подавая на его адресные входы сигналы Q_0 , Q_1 , Q_2 , Q_3 , Q_4 с выходов 5-разрядного счетчика, а на входы разрешения – импульсы генератора , задержанные линией задержки макета.

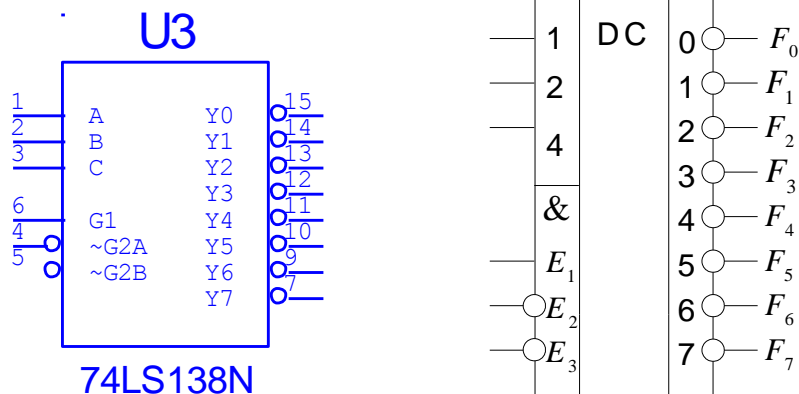


Рис. 9

5. Составить отчет

Требования к отчету

Отчет должен содержать электрические функциональные схемы, таблицы истинности, временные диаграммы сигналов исследуемых дешифраторов, результаты измерений параметров выходных сигналов дешифраторов.

Контрольные вопросы

1. Что называется дешифратором?
2. Какой дешифратор называется полным (неполным)?
3. Определите закон функционирования дешифратора аналитически и таблично.
4. Поясните основные способы построения дешифраторов.
5. Что называется гонками и как устраняются ложные сигналы, вызванные гонками?
6. Каковы способы наращивания дешифраторов по количеству входов и выходов и как они реализуются схемотехнически?