

Семинар 1

Проектирование ЦУ на основе ПЛИС

План семинара

- Преимущества выбора элементной базы ПЛИС при проектировании
- Различия между проектированием СБИС и ПЛИС
- Преимущества и недостатки аппаратных проектов для технологий микропроцессоров и ПЛИС
- Маршрут проектирования на ПЛИС
- САПР: Altera Quartus и Xilinx ISE.

Основные модули:

- Ввод описаний
 - Верификация
 - Синтез
 - Оптимизация после синтеза
 - Размещение и разводка
 - Контроль результатов проектирования
- Демонстрация примера проектирования в одной из САПР на ПК (если есть время)

Преимуществами современных ПЛИС являются:

Простота и малое время проектирования.

Низкая стоимость разработки

Сокращение используемого пространства печатных плат.

Более низкая стоимость в сравнении с использованием отдельных интегральных схем средней степени интеграции

Более продолжительное обращение продукта на рынке за счет возможности перепрограммирования.

Возможность создания динамически реконфигурируемых устройств.

Сравнительный анализ СБИС и ПЛИС (кратко изложить основные идеи данной статьи).

(<http://www.moluch.ru/conf/tech/archive/73/3379/>)

Анализ всевозможных задач, решаемых, к примеру, в комплексных системах связи и управления показывает, что все они характеризуются рядом особенностей, главной из которых является возможность достаточно глубокой унификации соответствующих им функциональных групп на уровне технических решений, поскольку они могут быть построены на общей системе датчиков и одинаковых процессорных секциях вычислительной системы. Поэтому, необходимо закладывать в структуру СБИС СнК различные интерфейсные блоки и возможность программирования.

Для сравнения приведены три основных способа реализации СБИС СнК:

Полностью заказные интегральные схемы (англ. Application-Specific Integrated Circuit, ASIC) — специализированные микросхемы для решения конкретной поставленной задачи,

предоставляющие функционально законченный набор модулей управления и обработки данных;

Программируемые логические интегральные схемы (ПЛИС, англ. Field-Programmable Gate Array, FPGA) — микросхемы, используемые в основном для работы с цифровой информацией (однако, есть и FPGA с включением аппаратных блоков микропроцессоров, АЦП/ЦАП, интерфейсов и др.) и обладающие возможностью конфигурирования внутренней архитектуры;

СБИС с программируемой архитектурой (англ. Programmable System on Chip, PSoC) — микросхемы для типовых приложений, имеющие широкие возможности для работы как с цифровой, так и с аналоговой информацией, и обладающие возможностью динамического переконфигурирования архитектуры (прямо во время работы, без необходимости прерывания работы устройства) [3. с.34–43].

Финансовые затраты

В первую очередь хотелось бы коснуться финансовых затрат, необходимых для разработки каждого из типов микросхем. По отношению к PSoC и FPGA, ASIC требуют для своей реализации куда больших финансовых затрат. Изготовление опытной партии специализированных ASIC (несколько тысяч образцов) по технологии 0,13–0,18 мкм стоит несколько сотен тысяч долларов, а по технологии 0,09 мкм — свыше миллиона долларов [4, с.37–39]. Это связано с тем, что такие микросхемы позиционируются как полностью заказные, а, следовательно, проектируются они в соответствии с определенной конкретной задачей. От таких микросхем часто ждут достижения максимальной производительности, и, как правило, в таких случаях для обеспечения требуемых параметров работы уже существующие СФ-блоки не всегда подходят, поэтому необходима разработка специальных СФ-блоков. Это влечет за собой значительные финансовые затраты, в которые входит не только стоимость инструментальных средств проектирования, но и капиталовложения для проведения работ по моделированию и параллельной проверке того, правильно ли был выбран подход к проектированию.

Таким образом, разработка ASIC приводит к огромному количеству невозвратимых затрат (Non-Recurring Engineering charges, NRE). Также высока вероятность того, что в результате разработки не будет достигнуто какое-то из начальных требований к проекту по производительности, надежности, срокам разработки и т. д., что может привести либо к финансовым потерям, связанным со снижением спроса на рынке, либо со штрафными санкциями со стороны заказчика за невыполнение установленных требований. В связи с резким сокращением сроков службы разработок весьма критичным для успешных продаж становится сокращение времени разработки, а отсутствие у СБИС возможности конфигурирования затрудняет учет этих изменений в проекте.

FPGA и PSoC, наоборот, имеют малые NRE-затраты и могут разрабатываться относительно быстро и при помощи менее сложных и дорогих средств. Для PSoC не нужно проектировать СФ-блоки специального назначения с особыми параметрами. Они содержат блоки, как правило, средней производительности, но при этом универсальные и уже неоднократно

проверенные в работе. За счет этого можно значительно снизить финансовые затраты на их разработку.

Риски

Далее, до тех пор, пока с производства не поступят и не будут полностью протестированы опытные образцы ASIC, нет абсолютной гарантии безошибочности законченной разработки. Стоимость изготовления и тестирования опытных образцов может обойтись в полмиллиона долларов, постоянно при этом возрастая. В случае обнаружения ошибки все работы по проектированию кристалла приходится начинать сначала, и лишь потом запускать его в массовое производство. При этом следует учесть, что согласно имеющемуся опыту разработки ASIC СнК только в 25 % проектов первоначально полученные опытные образцы соответствуют заданным требованиям. В большинстве случаев для получения необходимого результата требуется несколько итераций, что значительно увеличивает стоимость выполнения проекта. Можно надеяться, что развитие средств систем автоматизированного проектирования (САПР) позволит снизить риски при выполнении таких проектов.

Размеры рыночного сегмента и финансовые показатели зависят от того, насколько хорошо все сделано с первого раза, и от сроков задержки выхода микросхемы на рынок. В первом случае может понадобиться дополнительное финансирование на исправление ошибок, тестирование и повторный запуск производства. Во втором случае компания из-за позднего выхода на рынок микросхемы может потерять свои позиции в узком целевом сегменте рынка. Связано это со снижением конкурентоспособности по отношению к другим фирмам, которые вышли на рынок со своими аналогами раньше нее [5, с.69–77].

В отличие от ASIC, производственные риски при разработке PSoC значительно ниже, а соответственно и потенциальные затраты также будут ниже. Как уже упоминалось, это связано с тем, что СФ-блоки в их составе являются уже неоднократно отработанными. Это в какой-то степени предопределяет большую вероятность успешного тестирования опытных образцов. Кроме того, они являются микросхемами для типовых приложений широкого применения и не создаются специально для какого-либо узкого рыночного сектора. Их универсальность гарантирует в ряде важных случаев достаточно высокую тиражность, а, следовательно, невысокую стоимость и другие сопутствующие преимущества. Поэтому даже при срывах сроков разработки они могут найти свою нишу на рынке среди потребителей, и это не повлечет за собой больших финансовых потерь.

Минимальные объемы производства

ASIC перспективны в основном для реализации дорогостоящих проектов, предполагающих последующий крупносерийный выпуск изделий. Их разработка сопровождается, как было выяснено, большими и постоянно растущими финансовыми затратами, поэтому окупить эти затраты можно только за счет прибыли, полученной от продаж после крупносерийного (в редких случаях серийного и массового) производства.

При производстве PSoC же не требуется каких-либо ограничений по минимальному объему выпускаемой продукции. За счет сравнительно малых затрат на разработку, низких рисков при производстве, широких возможностей применения и низкой стоимости штучной продукции они могут окупиться даже при минимальных объемах выпуска.

Надежность и функционал

ASIC обладают «жесткой» архитектурой, что заранее предопределяет весь ее функционал. Возможность программирования архитектуры — одна из главных особенностей FPGA и PSoC, дает гибкость и позволяет изменять требования к проекту, что обеспечивает большую функциональность, поскольку такие типы устройств могут иметь перестраиваемую в рабочем (для FPGA нерабочем) режиме архитектуру. Это дает возможность настраивать систему на решение новых задач, благодаря чему они оказываются очень полезными в условиях высоких требований к массе и объему аппаратуры. Кроме того, обеспечивается большая надежность, так как для некоторых операций возможно несколько реализаций, следовательно, возможна замена неисправных функциональных блоков (если позволяют внутренние ресурсы устройства при текущей конфигурации) совокупностью блоков, реализующих те же операции другими методами.

Конкурентными преимуществами PSoC, отличающими этот класс микросхем от FPGA, являются:

более высокий показатель надежности (благодаря использованию многократно проверенных СФ-блоков);

возможность динамического программирования (не нужно останавливать работу устройства для изменения его конфигурации);

возможность выполнения замены части программных операций их аппаратными реализациями, благодаря довольно большой и разнообразной номенклатуре как цифровой, так и аналоговой периферии.

Как уже было отмечено, программируемые логические схемы FPGA позволяют создавать схемы практически любой конфигурации, но в отличие от PSoC это касается в основном только лишь цифровой обработки, тогда как с аналоговыми сигналами могут работать далеко не все FPGA. Те же FPGA, мощности которых позволяют осуществлять работу с аналоговой информацией, обеспечивают ее не с помощью аппаратных средств самой микросхемы, как например это реализовано в PSoC, а с помощью ресурсов процессорного ядра. Такая программная реализация аналоговых блоков значительно снижает быстродействие и повышает энергозатраты на работу схемы. Кроме того, создание и отладка внутренней конфигурации FPGA — процесс относительно сложный, требующий определенной квалификации разработчика. Поэтому использование FPGA (в особенности со встроенными процессорными ядрами) оправдано лишь в высокопроизводительных системах обработки только лишь цифровой информации [6, с.83–88].

Энергопотребление

Необходимо также обратить внимание на энергопотребление микросхем всех трех типов. Как известно, энергопотребление имеет три составляющие: статическую, динамическую и

системную (ввод/вывод). Последние две играют наиболее заметную роль. В отличие от универсальных микросхем — FPGA и PSoC, специализированные ASIC имеют малые габариты и низкий уровень потребления энергии, поскольку они разрабатываются под конкретные специальные задачи и поэтому обладают максимально оптимизированной внутренней структурой [7, с.52–56].

Программируемая часть PSoC построена на программируемых логических матрицах (англ. Programmable Logic Array, PLA) или программируемых логических устройствах (англ. Programmable Logic Device, PLD) [8]. Наибольшее их количество содержится в микросхемах последнего семейства микросхем PSoC@ 5LP фирмы Cypress и составляет 24 блока. Чем больше ресурсов используется в устройстве, тем заметнее растет динамическое энергопотребление системы на кристалле любого назначения. Поэтому комбинация большого числа логических устройств в микросхемах типа FPGA (на сегодняшний день до 2 млн. вентилях, как например в Virtex-7 фирмы Xilinx) и внутреннее распределенное дерево тактирования требуют значительно большего количества энергии в процессе работы и больших габаритов микросхемы (45x45мм для Virtex-7 фирмы Xilinx) по сравнению с PSoC.

Кроме того, связи между компонентами FPGA содержат своеобразные «стыки» в виде программируемых точек соединения, из-за чего частота работы оказывается меньше, чем для специализированной микросхемы, выполненной по одному и тому же технологическому процессу. В итоге получается медленный и дорогой испытательный стенд для проектирования новых микросхем.

Результаты проведенного качественного анализа наглядно представлены в таблице 1.

Таблица 1

Качественный сравнительный анализ типов микросхем

Показатель	ASIC	FPGA	PSoC
Быстродействие	очень высокое	высокое	высокое
Плотность упаковки элементов	очень высокая	средняя	очень высокая
Стоимость при единичном производстве	очень высокая	средняя	средняя
Стоимость при серийном производстве	низкая	высокая	низкая
Невозвратимые затраты	высокие	нет	нет
Время разработки	большое	малое	малое
Энергопотребление	низкое	высокое	низкое

Показатель	ASIC	FPGA	PSoC
Сложность разработки	высокая	средняя	средняя
Время отладки	очень большое	малое	малое
Сложность тестирования	высокая	низкая	низкая
Время производства	большое	среднее	среднее
Время выхода на рынок	большое	среднее	среднее
Возможности модернизации	«жесткая» архитектура	в нерабочем режиме	в рабочем режиме
Риск изготовителя	очень высокий	низкий	низкий
Степень автоматизации процесса проектирования	средняя	высокая	высокая
Минимальный объем заказов	высокий	нет	нет

Качественно оценка FPGA и PSoC уже была проведена в предыдущей части статьи. Она привела к тому, что, как оказалось, по некоторым ключевым параметрам FPGA становятся неконкурентоспособными на фоне PSoC. Далее для наглядного подтверждения полученных результатов приводится сравнение представителей каждой из этих типов микросхем, изготовленные по одному технологическому процессу. В таблице 2 представлены данные по основным параметрам представителей двух сравниваемых концепций, в качестве которых были выбраны высокопроизводительные FPGA семейства Arria-GX фирмы Altera [9], а также PSoC последнего (пятого) поколения фирмы Cypress [10].

Из анализа результатов сравнения можно сделать вывод о том, что PSoC, при использовании для изготовления микросхем технологического процесса 90нм, позволяет значительно (почти в 3 раза) уменьшить как габариты целевой микросхемы, так и ее энергопотребление. Из таблицы видно, что максимально возможная рабочая частота Arria — GX в несколько раз превосходит частоту работы PSoC@ 5LP, но в тоже время это приводит к значительному росту уровня потребляемой мощности микросхемы. Для того чтобы сделать объективную

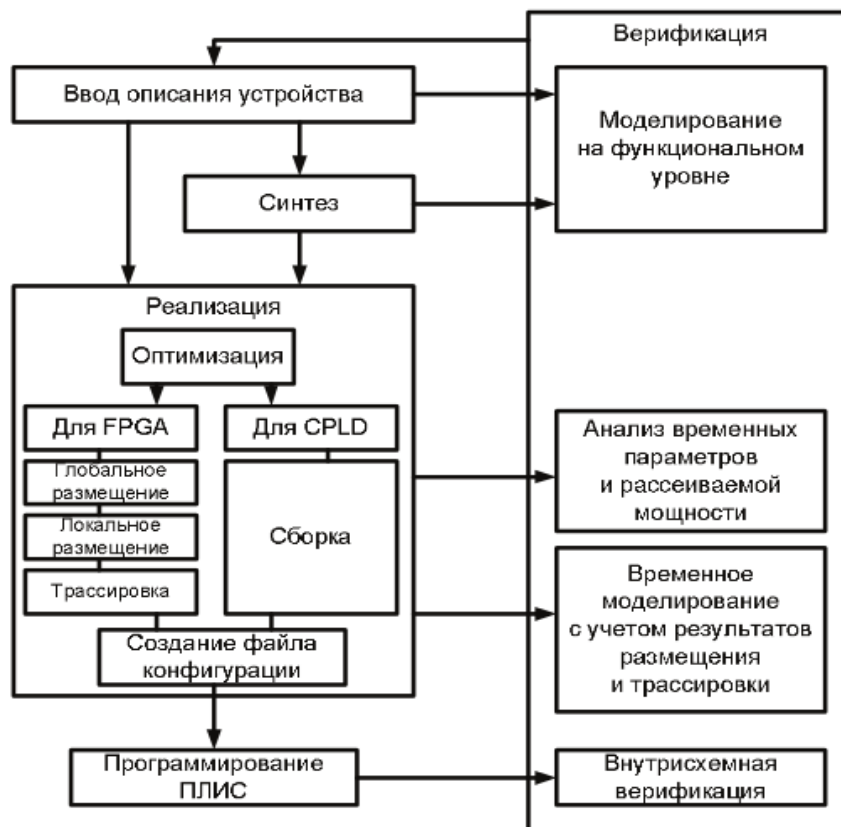
оценку была приведена удельная мощность потребления, рассчитанная из отношения среднего значения рабочей частоты к значению мощности потребления микросхемы, которая показывает что PSoC@ 5LP в 6 раз выигрывает по этому показателю у Arria — GX.

Заключение

Требования взаимной совместимости систем связи и управления, экономические и эксплуатационные требования обуславливают возможность глубокой унификации на всех уровнях, которая предполагает наличие в таких системах некоторой номенклатуры типовых технических решений. Поэтому, становится все более актуальным поиск подходов к проектированию, позволяющих создавать универсальные устройства для выполнения типовых задач. В рамках данной статьи были рассмотрены некоторые из них, которые существуют на данный момент: полностью заказные СБИС, ПЛИС и СБИС с программируемой архитектурой.

Исходя из проведенного выше сравнения этих трех подходов к проектированию, можно предположить, что подходящим решением вполне способны стать СБИС с программируемой архитектурой, обладающие необходимой универсальностью и имеющие некоторые выявленные преимущества по сравнению с применением остальных рассмотренных подходов.

Маршрут проектирования на ПЛИС (по учебному пособию)



Маршрут проектирования в САПР Xilinx ISE

Фирма Xilinx является мировым лидером в производстве ПЛИС: ею производится около 50 % современных ПЛИС. Помимо самих микросхем с программируемой структурой Xilinx также предоставляет программные средства проектирования, такие как система сквозного проектирования ISE. Эта САПР автоматизирует все этапы проектирования с использованием ПЛИС, от ввода описания устройств до его внутрисхемной верификации.

Фирма Xilinx выпускает несколько версий САПР ISE:

- версия Foundation с неограниченной номенклатурой используемых ПЛИС и средствами внутрисхемной верификации;
- свободно распространяемая версия Web Edition с ограниченной номенклатурой используемых ПЛИС и упрощенными версиями некоторых модулей (ограничение касается кристаллов с большой емкостью, модуля симуляции и поддержки операционной системы Sun Solaris и 64-разрядных операционных систем). Версия доступна для загрузки по адресу: http://www.xilinx.com/ise/logic_design_prod/webpack.htm.

Рассмотрим более подробно версию Xilinx ISE 9.1 Web Edition для операционной системы Windows XP. В ее состав входят следующие модули.

- Навигатор проекта (Project Navigator) — программа, интегрирующая используемые в маршруте проектирования модули.

Схемотехнический редактор (Schematic Editor), обеспечивающий графический ввод схем, создание новых примитивов, использование библиотечных примитивов.

- Редактор ввода на языках VHDL и Verilog (HDL Editor), обеспечивающий ввод языковых описаний.
- Графический редактор цифровых автоматов (State Cad) — средство визуального проектирования автоматов, их моделирования и преобразования графического описания в описание на языке VHDL или Verilog.
- Генератор устройств (CORE Generator) — программа-мастер для интерактивной настройки описаний часто используемых компонентов (в терминологии ПЛИС — ядер).
- Редакторы ограничений (Constraints Editor, Pinout and Area Constraints Editor) — программы для создания и редактирования файла ограничений проекта (User Constraints File, UCF), используемого при синтезе, размещении и трассировке.
- Синтезатор (XST Tool) — программа синтеза низкоуровневого описания устройств.
- Программы визуализации низкоуровневых описаний (RTL Viewer, Technology Viewer), представляющие низкоуровневые описания в схемотехническом виде.
- Программа функционального и временного моделирования (ISE Simulator Lite), позволяющая также в визуальном режиме редактировать тестовые воздействия.
- Программа анализа временных параметров (Static Timing Analyzer), определяющая времена распространения сигналов и сравнивающая их с заданными ограничениями.
- Программы автоматического размещения и трассировки ПЛИС (MAP Tool, PAR Tool), учитывающие заданные временные ограничения.
- Программы ручного размещения и оптимизации проекта (Floor Planner, FPGA Editor)
- Программа для анализа рассеиваемой мощности (XPower).
- Программы загрузки конфигурационной последовательности ПЛИС FPGA и программирования ПЛИС CPLD и ППЗУ (iMPACT).

Совместно с САПР ISE Web Edition фирма Xilinx предоставляет программу моделирования ModelSim XE III Starter фирмы MentorGraphics с ограниченной лицензией. Более подробное описание указанных модулей будет приведено ниже.

На рис. 13 показан обобщенный маршрут проектирования, используемый в САПР Xilinx ISE. Проектирование начинается с создания проекта в программе Project Navigator. При этом указываются ключевые параметры проекта (номенклатура ПЛИС, тип корпуса, способ

описания модуля верхнего уровня), выбираются одна из доступных программ синтеза и программа моделирования, выбирается предпочитаемый язык описания (Verilog и VHDL).

Следующей стадией является ввод описаний устройств, объединенных в дерево проекта. Вершиной дерева является модуль верхнего уровня, объединяющий остальные функциональные части проекта. Модуль верхнего уровня может быть описан с помощью языка VHDL или Verilog, а также схематического редактора. На данной стадии используются модули: Schematic Editor, HDL Editor, State Cad, CORE Generator. Помимо структуры устройств описываются тестовые воздействия и ограничения реализации. Описание тестов в САПР Xilinx ISE может быть выполнено с помощью разработки генератора тестовых воздействий или графического редактора тестовых воздействий ISE Simulator Lite.

В САПР Xilinx ISE предусматривается несколько уровней моделирования, выполняемых в программе ModelSim XE III Starter:

- функциональное моделирование RTL-описания, технологического описания после синтеза (Behavioral Simulation) и описания на вентиляльном уровне (Post Translate Simulation);
- временное моделирование описания после размещения (Post-Map Simulation) и моделирование после трассировки (Post-Route Simulation).

При использовании модуля ISE Simulator Lite доступны только моделирование поведенческого описания (Behavioral Simulation) и описания после размещения и трассировки (Post Translate Simulation).

В целях верификации может быть выполнен анализ временных параметров устройства с помощью модуля Static Timing Analyzer и анализ рассеиваемой мощности с помощью программы XPower.

Для описания ограничений в САПР Xilinx ISE могут быть использованы модули: Constraints Editor для описания ограничений ввода/вывода и временных параметров, а также PACE для ограничения размещения.

После стадии ввода описания выполняется автоматический синтез низкоуровневого описания, результаты которого могут быть просмотрены с помощью модулей RTL Viewer и Technology Viewer.

Далее выполняются автоматизированные стадии размещения и трассировки, полученные результаты могут быть проанализированы и вручную отредактированы с помощью модулей ручного размещения и оптимизации проекта Floor Planner и FPGA Editor.

Маршрут реализации проекта на основе ПЛИС типа CPLD несколько отличается от маршрута реализации FPGA. Так, этапы размещения и трассировки реализованы в виде одного этапа — сборки (Fitting).

После стадии трассировки генерируется файл конфигурации ПЛИС, который может быть переформатирован в файл содержимого конфигурационного ППЗУ. На этой стадии разработчик задает последовательность начальной загрузки конфигурации в ПЛИС и программирует с помощью модуля iMPACT все необходимые для этого устройства (ППЗУ или ПЛИС).

