

Работа № 2. СИНХРОННЫЕ ДВУХСТУПЕНЧАТЫЕ ТРИГГЕРЫ

Цель работы – изучение принципов построения и схем, статических и динамических режимов работы синхронных двухступенчатых триггеров.

Продолжительность работы – 4 часа.

1. Структура и принцип действия синхронных двухступенчатых триггеров

Синхронные двухступенчатые триггеры (или MS-триггеры, первые буквы от английских слов: *master* – мастер, основной, главный; *slave* – помощник, вспомогательный), имеют две ступени запоминания информации: основную и вспомогательную, каждая из которых представляет собой синхронный одноступенчатый триггер со статическим управлением записью. Основной и вспомогательный триггеры могут быть либо однотипными, например, оба триггера RS- или D-типа, либо разнотипными.

В настоящее время двухступенчатые триггеры широко применяются для построения синхронных D-триггеров и на основе синхронных D-триггеров синхронных JK-триггеров. В двухступенчатом D-триггере основная ступень должна быть синхронным D-триггером.

Синхронные D- и JK-триггеры с двухступенчатым запоминанием информации используются для построения счетчиков, а синхронные D-триггеры также для построения регистров памяти и сдвига.

В двухступенчатых триггерах при действии синхросигнала, т.е. при $C=1$, входная информация принимается только в основной триггер, а ее запись во вспомогательный триггер запрещается инвертированным значением синхросигнала. После окончания синхросигнала, т.е. при $C=0$, во вспомогательный триггер принимается информация, записанная в основной триггер, и запрещается запись информации с D-входа в основную ступень.

Управляющая связь между основным и вспомогательным триггерами выполняется различными способами: с инвертором синхросигнала, с запрещающими связями, с разнополярным управлением.

Схема синхронного двухступенчатого D-триггера с инвертором синхросигнала показана на рис.1. В данной схеме первая ступень - D-триггер, вторая – RS-триггер. Синхронный D-триггер переключается в соответствии с таблицей переходов (табл.1), которую назовем обобщенной. Ее можно получить, задавая для каждого набора сигналов D_n, Q'_n, Q_n значения $C=0$, затем $C=1$ и снова $C=0$. Так как переключение выходной ступени и образование сигнала Q триггера происходит при перепаде 1/0 сигнала C, то данный синхронный D-триггер с двухступенчатым запоминанием информации является синхронным D-триггером с динамическим C-входом. Поэтому для такого триггера справедливы условные графические обозначения (УГО), приведенные на рис. 2, а,б.

Синхронный D-триггер с двухступенчатым запоминанием информации является непрозрачным по входу D ни при $C=0$, ни при $C=1$. Каждая ступень, рассматриваемая

отдельно, прозрачна, но включены ступени последовательно. Поэтому одна из ступеней всегда оказывается закрытой для записи или сигналом C , или его инверсией \bar{C} .

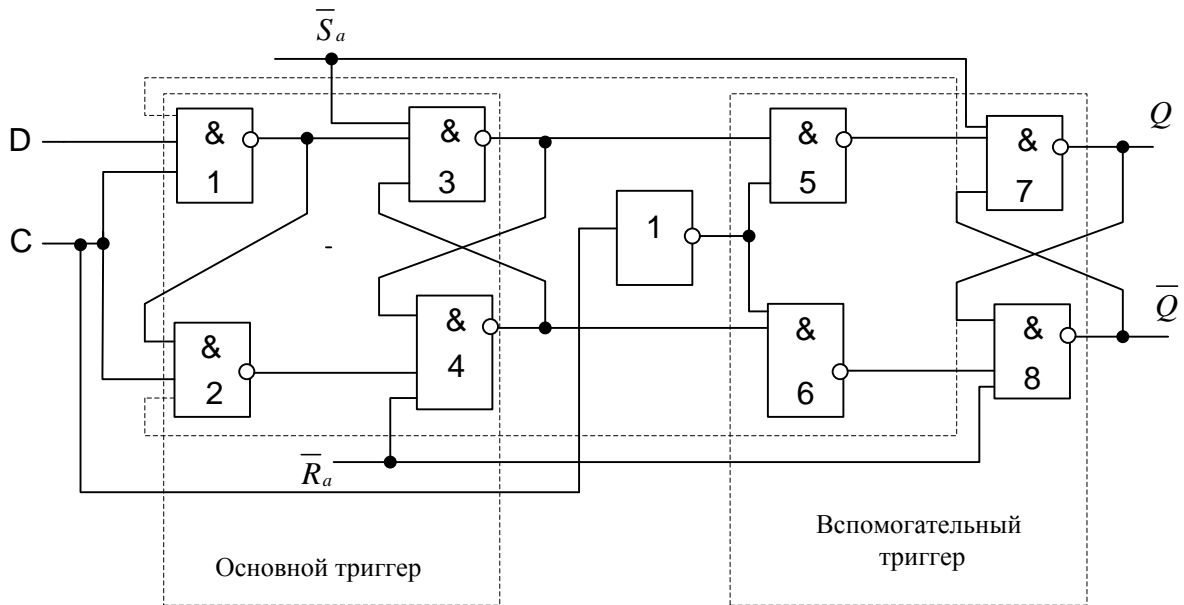


Рис. 1

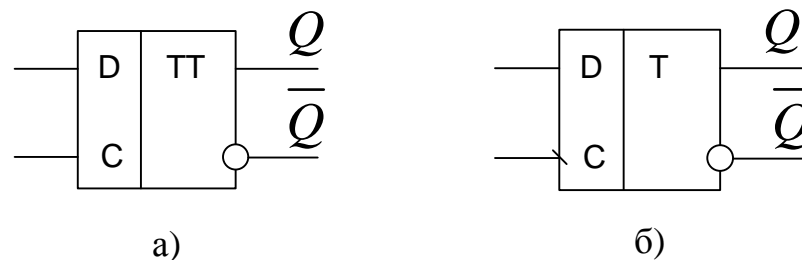


Рис. 2

В данном двухступенчатом триггере с инвертором синхросигнала никакое изменение информационного сигнала D не передается на выход без переключения сигнала C . Триггер может изменить состояние выхода только по перепаду сигнала C (в данном случае по перепаду 1/0).

В сериях интегральных схем (ИС) КМОП-логики (CMOS-логика) получили широкое распространение синхронные D-триггеры с двухступенчатым запоминанием информации и синхронные JK-триггеры, построенные на основе таких D-триггеров.

Асинхронный JK-триггер. Асинхронный JK-триггер имеет два информационных входа: J-вход для установки триггера в «1» и K-вход для установки триггера в «0».

При $J=K=1$ JK-триггер работает как T-триггер, т.е. каждым импульсом, действующим на объединенных входах J и K переключается в противоположное состояние. При остальных наборах входных сигналов J и K функционирует как RS-триггер. Работу асинхронного JK-триггера поясняет табл. 2.

Синхронный JK-триггер имеет управляющий C-вход, вход синхронизации. При $C=0$ синхронный JK-триггер независимо от значений сигналов J и K находится в режиме хранения, т.е. не изменяет свое состояние. При $C=1$ синхронный JK-триггер переключается как асинхронный.

Таблица переходов асинхронного JK-триггера
Таблица 2

Время t_n			Время t_{n+1}	Время t_n	
J_n	K_n	Q_n	Q_{n+1}	S'	R'
0	0	0	0	0	x
0	0	1	1	x	0
0	1	0	0	0	x
0	1	1	0	0	1
1	0	0	1	1	0
1	0	1	1	x	0
1	1	0	1	1	0
1	1	1	0	0	1

Характеристические уравнения (функции выхода) асинхронного JK-триггера $Q_{n+1} = (J\bar{Q} + \bar{K}Q)_n$, синхронного JK-триггера $Q_{n+1} = (CQ + CJ\bar{Q} + \bar{K}Q)_n$.

В табл. 2 приведены функции возбуждения S' и R' запоминающей ячейки – асинхронного RS-триггера, вызывающие переходы $Q_n \rightarrow Q_{n+1}$ асинхронного JK-триггера. После минимизации получим функции возбуждения:

$$S' = J\bar{Q}, R' = KQ \text{ или их инверсии } \bar{S}' = \bar{J}\bar{Q} \text{ и } \bar{R}' = \bar{K}\bar{Q}.$$

Схема синхронного JK-триггера на ЛЭ И-НЕ приведена на рис. 3. Пунктиром

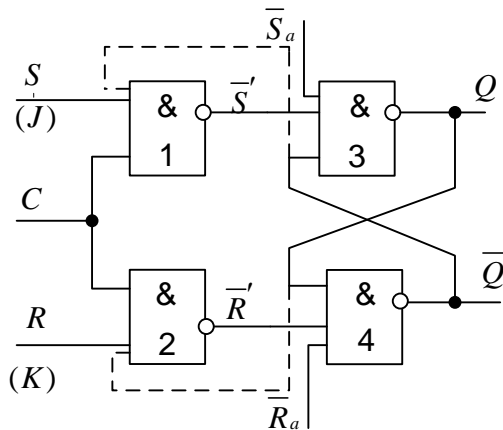


Рис. 3

показаны цепи обратной связи с выходов триггера на входы схемы управления – ЛЭ1 и 2, в результате чего синхронный RS-триггер преобразуется в синхронный JK-триггер. Если в схеме на рис. 3 исключить вход С, то получим схему асинхронного JK-триггера.

Принципиальным недостатком данной схемы синхронного одноступенчатого JK-триггера со статическим управлением записью является возникновение генерации при $J=1$ и $K=1$, т.е. многократное (а не однократное, как должно быть в счетном режиме) переключение триггера из одного состояния в другое в течение длительности сигнала С, если длительность сигнала С больше задержки распространения сигнала от С-входа до выходов триггера. Такой же недостаток присущ и асинхронному JK-триггеру. Включение линий задержек в цепи обратной связи позволяет исключить генерацию, но не

при любых длительностях сигнала C (или сигналов J и K в асинхронном триггере), а только при длительностях, не больших времени задержки линий задержки. По этой причине JK-триггер со статическим управлением записью не применяется. Синхронные JK-триггеры строятся или по схеме с двухступенчатым запоминанием информации, в которой функцию задержки выполняет первая ступень триггера, или по схеме с динамическим управлением записью, в которой генерация исключается путем запрета приема информационных сигналов после активного перепада сигнала C .

Схема синхронного двухступенчатого JK-триггера с инвертором синхросигнала приведена на рис. 4. Пунктиром показаны линии связи выходов Q и \bar{Q} и схемы управления основного триггера (ЛЭ 1 и 2). \bar{S}_a и \bar{R}_a - асинхронные входы начальной установки триггера в состояния 1 и 0 соответственно.

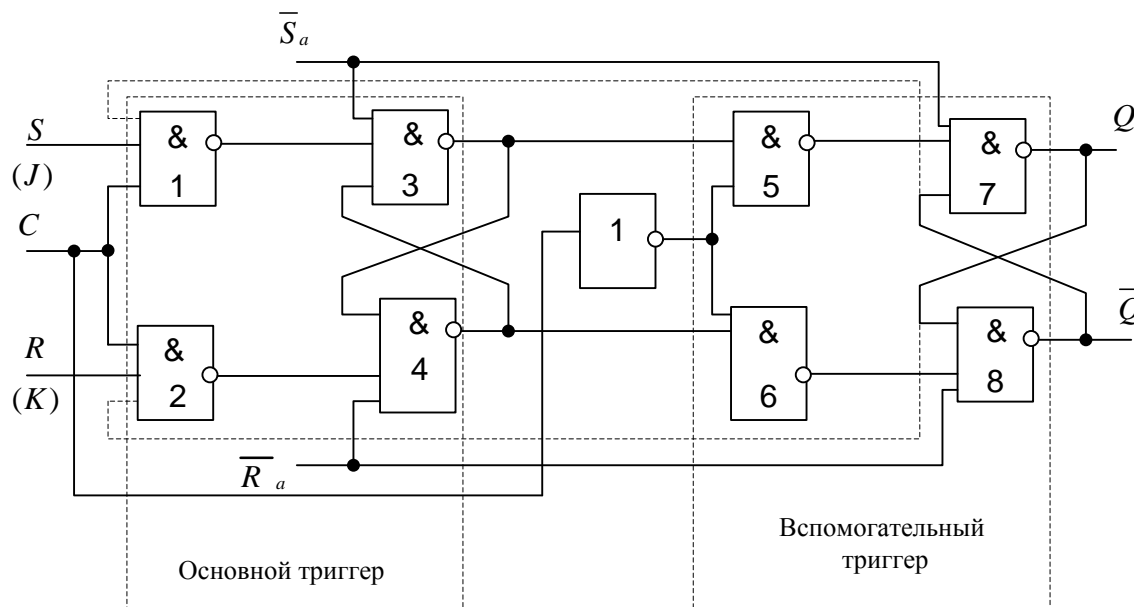


Рис. 4

Обязательным условием правильной работы синхронного двухступенчатого JK-триггера с инвертором синхросигнала является неизменность сигналов J и K в течение всего времени действия сигнала $C=1$ (в данном триггере $C=1$ – активный для первой ступени). Несоблюдение этого условия приводит к переключению триггера в состояния 0 или 1, не предусмотренному разработчиком аппаратуры. Это явление в литературе называется захватом 0 и захватом 1. Для недопущения этого явления необходимо обеспечить окончание переходных процессов в логических схемах, формирующих сигналы J и K , еще до начала действия сигнала $C=1$. Если вход C первой ступени инверсный, то указанное условие должно выполняться при $C=0$.

По указанной причине в настоящее время подобные схемы триггеров не выпускаются промышленностью. В сериях ИС КМОП-логики синхронные JK-триггеры часто строятся на основе синхронного D-триггера с двухступенчатым запоминанием информации, на входе D которого реализуется логическая функция выхода (характеристическое уравнение) JK-триггера $D_n = Q_{n+1} = (J\bar{Q} + \bar{K}Q)_n$ или другие ее формы.

В табл. 3 приведены варианты логических функций выхода синхронного JK-триггера.

Таблица функций выхода синхронного JK-триггера

Таблица 3

№ вар.	Функция выхода JK-триггера	Тип триггера 2-й ступени	№ вар.	Функция выхода JK-триггера	Тип триггера 2-й ступени
1	$J\bar{Q} \vee \bar{K}Q$	RS-триггер	13	$\overline{\bar{J} \cdot \bar{Q} \vee \bar{K} \vee \bar{Q}}$	RS-триггер
2	$\overline{\bar{J}\bar{Q}} \cdot \overline{\bar{K}Q}$	D-триггер	14	$\overline{(\bar{J} \vee Q) (K \vee \bar{Q})}$	D-триггер
3	$J\bar{Q} \vee K \vee \bar{Q}$	RS-триггер	15	$\overline{(\bar{J} \vee Q) \cdot \bar{K} \cdot Q}$	RS-триггер
4	$\bar{J} \vee Q \vee \bar{K}Q$	D-триггер	16	$\overline{\bar{J}\bar{Q}} \cdot \overline{(K \vee \bar{Q})}$	D-триггер
5	$\bar{J} \vee Q \vee K \vee \bar{Q}$	RS-триггер	17	$\overline{\bar{J}\bar{Q}} \cdot \overline{\bar{K}Q}$	RS-триггер
6	$(J \vee Q) \cdot (\bar{K} \vee \bar{Q})$	D-триггер	18	$J\bar{Q} \vee K \vee \bar{Q}$	D-триггер
7	$\overline{\bar{J} \vee \bar{Q} \vee \bar{K} \vee \bar{Q}}$	RS-триггер	19	$\bar{J} \vee \bar{Q} \vee \bar{K}Q$	RS-триггер
8	$(J \vee Q) \cdot \bar{K}\bar{Q}$	D-триггер	20	$\bar{J}\bar{Q} \vee K \vee \bar{Q}$	D-триггер
9	$\bar{J} \cdot \bar{Q} \cdot (\bar{K} \vee \bar{Q})$	RS-триггер	21	$(J \vee Q) \cdot (\bar{K} \vee \bar{Q})$	RS-триггер
10	$\bar{J} \cdot \bar{Q} \cdot K \cdot \bar{Q}$	D-триггер	22	$\overline{\bar{J} \vee \bar{Q} \vee \bar{K} \vee \bar{Q}}$	D-триггер
11	$\bar{J} \cdot \bar{Q} \vee K \cdot \bar{Q}$	RS-триггер	23	$(J \vee Q) \cdot \bar{K}\bar{Q}$	RS-триггер
12	$\overline{(\bar{J} \vee \bar{Q}) \vee K \cdot \bar{Q}}$	D-триггер	24	$\bar{J} \cdot \bar{Q} \cdot (\bar{K} \vee \bar{Q})$	D-триггер

Одна из схем синхронного JK-триггера на основе синхронного D-триггера с двухступенчатым запоминанием информации показана на рис. 5.

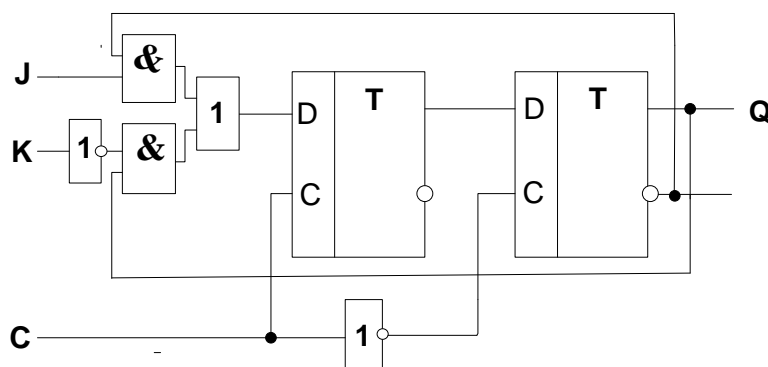


Рис. 5

Такие триггеры являются непрозрачными, им не присуще явление захвата 0 и 1. Состояния J- и K-входов триггера можно изменять как при C=0, так и при C=1, за исключением интервалов времени предустановки t_{su} (Set-Up Time) до перепада 1/0 сигнала C и удержания t_h (Hold Time) после перепада 1/0 сигнала C. Параметры t_{su} и t_h приводятся в паспортных данных ИС триггеров.

2. Задание и порядок выполнения работы

1. Исследование синхронного D-триггера с двухступенчатым запоминанием информации с инвертором синхросигнала в статическом режиме. Для этого необходимо:

- собрать схему D-триггера, у которого 1-я ступень - D-триггер со статическим управлением записью, 2-я ступень – RS- или D-триггер со статическим управлением записью согласно варианту задания. В качестве RS- или D-триггеров использовать макросхемы;

- к выходам Q' и Q первой и второй ступеней триггера подключить световые индикаторы;

- задавая с помощью переключателей тестовые сигналы 0 и 1 на входах D и C (как в работе №1), снять таблицу переходов триггера. Начальное состояние триггера устанавливается с помощью переключателей сигналов 0 и 1 на асинхронных входах S_a и R_a триггера. По таблице переходов проанализировать правильность работы триггера.

2. Исследование синхронного JK-триггера с двухступенчатым запоминанием информации с инвертором синхросигнала в статическом режиме. Для этого необходимо:

- собрать схему JK-триггера, включив на D-входе D-триггера (см. п.1 задания) логическую схему, формирующую функцию выхода JK-триггера согласно варианту (табл.3);

- задавая с помощью переключателей тестовые сигналы 0 и 1 на входах J, K и C (как в работе №1), снять таблицу переходов триггера. Начальное состояние триггера устанавливается с помощью переключателей сигналов 0 и 1 на асинхронных входах S_a и R_a триггера. По таблице переходов проанализировать правильность работы JK-триггера.

3. Исследование синхронного JK-триггера с двухступенчатым запоминанием информации с инвертором синхросигнала в динамическом режиме. Для этого необходимо:

- на входы J и K триггера подать сигналы с первого и второго разрядов двоичного счетчика (ИС 4520 КМОП-логики) соответственно;

- выход генератора (частота 1 МГц) соединить с входом счетчика и через инвертор с входом C триггера;

- снять временную диаграмму сигналов генератора, входных и выходных сигналов синхронного JK-триггера;

- проанализировать работу триггера по временной диаграмме и дать пояснения режимов работы JK-триггера.

4. Исследовать в динамическом режиме работу синхронного JK-триггера, включенного по схеме асинхронного T-триггера, подавая на вход C сигналы генератора, на вход T – сигналы второго разряда счетчика.

5. Составить отчет.

Требования к отчету

Отчет должен содержать цели исследований по каждому пункту задания, схемы триггеров, схемы исследования триггеров, временные диаграммы, таблицы переходов и анализ полученных результатов.